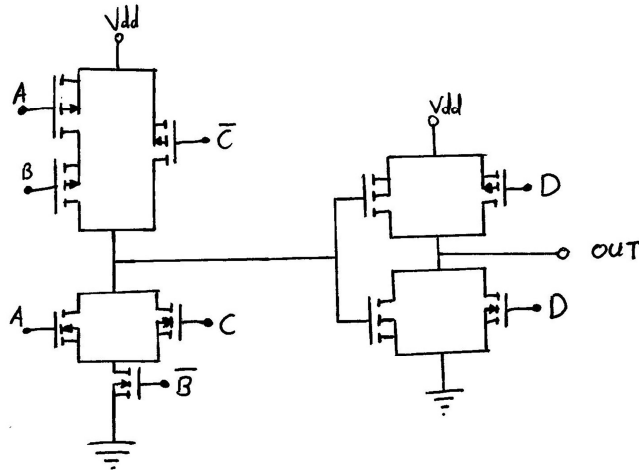


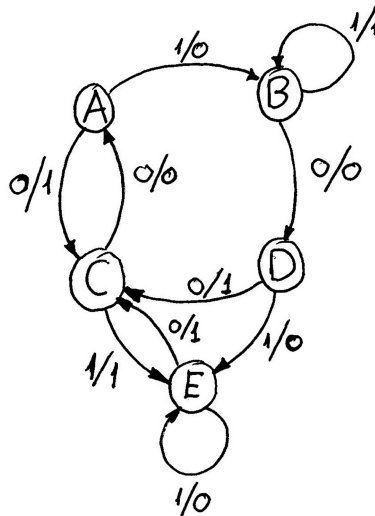
Examen Electrónica Digital Junio 2015

Ingeniería de Telecomunicaciones

1. Para el circuito CMOS de la figura de abajo: a) Modifique las redes de transistores NMOS y dibuje el circuito corregido si considera que la estructura del circuito no corresponde a puertas lógicas CMOS correctas, razonando los cambios introducidos. (1 punto) b) Indique la función lógica que realiza el circuito, una vez libre de posibles errores. (0.5 puntos).



2. Obtenga la tabla de estados correspondiente al diagrama de estados de la figura y sintetice, empleando biestables D disparados por flancos de subida y la lógica combinacional necesaria, un sistema secuencial síncrono que responda al funcionamiento descrito en dicho diagrama de estados (1.5 puntos)



3. Utilizando como bloque básico una memoria ROM de 2kbit organizado en palabras de 8 bits, construye una memoria ROM de 1k palabra de 16 bits. Para ello puede emplear cualquier tipo de lógica combinacional o secuencial que estime oportuna, y las memorias básicas de 2kbit cuentan con una entrada CS que coloca la salida de las mismas en alta impedancia cuando $CS=0$ (0.5 puntos)

4. Se desea construir un sistema secuencial asíncrono en dos entradas A y B, y una salida z. El sistema ha de permanecer en un estado de espera, con la salida a 0, hasta que las entradas tomen el valor 11, a partir de ahí la salida habrá que cambiar a 1 tras que las entradas aparezca la secuencia 10-00-01. Una vez que esto haya ocurrido la salida permanecerá a 1 hasta que las entradas tomen el valor 10, momento en el que se volverá al estado de espera. Con todo esto:
 - a) Describa mediante la tabla de flujo primitiva, el sistema secuencial asíncrono anterior y minimice dicha tabla (1.25 puntos).
 - b) Obtenga un circuito que sintetice el sistema diseñado y que, en lo posible, esté libre de carreras críticas.
 - c) Dibuje el circuito sintetizado.