

مدار منطقی

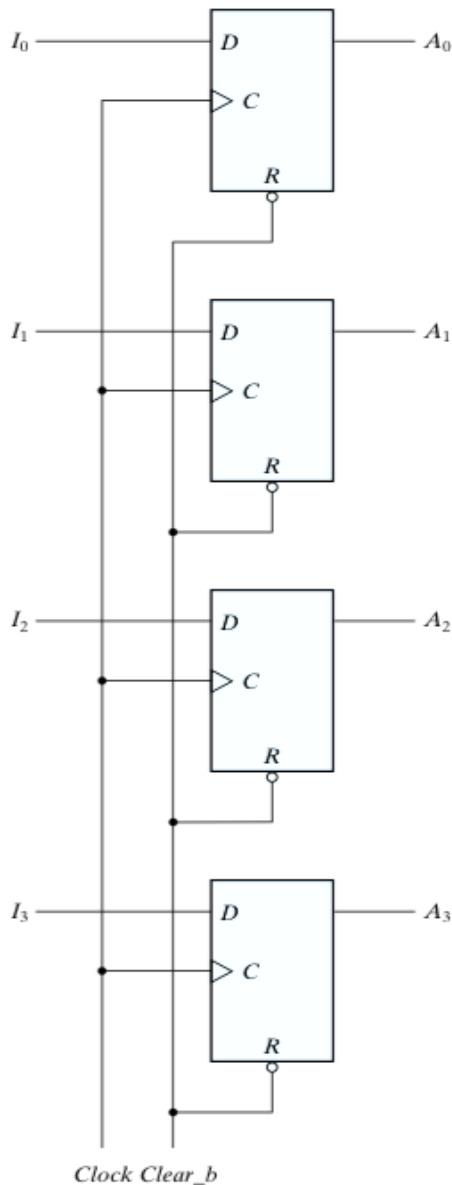
فصل ۶: ثبات‌ها و شمارنده‌ها
(Registers & Counters)

بخش اول: ثبات

شکل‌های این درس از اسلایدهای ویرایش ۶ کتاب مانو
اخذ شده است.

Register

4-bit register



- ثبات (Register): تعدادی FF با clock

مشترک

- Load/Update (بارگذاری): نوشتن بیت‌ها

در ثبات

$I_3 I_2 I_1 I_0$: inputs

$A_3 A_2 A_1 A_0$: outputs

clear_b : asynchronous active-low reset

PIPO (Parallel Input/Parallel Output)

مثال

PS	input	NS	output
$A_1 A_0$	x	$A_1^+ A_0^+$	y
00	0	00	0
00	1	01	0
01	0	01	0
01	1	00	1
10	0	10	0
10	1	01	0
11	0	11	0
11	1	00	1

• برای جدول حالت مقابل، مدار طرح کنید:

$A_1 A_0$

x	0	1	1	0
0	0	0	1	1
1	0	0	0	0

$A_1 A_0$

x	0	0	1	1	0
0	0	1	1	0	0
1	1	0	0	1	0

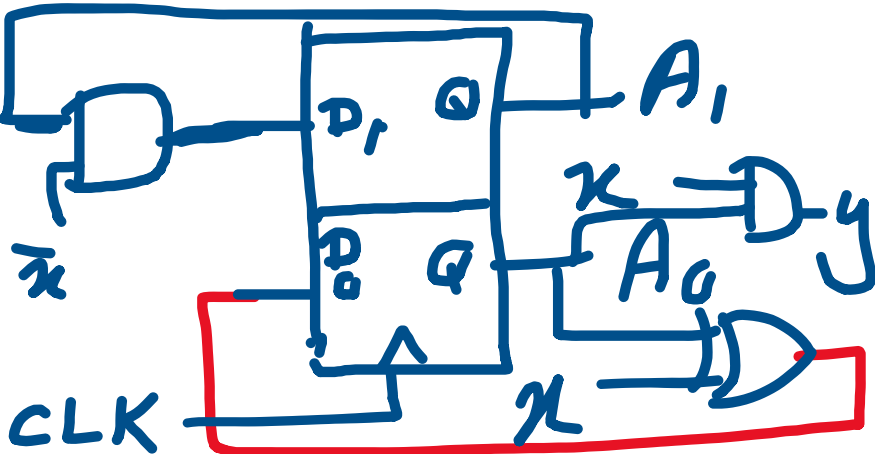
$$A_1^+ = D_1 = A_1 \bar{x} \quad A_0^+ = D_0 = A_0 \bar{x} + \bar{A}_0 x$$

$$D_0 = A_0 \oplus x$$

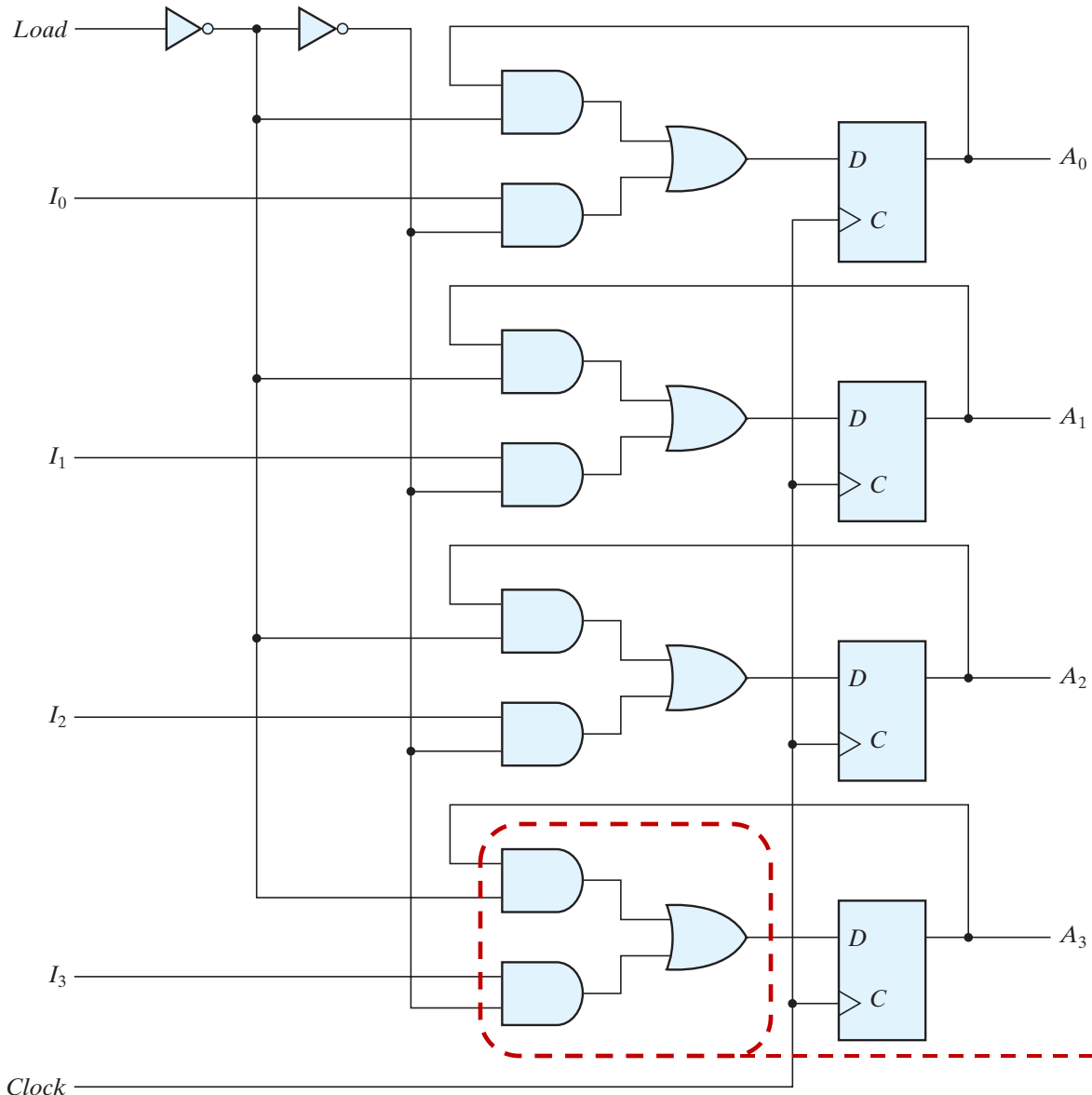
$A_1 A_0$

x	0	0	1	1	0
0	0	0	0	0	0
1	0	1	1	0	0

$$y = A_0 x$$



Four-bit register with parallel load



• برای حفظ اطلاعات
قبلی:

۱- ثابت نگه داشتن
ورودی‌ها، یا

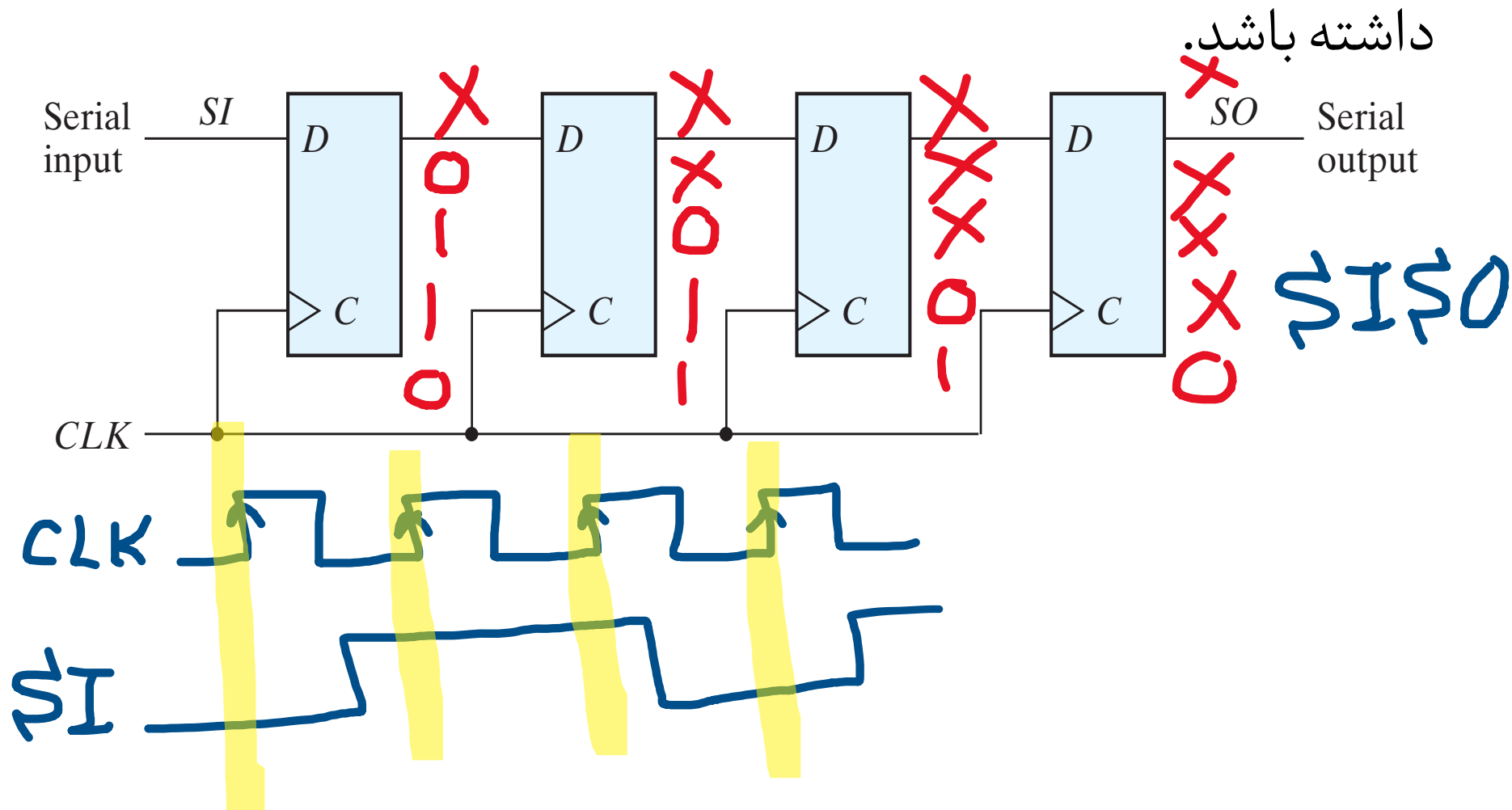
۲- قطع کردن clock
(clock gating)

❖ احتمال clock skew و
نقض همگام بودن FFها

MUX

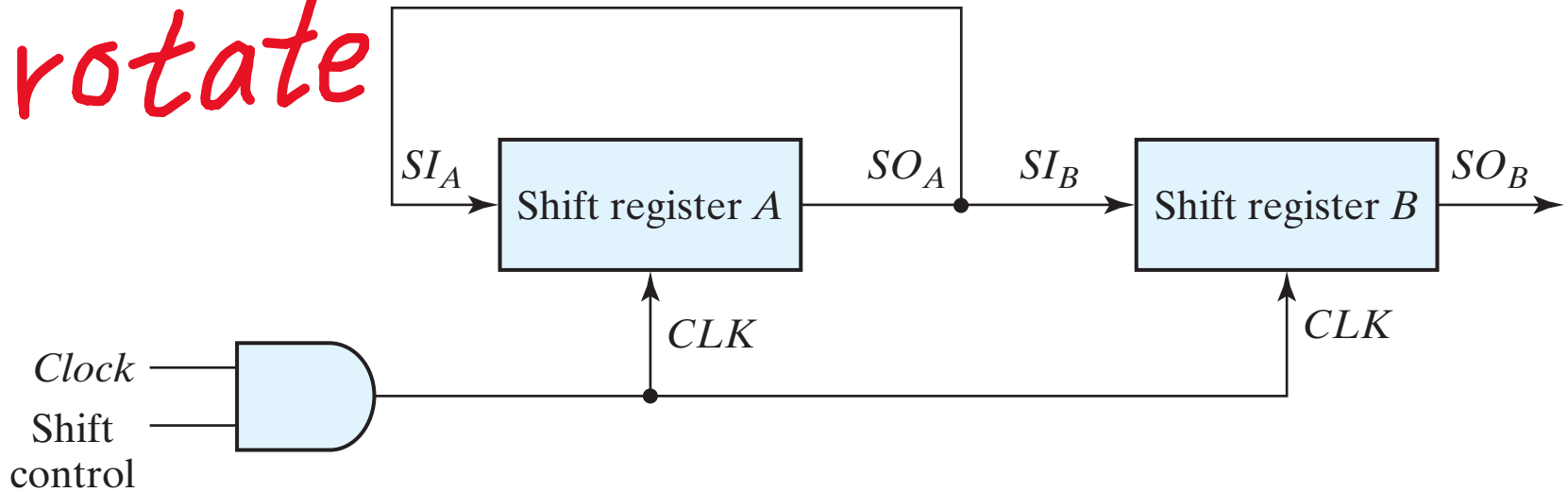
Four-bit shift register

- ثبات انتقالی (shift register): ثباتی که قابلیت انتقال اطلاعات به چپ یا راست (unidirectional) یا هر دو جهت (bidirectional) داشته باشد.



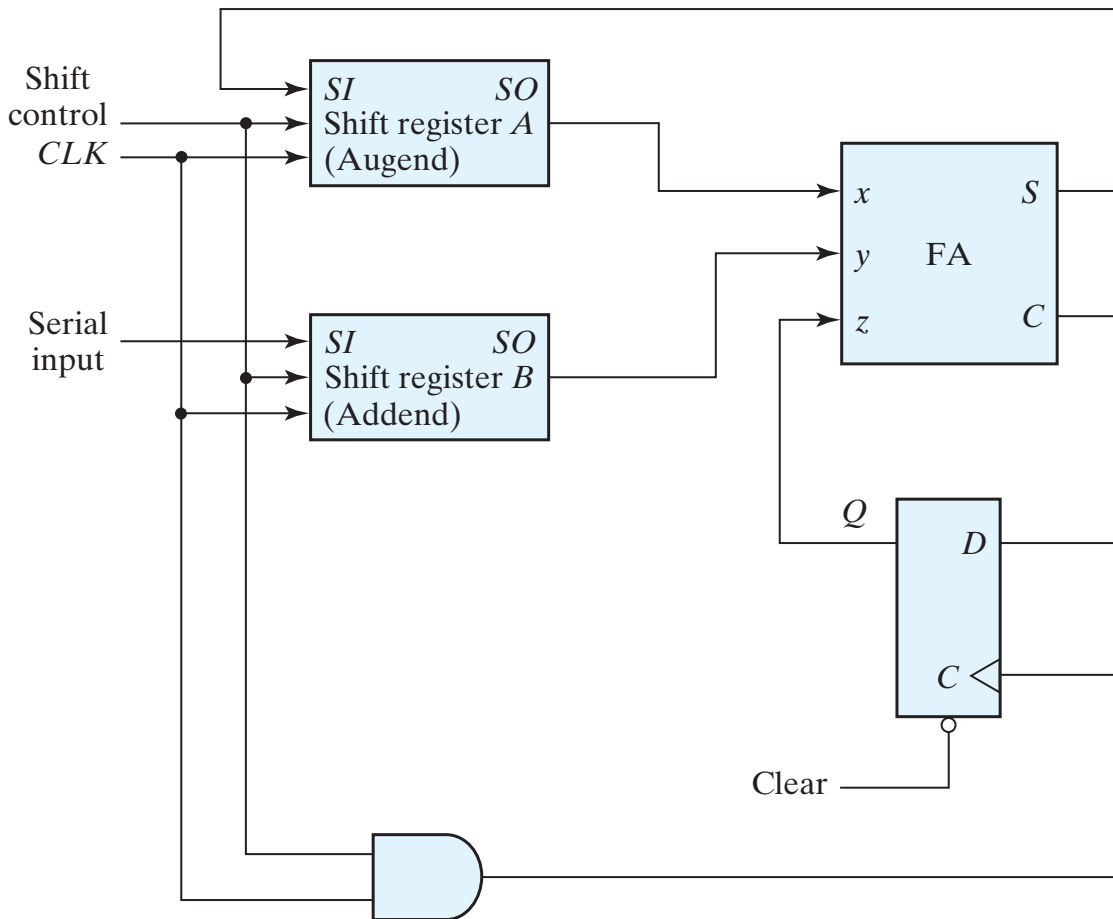
Serial transfer from register A to register B

rotate



Timing Pulse	Shift Register A				Shift Register B			
Initial value	1	0	1	1	0	0	1	0
After T_1	1	1	0	1	1	0	0	1
After T_2	1	1	1	0	1	1	0	0
After T_3	0	1	1	1	0	1	1	0
After T_4	1	0	1	1	1	0	1	1

Serial Adder



1. Reset Register A and carry FF, 1st number in B
2. Shift 1st number from B through the adder
 - ❖ Input 2nd number to B (through SI), simultaneously
3. $\text{Reg A} + \text{Reg B} \rightarrow \text{Reg A}$

طراحی جمع کننده سری با روش طراحی FSM

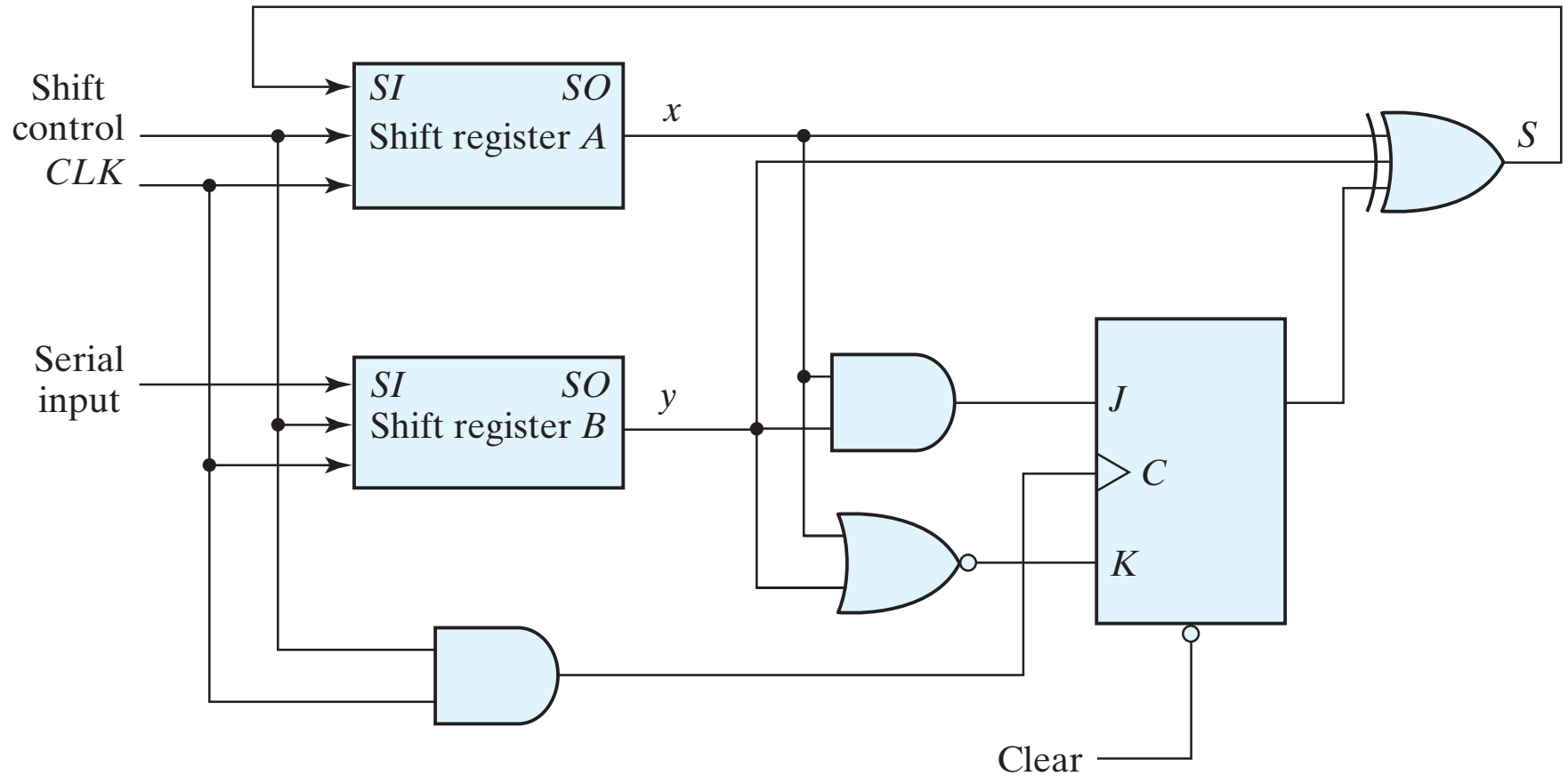
Present State	Inputs		Next State	Output	Flip-Flop Inputs	
	x	y			J_Q	K_Q
0	0	0	0	0	0	X
0	0	1	0	1	0	X
0	1	0	0	1	0	X
0	1	1	1	0	1	X
1	0	0	0	1	X	1
1	0	1	1	0	X	0
1	1	0	1	0	X	0
1	1	1	1	1	X	0

$$J_Q = xy$$

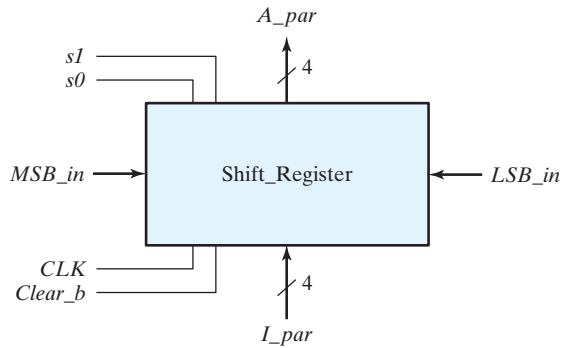
$$K_Q = x'y' = (x + y)'$$

$$S = x \oplus y \oplus Q$$

Second form of serial adder



Four-bit universal shift register



Mode Control		Register Operation
s_1	s_0	
0	0	No change
0	1	Shift right
1	0	Shift left
1	1	Parallel load

