

I. Tujuan Praktikum :

- Praktikan Dapat Mengenal dan Memahami Tentang Entity Dalam VHDL.
- Praktikan Dapat Membuat Entity Sederhana.
- Praktikan Dapat Menggunakan Entity Untuk Desain Program yang Lebih Besar.

II. Dasar Teori :

- Pengenalan Entity.
- Kerangka Dalam Membuat Entity.

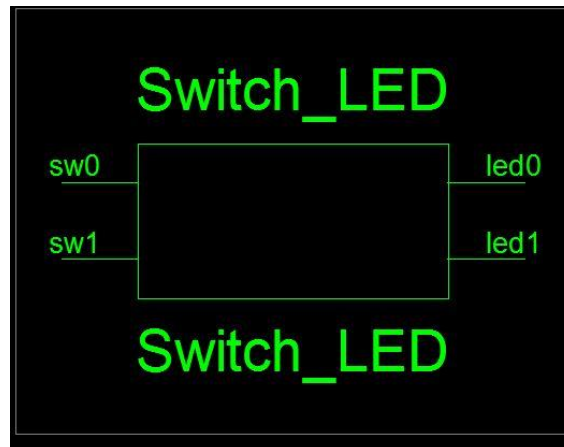
III. Peralatan :

- FPGA Xilinx Artix 7 Board Nexys 4.
- Kabel Power USB.
- 1 buah PC.
- Software ISE Design Suite 14.5.

1.1 Pengertian

Entity adalah nama dari sebuah desain yang biasanya didalamnya sudah mendefinisikan input dan output dari suatu desain program. Selain itu, entity ini juga dapat mengatur jenis atau tipe port apa yang akan dipakai. Di dalam entity, diperlukan sebuah nama atau variable untuk menentukan port masukan dan keluaran. Penentuan port mengandung nama, mode, dan tipe data. Mode port terdiri dari 4 jenis, yaitu :

1. *IN*, merupakan driver di luar entity yang hanya dapat dibaca.
2. *OUT*, merupakan driver di dalam entity dan tidak dapat dibaca.
3. *INOUT*, driver yang terdapat di dalam dan diluar entity, dan dapat dibaca.
4. *BUFFER*, driver di dalam entity dan dapat dibaca.



Gambar 1.1 Contoh desain entity.

Dari gambar tersebut, terdapat sebuah desain yang didalamnya masing-masing terdapat dua input dan dua output. Diketahui bahwa input dari rangkaian diatas merupakan sebuah switch dan outputnya adalah LED. Seperti yang sudah dijelaskan diawal, entity adalah nama dari sebuah desain yang sudah mendefinisikan input dan output, maka dari itu entity dari sebuah desain diatas dapat diberi nama “Switch_LED”, inilah yang dinamakan entity.

Entity memberikan arti tentang bagaimana sebuah bagian rancangan dideskripsikan di VHDL dalam hubungannya dengan model VHDL lain dan juga memberikan nama untuk model tersebut. Di dalam entity juga diperbolehkan untuk

mendefinisikan beberapa parameter yang mengambil model menggunakan hierarki. Kerangka dasar untuk sebuah entity digambarkan sebagai berikut :

```
entity <name> is
    ....
entity <name>;
```

Gambar 1.2 Kerangka entity

Misalkan sebuah entity diberi nama “test”, maka kerangka entity tersebut akan menjadi :

```
entity test is
    ....
end entity test;

atau

entity test is
    ....
end test;
```

Gambar 1.3 Contoh entity

Dalam penulisan entity, dikenal juga istilah “Keywords” dan “Define Words”. Keywords merupakan syntax yang digunakan untuk menulis program VHDL, sedangkan Define Words adalah deskripsi dari sebuah desain yang ingin kita buat.

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;

entity Switch_LED is
    port (
        sw0 : in STD_LOGIC;
        sw1 : in STD_LOGIC;
        led0 : out STD_LOGIC;
        led1 : out STD_LOGIC
    );
end Switch_LED;
```

Diagram illustrating the components of the VHDL program:

- Library:** Points to the `library IEEE;` and `use IEEE.STD_LOGIC_1164.ALL;` lines.
- Keywords:** Points to the `entity` keyword.
- Define words:** Points to the `Switch_LED` name.
- Tipe Data:** Points to the `STD_LOGIC` data type used in the port declarations.
- Tipe ports:** Points to the `in` and `out` port direction keywords.

Gambar 1.4 Penjelasan program

Dari gambar tersebut, tulisan yang berwarna biru merupakan keywords. Penulisan program VHDL ini harus mengikuti syntax yang sudah ada, selanjutnya diikuti dengan define words. Define words sebenarnya hanyalah sebuah variable, kita dapat menuliskan apa saja dengan catatan kita mengetahui define words tersebut akan kita gunakan untuk apa. Berikut merupakan jenis-jenis keyword pada VHDL :

•access	•else	•new	•return
•after	•elsif	•next	•select
•alias	•end	•nor	•severity
•all	•entity	•not	•signal
•and	•exit	•null	•subtype
•architecture	•file	•of	•then
•array	•for	•on	•to
•assert	•function	•open	•transport
•attribute	•generate	•or	•type
•begin	•generic	•others	•units
•abs	•guarded	•out	•until
•block	•if	•package	•use
•body	•in	•port	•variable
•buffer	•inout	•procedure	•wait
•bus	•is	•process	•when
•case	•label	•range	•with
•component	•library	•record	•xor
•configuration	•linkage	•register	
•constant	•loop	•rem	
•disconnect	•map	•report	
•downto	•mod		

Gambar 1.5 jenis-jenis keyword pada VHDL.

1.2 Ports

Sebuah cara atau metode untuk menghubungkan entity secara bersama adalah menggunakan PORTS. Hal ini didefinisikan bahwa entity menggunakan metode sebagai berikut:

```
port (  
...list of port declarations...  
);
```

Gambar 1.5 Kerangka ports

Deklarasi port ini mendefinisikan jenis dari koneksi dan arah yang sesuai. Misalnya, deklarasi port untuk sebuah input bit adalah 1, maka digambarkan sebagai berikut :

```
in1 : in bit;  
  
port (  
in1, in2 : in bit;  
out1 : out bit);
```

Gambar 1.6 Contoh deklarasi ports

Dengan menggunakan ports maka titik koneksi diantara entities akan berlangsung dengan efektif dalam hal proses koneksi entities satu sama lain. Selain itu, dengan menggunakan ports akan menjadikan sinyal yang ada menjadi efektif serta cocok digunakan dalam model VHDL.

1.3 Library

Pada pemrograman dikenal pula istilah library atau pustaka yang bias terdapat pada bahasa pemrograman yang lain seperti C atau header pada Pascal. Library berfungsi untuk memudahkan programmer untuk menyelesaikan pekerjaannya karena dalam library tersebut terdapat fungsi-fungsi dan tipe data yang sudah didefinisikan sebelumnya untuk digunakan berulang-ulang. Di dalam library tersebut terdapat sub-tree yang disebut sebagai paket, diantaranya :

```

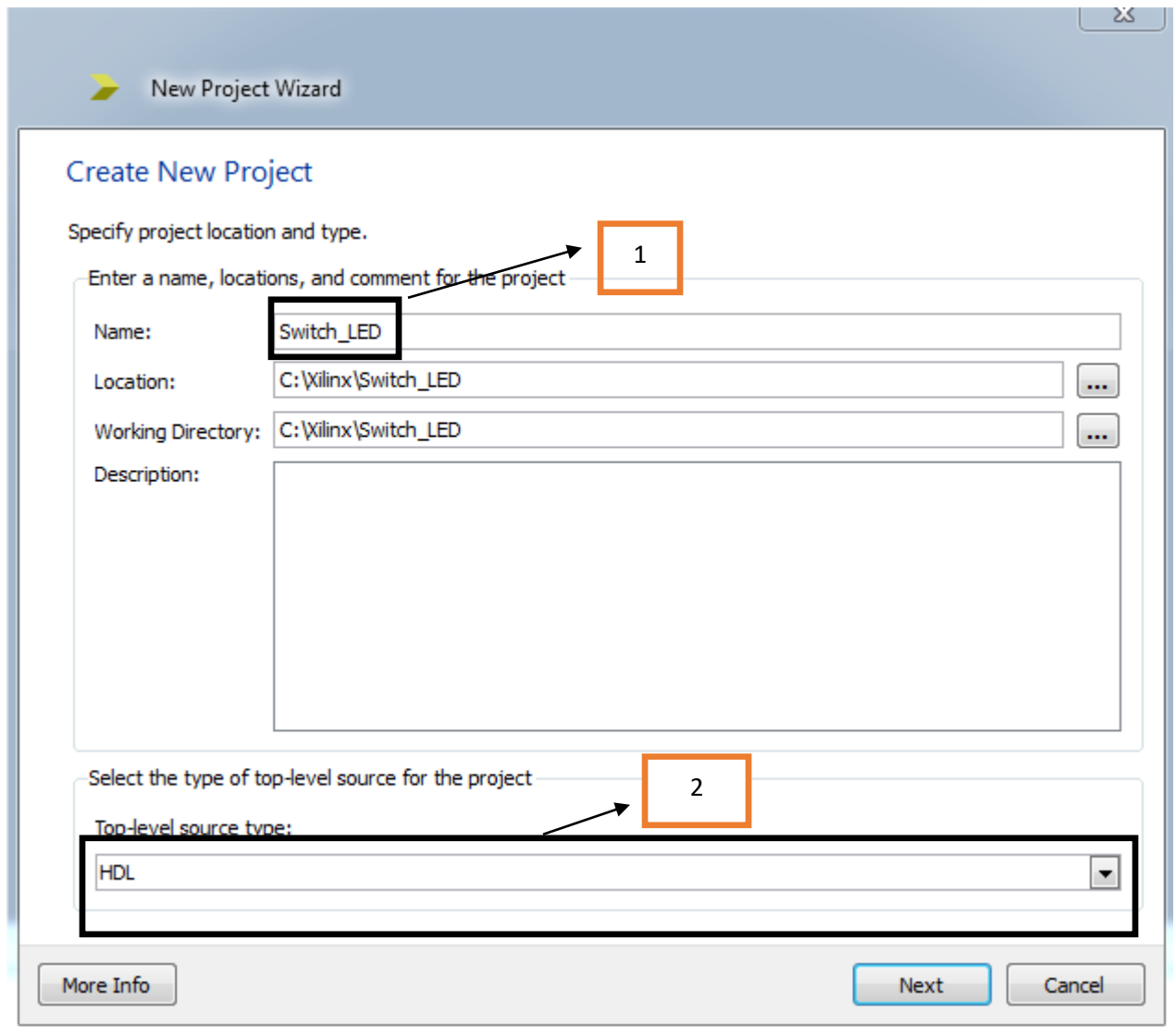
1  LIBRARY IEEE :
2  use IEEE.std_logic_1164.all;
3  use IEEE.std_logic_textio.all;
4  use IEEE.std_logic_arith.all;
5
6  use IEEE.numeric_bit.all;
7  use IEEE.numeric_std.all;
8
9  use IEEE.std_logic_signed.all;
10 use IEEE.std_logic_unsigned.all;
11 use IEEE.math_real.all;
12
13 use IEEE.math_complex.all;
14
15 LIBRARY STD :
16 use STD.standard;
17 use STD.textio;
18 LIBRARY WORK :

```

Gambar 1.7 Beberapa jenis library

1.4 Membuat Entity Sederhana

1. Buka aplikasi ISE Design Suite 14.5
2. Buka menu **File > New Project.**



Ketikan nama project seperti diatas dan pastikan top-level source nya diatur ke HDL.

3. Setelah itu akan muncul project setting, ikuti aturannya seperti gambar dibawah ini.

New Project Wizard

Project Settings

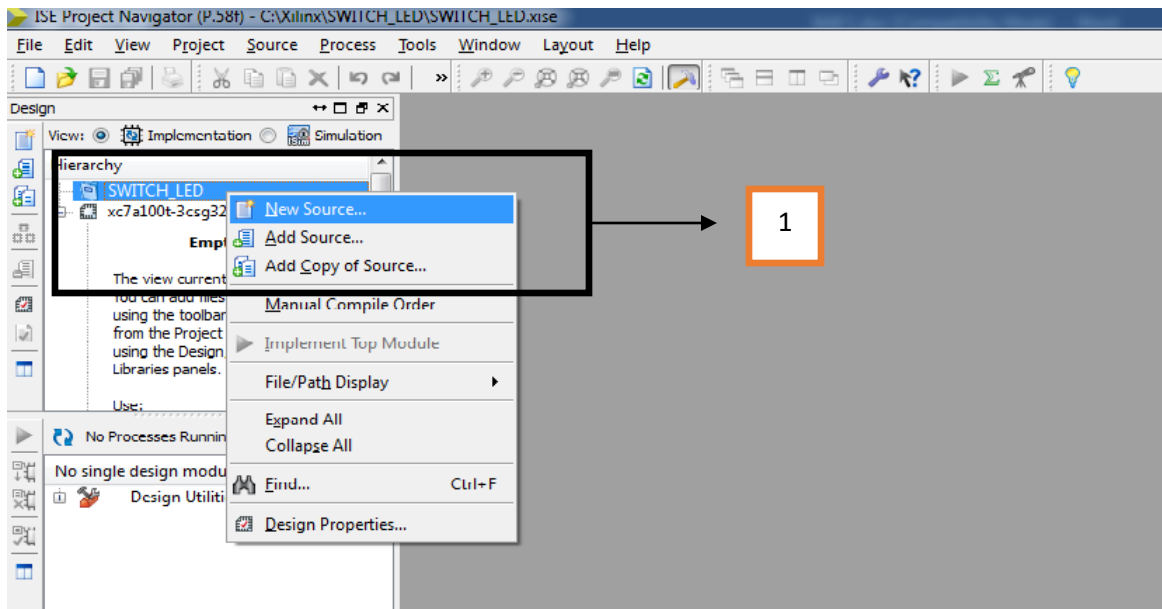
Specify device and project properties.
Select the device and design flow for the project

Property Name	Value
Evaluation Development Board	None Specified
Product Category	All
Family	Artix7
Device	XC7A100T
Package	CSG324
Speed	-3
Top-Level Source Type	HDL
Synthesis Tool	XST (VHDL/Verilog)
Simulator	ISim (VHDL/Verilog)
Preferred Language	VHDL
Property Specification in Project File	Store all values
Manual Compile Order	<input type="checkbox"/>
VHDL Source Analysis Standard	VHDL-93
Enable Message Filtering	<input type="checkbox"/>

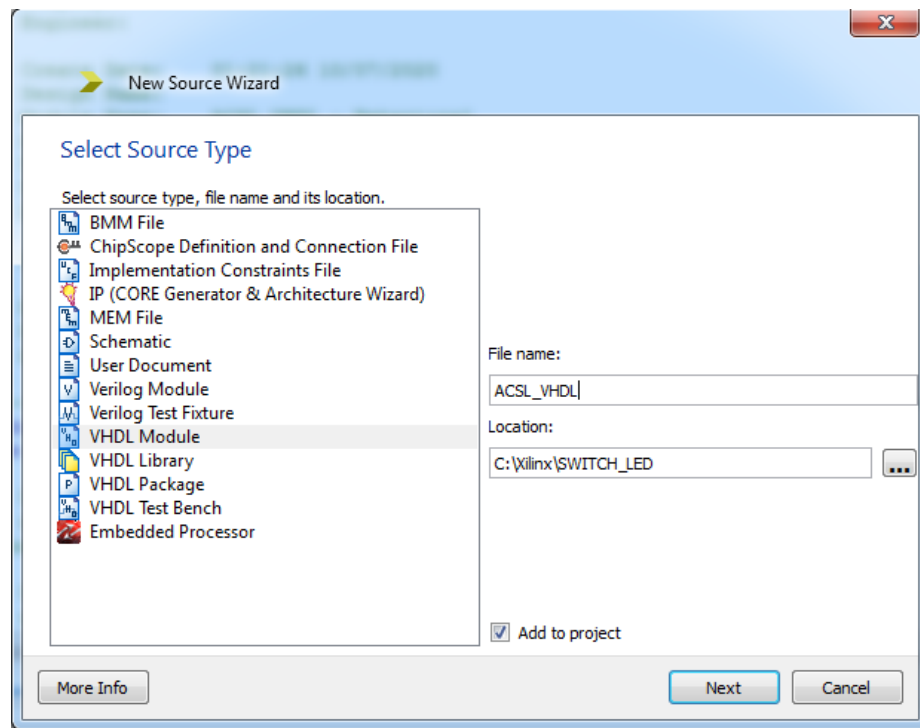
More Info Next Cancel

Lalu klik “Next” setelah itu akan muncul jendela baru klik “Finish”.

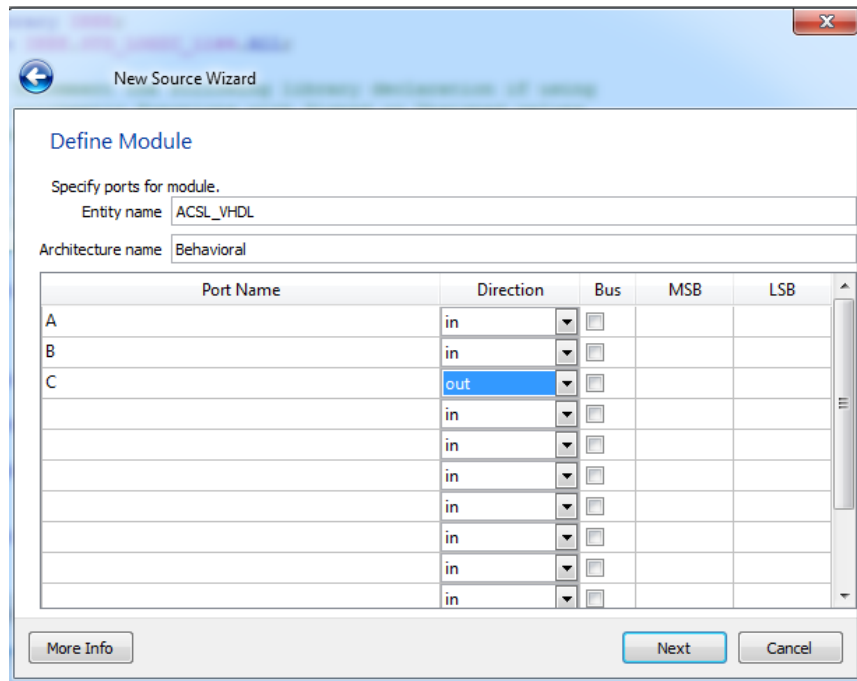
- Setelah itu akan muncul halaman form untuk project yang akan kita buat. Klik kanan pada “SWITCH_LED” lalu pilih “New Source” seperti gambar berikut.



5. Pilih bagian “VHDL Module” lalu isikan nama project seperti dibawah ini. Setelah itu klik “Next”.



6. Selanjutnya masukkan I/O untuk bagian port name yang digunakan. Setelah itu klik “Next” lalu “Finish”.



7. Berikutnya, akan muncul tampilan program seperti dibawah ini.

```

18  --
19  -----
20  library IEEE;
21  use IEEE.STD_LOGIC_1164.ALL;
22
23  -- Uncomment the following library declaration if using
24  -- arithmetic functions with Signed or Unsigned values
25  --use IEEE.NUMERIC_STD.ALL;
26
27  -- Uncomment the following library declaration if instantiating
28  -- any Xilinx primitives in this code.
29  --library UNISIM;
30  --use UNISIM.VComponents.all;
31
32  entity ACSL_VHDL is
33      Port ( A : in  STD_LOGIC;
34            B : in  STD_LOGIC;
35            C : out STD_LOGIC);
36  end ACSL_VHDL;
37
38  architecture Behavioral of ACSL_VHDL is
39
40  begin
41
42
43  end Behavioral;
44
45

```

Inilah salah satu cara untuk membuat sebuah entity. Sebenarnya kita juga dapat membuat manual dengan cara melewati langkah 6 dan mengisi program itu sesuai dengan apa yang ingin kita buat.

Catatan :

- Simpan project tersebut karena akan digunakan pada bab selanjutnya.