

I. Tujuan Praktikum :

- Praktikan Dapat Mengenal dan Memahami Tentang Architecture Dalam VHDL.
- Praktikan Dapat Membuat Architecture Sederhana.
- Praktikan Dapat Menggunakan Architecture Untuk Desain Program yang Lebih Besar.

II. Dasar Teori :

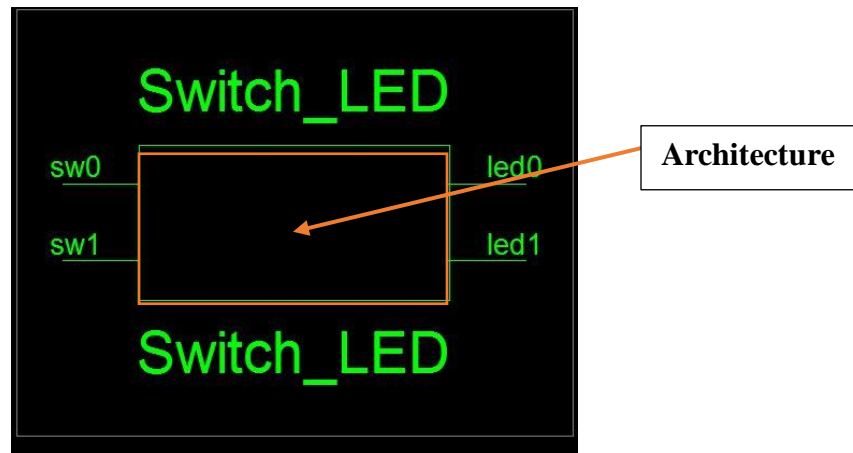
- Pengenalan Architecture.
- Kerangka Dalam Membuat Architecture.
- Jenis-jenis Penulisan Architecture.

III. Peralatan :

- FPGA Xilinx Artix 7 Board Nexys 4.
- Kabel Power USB.
- 1 buah PC.
- Software ISE Design Suite 14.5.

2.1 Pengertian

Architecture dalam VHDL merupakan sebuah cara bagaimana sebuah desain dapat bekerja. Cara tersebut tentunya berkaitan dengan entity yang sudah dibuat sebelumnya.



Gambar 2.1 Desain sederhana

Jika melihat gambar, architecture berada ditengah antara input dan output. Disinilah kita merangkai sebuah program sesuai dengan yang kita inginkan. Maka dari itu architecture dapat dikatakan :

- Behavior, yaitu bagaimana sebuah desain bekerja dan apa yang akan dilakukan desain tersebut.
- Function, bagaimana hubungan antara input dan output bekerja dalam sebuah entity.

Syntax :

```
Architecture architecture_name of entity_name is  
  declarations  
begin  
  (concurrent_statements)  
end architecture_name
```

contoh :

```
Architecture Behavioral of Switch_LED is  
  
begin  
  led0 <= sw0 ;  
  led1 <= sw1 ;  
end Behavioral;
```

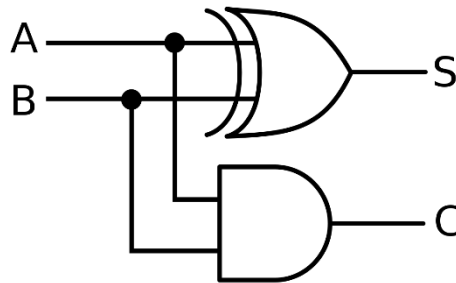
Architecture tersebut berfungsi untuk menyalakan LED melalui switch. Switch pada dasarnya memiliki dua kondisi, yaitu kondisi 0 (LOW) dan 1 (HIGH). Ketika switch berubah kondisi dari LOW ke HIGH, maka akan ada tegangan yang dialirkan ke LED sehingga LED dapat menyala.

2.2 Model Architecture Styles

a. Dataflow

Model architecture ini biasanya digunakan untuk desain program yang lebih kecil.

Contoh :



Gambar tersebut merupakan rangkaian half adder yang terdapat dua input (A,B) dan dua output (S,C). Half adder merupakan rangkaian elektronika yang bekerja melakukan perhitungan penjumlahan dari 2 buah bilangan biner yang masing-masing terdiri dari 1 bit.

S = sum

C = carry

Jika kita buat entity nya, maka akan menjadi :

Entity Half_Adder is

Port (A : in BIT;

B : in BIT;

S : out BIT;

C : out BIT

);

End Half_Adder;

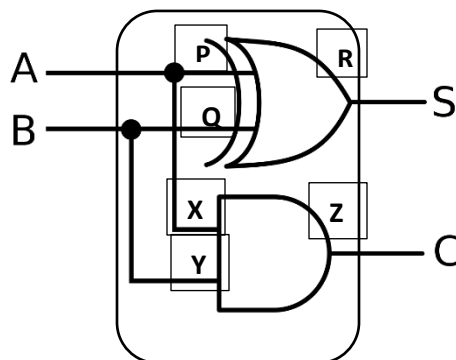
Syntax :

```
architecture dataflow_HA of Half_Adder is
begin
    S <= A xor B;
    C <= A and B;
end dataflow_HA;
```

Dapat kita lihat, model architecture jenis sangatlah mudah digunakan. Namun, model jenis ini biasanya digunakan pada rangkaian sederhana dan tidak memerlukan kondisi yang rumit.

b. Structural

Model architecture jenis ini memerlukan definisi dari setiap komponen yang dipakai. Setiap komponen, harus di definisikan satu persatu untuk dapat menjadi sebuah rangkaian yang utuh. Contoh :



Kita menggunakan entity sebelumnya pada model jenis dataflow.

Entity Half_Adder is

```
Port ( A : in BIT;  
      B : in BIT;  
      S : out BIT;  
      C : out BIT  
      );
```

End Half_Adder;

Architecture structural_HA of Half_Adder is

```
component XOR1  
port (P,Q : in BIT; R : out BIT);  
end component;  
  
component AND1  
port (X,Y : in BIT; Z : out BIT);  
end component;
```

begin

```
X1 : XOR1 port map (A,B,SUM);  
A1 : AND1 port map (A,B,Carry);
```

End structural_HA;

Keterangan :

Port map merupakan positional association (akan dibahas pada bab lain)

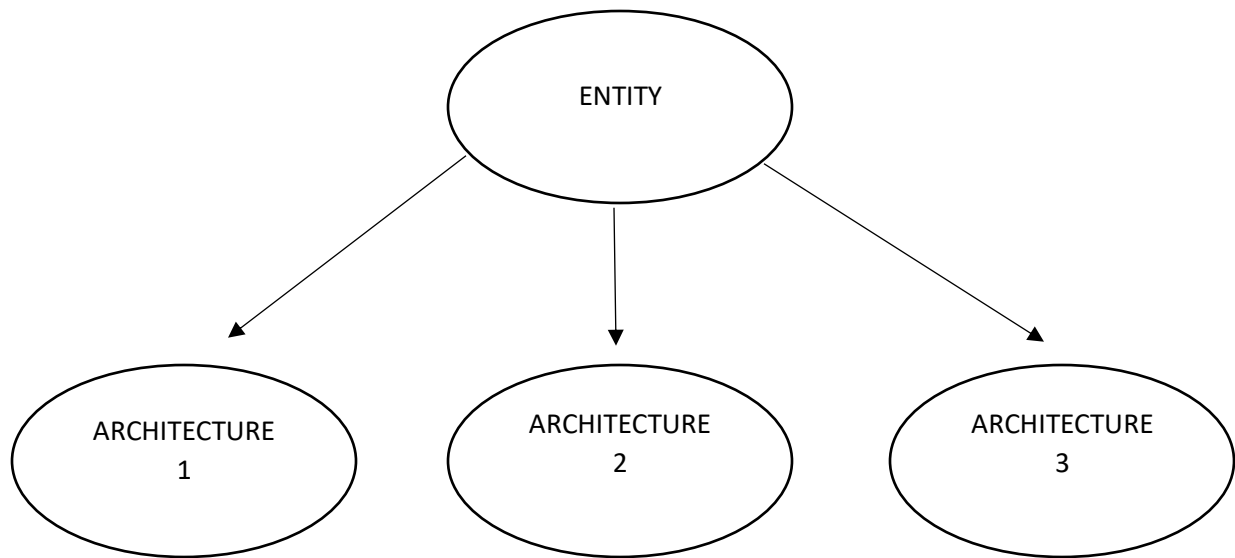
c. Behavioral

Jenis architecture ini biasanya digunakan untuk program yang lebih rumit dan kompleks dengan desain yang lebih besar pula. Contoh :

```
Entity Half_Adder is
Port ( A : in BIT;
      B : in BIT;
      S : out BIT;
      C : out BIT
      );
End Half_Adder;
architecture behavioral of Half_Adder is
begin
    process (A,B)
    begin

        if A & B = "00" then
            S <= '0';
            C <= '0';
        elsif A & B = "01" or A & B = "10" then
            S <= '1';
            C <= '0';
        else
            S <= '0';
            C <= '1';
        end if;
    end process;
end behavioral;
```

Dari program tersebut, terlihat jelas bahwa jenis ini lebih mengacu pada perilaku dari masing-masing komponen (XOR & AND gate). Perilaku tersebut harus didefinisikan semua untuk mendapatkan hasil yang diinginkan yaitu rangkaian half adder tersebut. Dalam suatu desain program VHDL, sangat memungkinkan untuk menggunakan lebih dari satu architecture tergantung dari kebutuhan. Namun beberapa asrchitecture tersebut tetap harus memiliki sebuah entity. **“One Entity Multiple Architecture”**.



2.3 Membuat Architecture Sederhana

1. Buka aplikasi ISE Design Suite 14.5
2. Buka menu **File > Open Project**. Cari file project sebelumnya yang sudah dibuat.

```
18  --
19  -----
20  library IEEE;
21  use IEEE.STD_LOGIC_1164.ALL;
22
23  -- Uncomment the following library declaration if using
24  -- arithmetic functions with Signed or Unsigned values
25  --use IEEE.NUMERIC_STD.ALL;
26
27  -- Uncomment the following library declaration if instantiating
28  -- any Xilinx primitives in this code.
29  --library UNISIM;
30  --use UNISIM.VComponents.all;
31
32  entity ACSL_VHDL is
33      Port ( A : in  STD_LOGIC;
34            B : in  STD_LOGIC;
35            C : out STD_LOGIC);
36  end ACSL_VHDL;
37
38  architecture Behavioral of ACSL_VHDL is
39
40  begin
41
42
43  end Behavioral;
44
45
```

Tampilan setelah membuka project sebelumnya yang sudah dibuat.

3. Setelah itu ubah nama architecture sebelumnya (Behavioral) menjadi “dataflow”. Karena kita menggunakan style entity dataflow. Lalu ketikkan program berikut.

```
architecture dataflow of ACSL_VHDL is
begin
    C <= A and B;
end dataflow;
```

Ini merupakan architecture sederhana dengan menggunakan gerbang AND sebagai bagian dari statement program. Dengan begitu, table kebenaran dari gerbang AND akan melakukan tugasnya seperti yang tertulis di program (table kebenaran).

Catatan :

Simpan project tersebut karena akan digunakan pada bab selanjutnya.

TUGAS :

1. Buatlah desain architecture menggunakan style structural dan behavioral dari program yang sudah dibuat sebelumnya.
 2. Buatlah desain architecture (dataflow, behavioral, structural) dengan menggunakan gerbang berikut :
 - a. OR
 - b. NAND
 - c. NOR
 - d. EXOR
 - e. EXNOR
- Tugas tersebut dikerjakan dengan cara diketik di Ms. Word atau sejenisnya dan dikumpulkan ke PJ shift masing-masing.
 - Format file (Nama_Kelas_Shift).