# Pengenalan FPGA

### **I.** Tujuan Praktikum:

- Praktikan Dapat Mengenal FPGA dan Isinya.
- Praktikan Dapat Memahami HDL (Hardware Description Language).

### **II.** Dasar Teori :

- Pengenalan FPGA dan Sejarah Singkatnya.
- Bahasa Pemrograman Untuk FPGA.
- Pengenalan VHDL.

### **III.** Peralatan:

- FPGA Xilinx Artix 7 Board Nexys 4.
- Kabel Power USB.
- 1 buah PC.
- Software ISE Design Suite 14.5.

### **B.1** Sejarah Singkat FPGA

FPGA (Field Programmable Gate Array) merupakan sebuah IC digital yang digunakan untuk merangkai rangkaian digital. FPGA ini mulai diperkenalkan pada tahun 1980 dan dikembangkan sejak tahun 1984 oleh perusahaan Xilinx yang berbasis di San Jose, California. Selain Xilinx, terdapat juga beberapa perusahaan lain yang memproduksi FPGA seperti Altera, Lattice, dan Quicklogic.

### **B.1.1** Versi Produk FPGA Xilinx

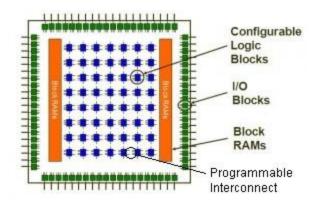
- 1. Virtex Family
- 2. Kintex Family
- 3. Artix Family
- 4. Zynq Family
- 5. Spartan Family
- 6. Easy Path
- 7. Versal





Gambar B.1 FPGA Xilinx dan Altera

Bila dilihat dari namanya, (Field Programmable) dapat diartikan bahwa FPGA ini bersifat dapat dirancang sesuai dengan keinginan dan kebutuhan user atau pemakai. Sedangkan (Gate Array) artinya FPGA ini terdiri atas gerbang-gerbang digital dimana masing-masing dari gerbang tersebut dapat dikonfigurasikan antara satu sama lain. FPGA ini juga memiliki sifat *volatile*, yaitu sifat dimana apabila sumber dayanya dicabut maka program yang sudah ditanam sebelumnya akan hilang. Namun dibeberapa perangkat, sudah ada yang ditanamkan ROM untuk dapat menyimpan program yang sudah dibuat.

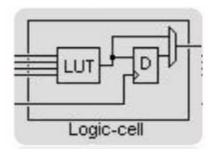


Gambar B.2 Isi dari FPGA

Isi dari FPGA meliputi berbagai hal, seperti :

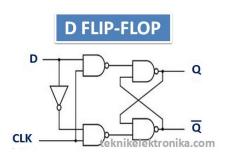
- a. Configure Logic Blocks (CLB), dapat dikatakan bagian inilah yang akan memproses segala bentuk rangkaian logika yang dibuat oleh user.
- b. I/O Blocks, bagian ini berfungsi sebagai antarmuka antara external pin dari perangkat dan internal logic dari user.
- c. Block RAM, berfungsi untuk menyimpan data di dalam FPGA.
- d. Programmable Interconnect, bagian ini berfungsi untuk menghubungkan antara CLB satu dengan CLB lainnya.

Sebuah FPGA tersususn dari sebuah bagian yang bernama "logic-cell" (Logic Blocks) yang saling terhubung satu sama lain. Kumpulan-kumpulan dari *logic cell* ini berjumlah ratusan bahkan ribuan sehingga membentuk suatu fungsi yang kompleks. Sebuah *logic cell* tersebut pada dasarnya terdiri dari dari sebuah *Lookup Table* (LUT), D Flip-Flop, dan sebuah multiplekser 2 ke 1.



Gambar B.3 Logic Cell

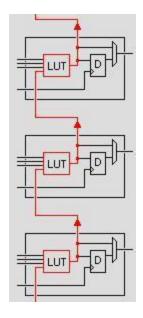
- a. Lookup Table (LUT), merupakan sejenis RAM yang berkapasitas kecil. Di dalam FPGA, LUT ini memegang peran dalam proses implementasi fungsi-fungsi logika. LUT ini memiliki ciri khas yaitu memiliki 4 inputan.
- b. D Flip-Flop, atau lebih dikenal dengan Data Flip-Flop berfungsi sebagai rangkaian logika dimana di dalamnya terdapat peralatan seperti memori dan pewaktu (timer dan counter).



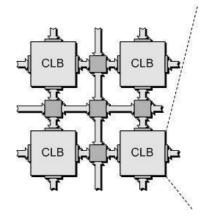
Gambar B.4 D flip-flop

c. Multiplekser 2 ke 1, bekerja sebagai switch (saklar) yang menghubungkan beberapa input menjadi satu inputan saja.

Setiap logic cell tersebut dapat dihubungkan dengan logic cell lain melalui jalur koneksi yang ada. Setiap cell, hanya mampu bekerja secara ringkas dan sederhana, namun apabila antar cell saling terhubung satu sama lain maka sebuah fungsi-fungsi logika yang kompleks dapat terbentuk.

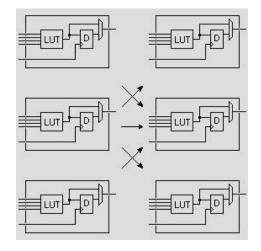


Gambar B.4 Kumpulan logic cell



Gambar B.5 Kumpulan CLB





Gambar B.6 LUT yang saling terhubung

### **B.4** Software

Pada umumnya, perusahaan pembuat FPGA memberikan perangkat lunak secara gratis yang sudah termasuk kedalam paket pembelian produk mereka. Namun, software yang gratis ini hanya untuk jenis FPGA tingkat rendah-menengah saja, tetapi sudah cukup mendukung untuk digunakan dalam pembelajaran. Berikut beberapa software pendukung yang gratis:

- 1. Xilinx, terkenal dengan software miliknya yang bernama ISE Design Suite.
- 2. Altera, terkenal dengan software miliknya yang bernama Quartus.



Gambar B.6 ISE Design Suite

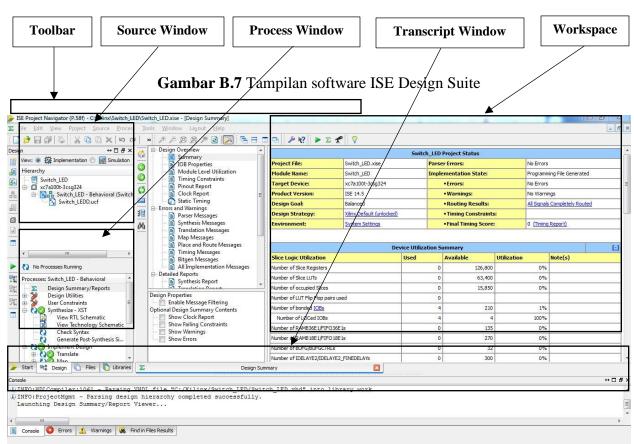
Software di atas cukup bagus dan baik untuk memulai belajar menggunakan FPGA karena software tersebut memiliki fungsi yang hampir sama dengan yang berbayar. Selain itu, saat ini dengan fungsi yang cukup dan memadai maka tidak perlu membeli software yang ada secara lengkap. Software inilah yang akan kita gunakan untuk praktikum Xilinx ISE

MODUL PRAKTIKUM FPGA S1 | UNIVERSITAS GUNADARMA

(Integrated Synthesis Environment) adalah perangkat lunak yang digunakan dari Xilinx untuk sintesis dan analisis desain HDL (Hardware Description Language) yang tujuan utamanya untuk menargetkan pengembangan sistem tertanam untuk rangkaian produk FPGA mereka. Software ini juga memungkinkan pengembang untuk mensintesis (mengkompilasi) desain mereka, melakukan analisis waktu, memeriksa diagram RTL, mensimulasikan sebuah desain, dan mengkonfigurasinya. Berikut cara memulai memrogram FPGA:

- a. Download software yang dibutuhkan.
- b. Install software tersebut.
- c. Meminta license untuk mengaktifkan software melalui email. Tanpa adanya license maka software tersebut tidak dapat digunakan.





Berikut merupakan tampilan awal ketika membuka software ISE Design Suite tersebut.

### **B.4.1** *Jenis-jenis Proses* :

# > Tasks

Ketika Anda menjalankan proses task, perangkat lunak ISE berjalan dalam "modus batch," yaitu, perangkat lunak proses file sumber Anda, tetapi tidak membuka perangkat lunak tambahan di Workspace itu. Output dari proses muncul di jendela transkrip.

# > Report

Tugas yang paling menyertakan laporan sub-proses, yang menghasilkan laporan ringkasan atau status, misalnya, Laporan Sintesis atau Peta Laporan. Ketika Anda menjalankan proses laporan, laporan itu muncul dalam Workspace tersebut.

Ketika Anda menjalankan proses tools, tools terkait meluncurkan dalam mode standalone atau muncul dalam Workspace mana Anda dapat melihat atau memodifikasi file source desain Anda.

### **B.4.2** Proses Status

# Running

Ikon ini menunjukkan bahwa proses sedang berjalan.

# ➤ Up-To-Date

Ikon ini menunjukkan bahwa proses berhasil berjalan dengan tidak ada kesalahan atau peringatan dan tidak perlu mengulangi. Jika ikon di samping proses laporan, laporan yang up-to-date, namun, tugas-tugas terkait dapat memiliki peringatan atau kesalahan. Jika hal ini terjadi, Anda dapat membaca laporan tersebut untuk menentukan penyebab dari peringatan atau kesalahan.

# Warning Reported



Ikon ini menunjukkan bahwa proses itu berjalan berhasil tetapi ada peringatan yang muncul.

# Error Reported



Ikon ini menunjukkan bahwa proses itu berjalan, tetapi mengalami error dan harus di perbaiki.

# Out-Of-Date



Ikon ini menunjukkan bahwa Anda membuat perubahan desain, yang mengharuskan proses dijalankan ulang. Jika ikon ini berada di samping proses laporan, Anda dapat menjalankan kembali proses tugas yang terkait untuk membuat versi up-to-date laporan.



Pada praktikum FPGA ini, perangkat yang akan digunakan adalah dari Xilinx yaitu board Nexys 4 dengan Artix-7 sebagai IC nya. Perangkat ini memiliki beberapa fitur, diantaranya:

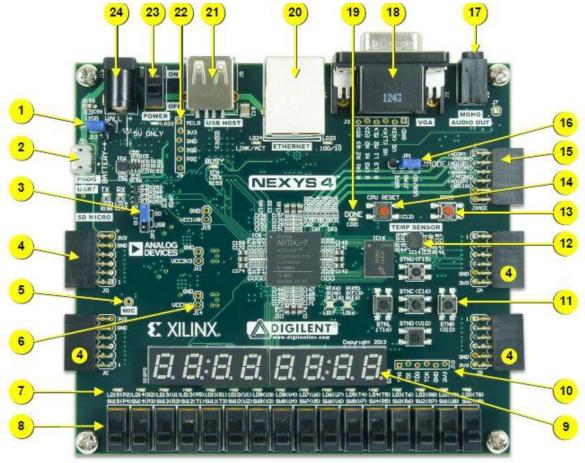


Figure 1. Nexys 4 board features

Gambar B.8 Board Nexys 4 dan port yang tersedia

### Keterangan:

Callout	Component	Callout	Component
	Description		Description
1	Power select jumper	13	FPGA configuration
	and battery header		reset button
2	Shared UART/ JTAG	14	CPU reset button (for
	USB port		soft cores)
3	External configuration	15	Analog signal Pmod
	jumper (SD / USB)		port (XADC)
4	Pmod port(s)	16	Programming mode
			jumper
5	Microphone	17	Audio connector
6	Power supply test	18	VGA connector
	point(s)		
7	LEDs (16)	19	FPGA programming
			done LED
8	Slide switches	20	Ethernet connector
9	Eight digit 7-seg	21	USB host connector
	display		
10	JTAG port for	22	PIC24 programming
	(optional) external		port (factory use)
	cable		
11	Five pushbuttons	23	Power switch
12	Temperature sensor	24	Power jack

**Tabel B.1** Daftar komponen pada board Nexys 4

### **B.6** *HDL* (*Hardware Description Language*)

Salah satu metode untuk perancangan rangkaian adalah menggunakan Bahasa Deskripsi Perangkat Keras (*Hardware Description Language/HDL*). Nantinya tiap-tiap komponen serta jalur yang menghubungkannya akan dideskripsikan lewat tulisan atau kode tertentu. Tiap vendor FPGA memiliki aturan mengenai penggunaan kode dalam hal implementasi di dalam FPGA. Namun, sejak sekitar 10 tahun lalu, telah muncul kode baru yang dapat diimplementasikan ke dalam semua jenis FPGA buatan vendor manapun. Kode baru tersebut ada 2 yakni Verilog dan VHDL. Baik verilog maupun VHDL ternyata lebih terkenal karena mudah dipahami dan dimengerti. Selanjutnya dua kode ini kemudian menjadi acuan utama dalam proses implementasi rancangan rangkaian ke dalam FPGA (apapun jenis vendornya). Hingga saat ini, metode perancangan menggunakan HDL (baik verilog maupun VHDL) lebih banyak digunakan daripada metode schematic. Selanjutnya, mempelajari HDL sangatlah penting dan dibutuhkan terutama bagi mereka yang serius ingin terjun di dalam dunia FPGA. Selain itu, HDL kini telah menjadi acuan utama dalam dunia industri sehingga tidak ada ruginya bila kita ingin mempelajarinya.

### **B.6.1** *VHDL*

Pada praktikum ini, kita akan akan menggunakan VHDL untuk membuat desain program kedalam FPGA tersebut. VHDL (VHISC Hardwere Description Language); VHSIC (Very High Speed Integrated Circuit) adalah sebuah bahasa pemrograman yang dikembangkan oleh IEEE (Institute of Electrical and Electronic Engineering). VHDL juga bisa digunakan sebagai bahasa pemrograman untuk simulasi rangkaian dari komponen-komponen digital. Pada VHDL, konsep serta *syntax* banyak diperlukan untuk mengerti bagaimana rancangan VHDL sebagai bagian dari pemrograman FPGA. Dalam kebanyakan kasus, keputusan memilih dan menggunakan kode VHDL daripada kode **Verilog** atau **SystemC**, sangat tergantung pada pilihan perancang itu sendiri dan lebih kepada ketersediaan software pendukung serta kebutuhan perusahaan. Untuk mempelajari VHDL, terdapat 5 komponen penting dalam menulis desain programnya, yaitu:

- 1. Entity
- 2. Architecture
- 3. Configuration
- 4. Package Declaration
- 5. Package Body

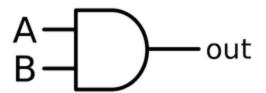
Penjelasan mengenai 5 komponen tersebut akan dibahas pada bab berikutnya.

### B.7 Jenis-jenis Gerbang Logika

### a. Gerbang AND

Jenis Gerbang AND atau AND Gate adalah salah satu jenis gerbang logika yang membutuhkan dua atau lebih masukan (input) untuk kemudian hanya menghasilkan satu keluaran (output). Pada Gerbang Logika AND, simbol yang digunakan untuk pengoperasiannya adalah tanda titik (.) atau bahkan tidak memakai tanda sama sekali. Contoh pengoperasiannya yaitu : Out = A.B atau Out = AB.





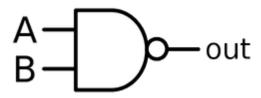
Gambar B.9 AND gate

A	В	Out
0	0	0
0	1	0
1	0	0
1	1	1

Tabel B.2 AND gate table

### b. Gerbang NAND (Not AND)

Gerbang NAND memiliki karakteristik yaitu memiliki dua atau lebih sinyal masukkan namun hanya memiliki satu sinyal keluaran. Sifat gerbang NAND ini adalah apabila memiliki sinyal keluaran rendah (0), maka semua sinyal masukkan harus dalam keadaan lebih tinggi (1).



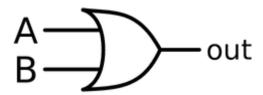
Gambar B.10 NAND gate

A	В	Out
0	0	1
0	1	1
1	0	1
1	1	0

**Tabel B.3** NAND gate table

### c. Gerbang OR

Gerbang OR juga memerlukan 2 atau lebih input untuk menghasilkan 1 output. Sama seperti gerbang AND, Gerbanf OR juga akan menghasilkan keluaran (Output) 1 jika salah satu input juga bernilai 1. Dan sebaliknya akan menghasilkan nilai output 0, logika 0 apabila semua input pun harus bernilai logika 0. Simbol yang digunakan pada gerbang logika OR adalah tanda plus (+). Contohnya yaitu : Out =A+B.



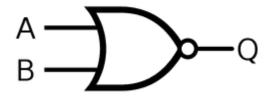
Gambar B.11 OR gate

A	В	Out
0	0	0
0	1	1
1	0	1
1	1	1

Tabel B.4 OR gate table

# d. Gerbang NOR (Not OR)

Gerbang NOR juga memiliki dua atau lebih sinyal masukan. Namun hanya memiliki satu sinyal keluaran. Gerbang NOR ini memiliki karakteristik yaitu hanya mengenal sinyal masukan yang nilai bitnya adalah nol.



Gambar B.12 NOR gate

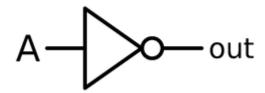
A	В	Out
0	0	1
0	1	0
1	0	0
1	1	0

Tabel B.5 NOR gate table

# MODUL PRAKTIKUM FPGA S1 | UNIVERSITAS GUNADARMA

### e. Gerbang NOT

Gerbang NOT disebut juga inverter, yaitu gerbang yang komplemen dimana sinyal keluaran akan berlawanan dengan sinyal masukan.



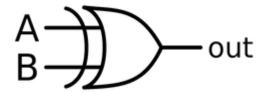
Gambar B.13 NOT gate

A	Out
0	1
1	0

Tabel B.6 NOT gate table

### f. Gerbang XOR

Gerbang XOR (Exclusive OR) memiliki karakteristik yaitu hanya menerima atau mengenali sinyal yang memiliki bit tinggi (1) yang berjumlah ganjil (parity ganjil) untuk menghasilkan sinyal keluaran yang bernilai tinggi pula.



Gambar B.14 XOR gate

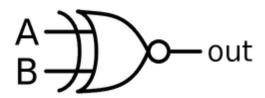
_
⋖
⋛
>
$\sim$
œ
_
ч.
$\cap$
_
⋖
$\sim$
=
$\rightarrow$
70
G
_
S
٠.
◁
$\overline{}$
_
S
S
ш.
$\mathbb{R}$
_
>
$\overline{}$
Z
$\supset$
_
—
_
_
S1 _
- :
- :
⋖
Ą
Ą
Ą
PGA
Ą
FPGA
M FPGA
PGA
JM FPGA
UM FPGA
JM FPGA
UM FPGA
UM FPGA
UM FPGA
TIKUM FPGA
KTIKUM FPGA
AKTIKUM FPGA
AKTIKUM FPGA
RAKTIKUM FPGA
RAKTIKUM FPGA
AKTIKUM FPGA
PRAKTIKUM FPGA
PRAKTIKUM FPGA
JL PRAKTIKUM FPGA
JL PRAKTIKUM FPGA
JL PRAKTIKUM FPGA
DUL PRAKTIKUM FPGA
JL PRAKTIKUM FPGA

A	В	Out
0	0	0
0	1	1
1	0	1
1	1	0

**Tabel B.6** XOR gate table

### g. Gerbang XNOR

Jenis Gerbang logika yang satu ini disebut juga sebagai gerbang Not Exclusive OR. Gerbang XNOR ini memiliki sifat apabila nilai sinyal keluaran ingin bernilai tinggi.Maka nilai sinyal masukkan harus genap (parity genap). Gerbang Ex-NOR merupakan kebalikan dari Ex-OR, yaitu bila nilai inputnya tinggi, maka nilai outputnya akan rendah.



Gambar B.15 XNOR gate

A	В	Out
0	0	1
0	1	0
1	0	0
1	1	1

**Tabel B.7** XNOR gate table

# MODUL PRAKTIKUM FPGA S1 | UNIVERSITAS GUNADARMA

### B.8 Contoh Program VHDL Dengan Gerbang Logika

```
library IEEE;
use IEEE.STD LOGIC 1164.ALL;
use IEEE.STD LOGIC ARITH.ALL;
use IEEE.STD LOGIC UNSIGNED.ALL;
entity ALLGATES SOURCE is
Port (A,B: in STD LOGIC;
P, Q, R, S, T, U, V : out STD LOGIC);
end ALLGATES SOURCE;
architecture dataflow of ALLGATES SOURCE is
begin
--- you have to remember the commands for boolean
logic in VHDL as shown below
P < = A \text{ and } B;
```

```
Q < = A nand B;

R <= A or B;

S <= A nor B;

T <= not A;

U <= A xor B;

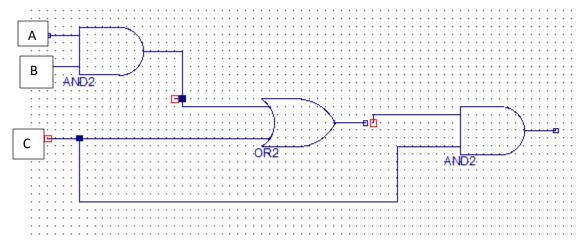
V <= A xnor B;

end dataflow;</pre>
```

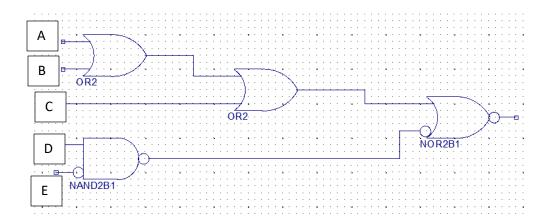
# **B.9** Latihan

# Buatlah program VHDL dari rangkaian berikut :

a.



b.



MODUL PRAKTIKUM FPGA S1 | UNIVERSITAS GUNADARMA