

# 深圳大学实验报告

课程名称: 计算机系统 3

实验项目名称: 自定义 ALU 的 FPGA 实现

学院: 计算机与软件学院

专业: 计算机科学与技术

指导教师: 罗秋明

报告人: 林浩晟 学号: 2022280310 班级: 01

实验时间: 2024 年 10 月 25 日

实验报告提交时间: 2024 年 10 月 27 日

教务部制

实验过程:

①将原实验代码

```
io_op == 4'h0
? io_b + 4'h5
: (io_op[0] ? 4'h5 - io_b : 4'h0) | (io_op[1] ? io_b & 4'h5 : 4'h0)
| (io_op[2] ? io_b ^ 4'h5 : 4'h0) | (io_op[3] ? _io_out_T_10[3:0] : 4'h0);
module
```

更改为

```
io_op == 4'h0
? io_b + 4'h5
: (io_op[0] ? io_b-4'h3 : 4'h0) | (io_op[1] ? io_b | 4'h5 : 4'h0)
| (io_op[2] ? ~io_b : 4'h0) | (io_op[3] ? (io_b&4'hB): 4'h0); // src/ma
module
```

②先解释更改后代码的作用:

假设将 io\_b 设为 5, 即(0101)<sub>2</sub>,

如果 io\_op[0]为 1, 执行 io\_b-3, 否则为 0;

如果 io\_op[0]为 1, 执行 io\_b|4, 否则为 0;

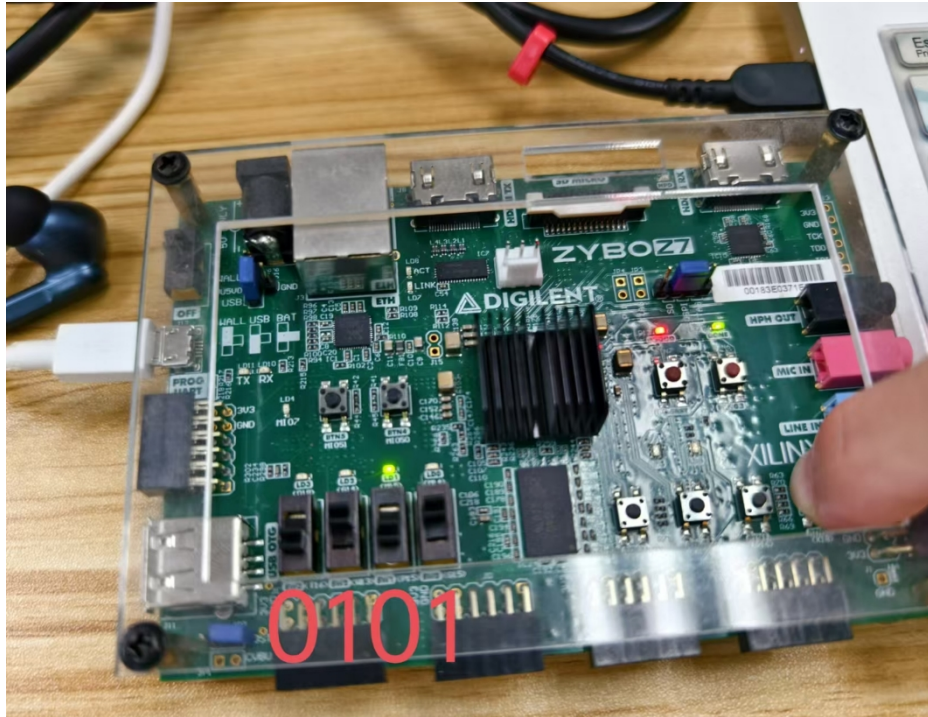
如果 io\_op[0]为 1, 执行~io\_b, 否则为 0;

如果 io\_op[0]为 1, 执行 io\_b&B, 否则为 0。

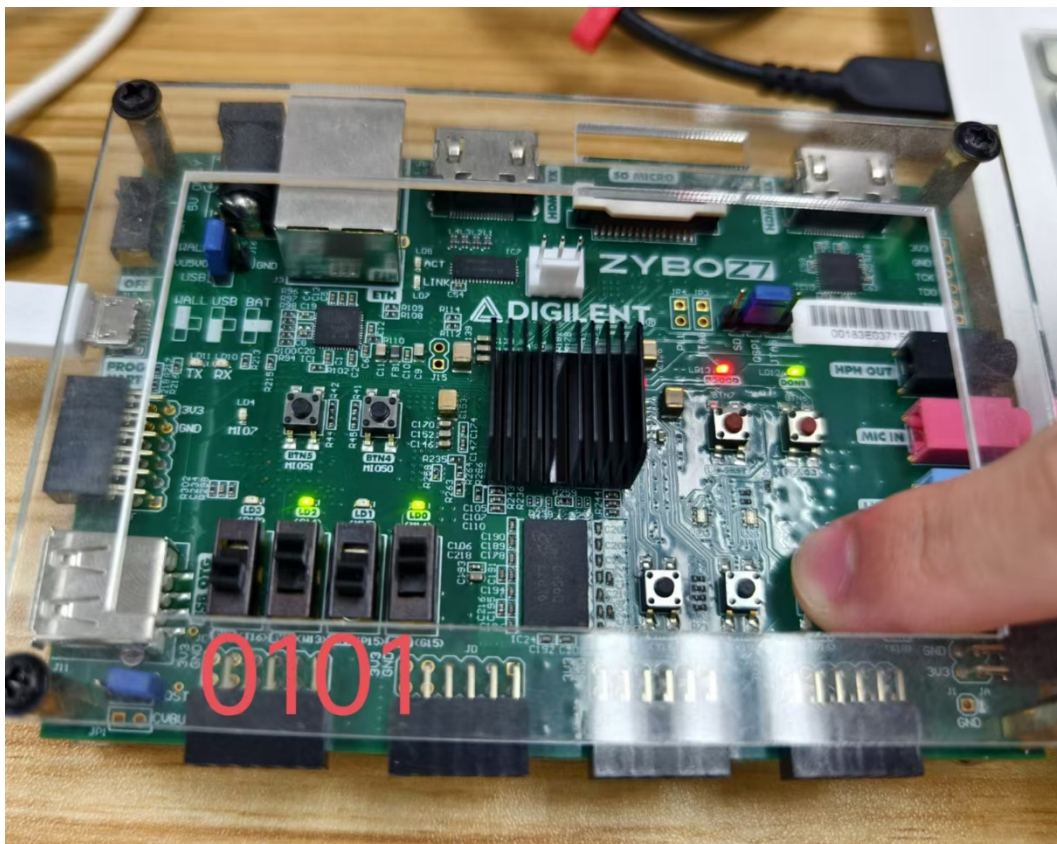
③首先将比特流输入到 FPGA 中, 初始图片如下, 其中原始 LED 输出为 5;



④随后将 io\_b 设置为 5, 按下 button0, 即 io\_op[0]为 1, LED 输出(0010)<sub>2</sub>, 如图; 由于 io\_op[0]为 1, 执行 io\_b-3, 结果为 2, 可知输出



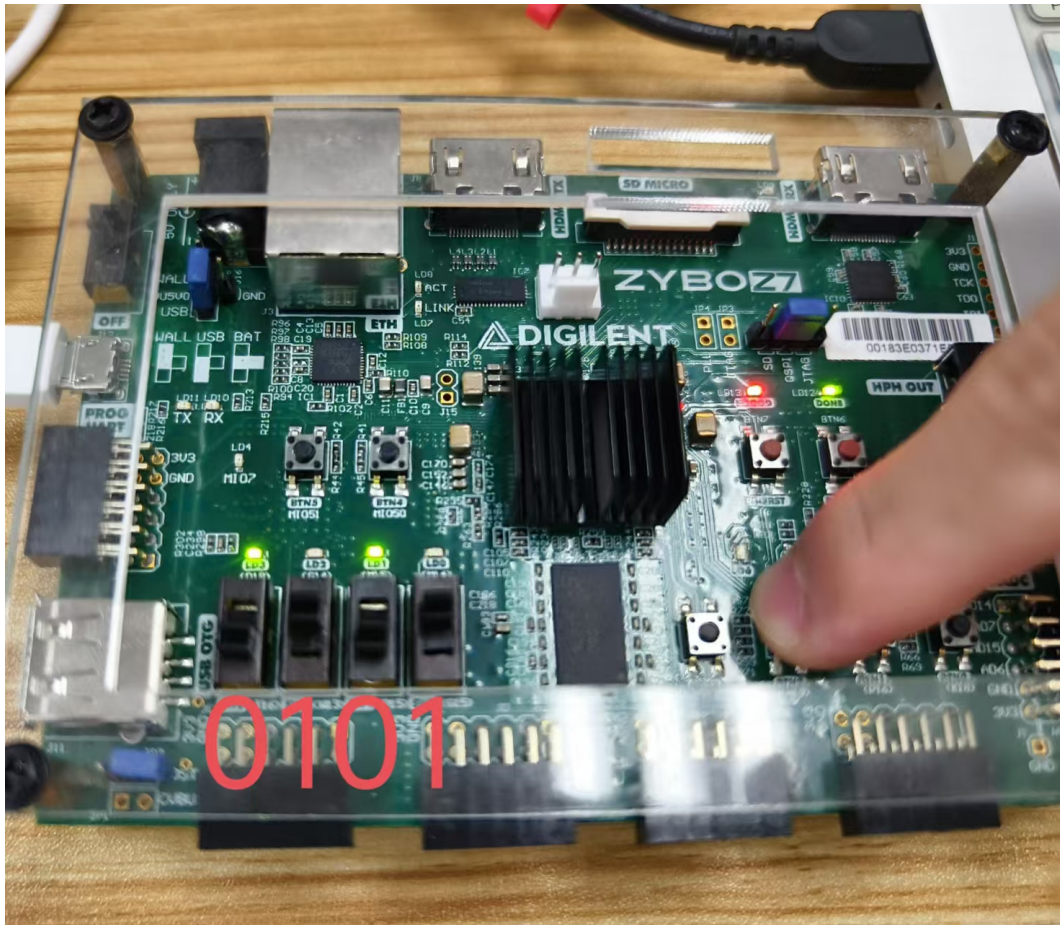
⑤同样将 `io_b` 设置为 5，按下 `button1`，即 `io_op[1]` 为 1，LED 输出(0101)<sub>2</sub>，同理可知应  
该输出(0101)<sub>2</sub>|(0100)<sub>2</sub>=(0101)<sub>2</sub>，可知输出正确；



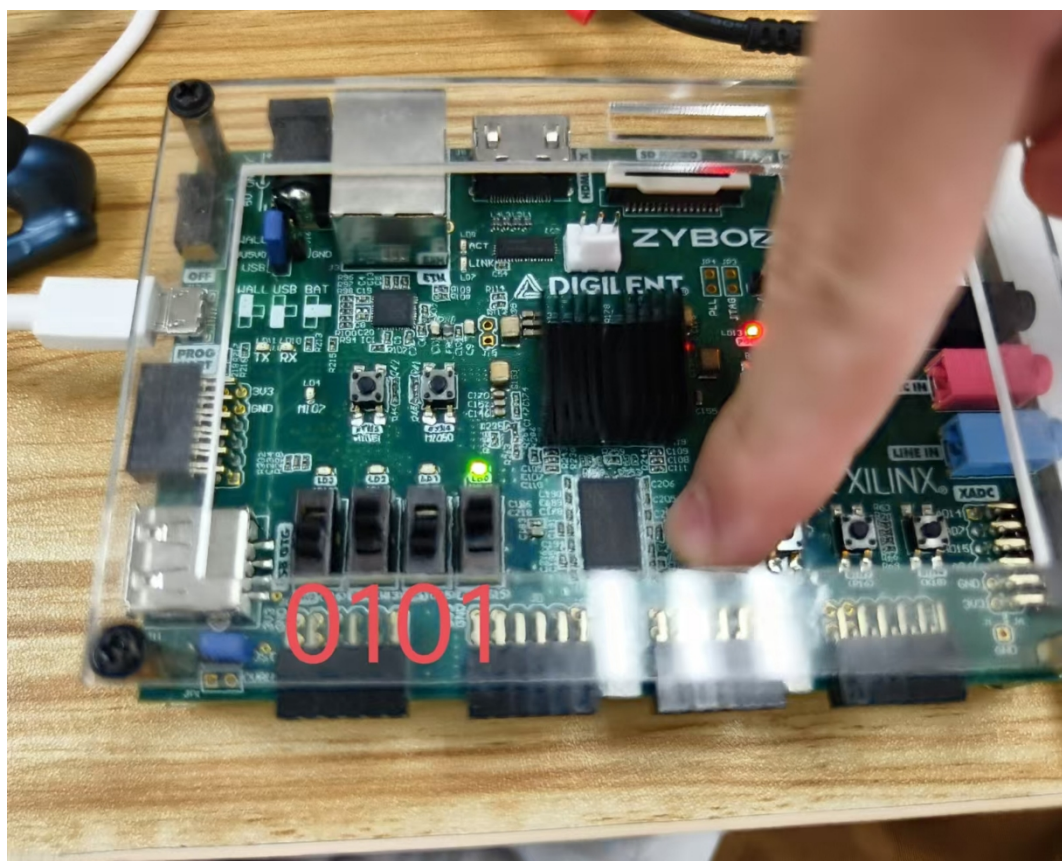
⑥同样将 `io_b` 设置为 5，按下 `button2`，即 `io_op[2]` 为 1，LED 输出(1010)<sub>2</sub>，同理可知应



该输出 $\sim(0101)_2=(1010)_2$ ，可知输出正确；



⑦同样将 `io_b` 设置为 5，按下 `button3`，即 `io_op[3]` 为 1，LED 输出  $(0001)_2$ ，同理可知应  
该输出  $(0101)_2 \& (1011)_2 = (0001)_2$ ，可知输出正确。



⑧由上面可知实验成功完成。

指导教师批阅意见:

成绩评定:

指导教师签字:

年 月 日

备注:

注：1、报告内的项目或内容设置，可根据实际情况加以调整和补充。

2、教师批改学生实验报告时间应在学生提交实验报告时间后 10 日内。