

## 实验 2 组合电路实验

毛彦杰 191220081

### 一、实验目的

1. 掌握利用基本门电路实现组合逻辑电路的方法
2. 掌握使用组合器件实现组合逻辑电路的方法
3. 掌握组合器件的级联扩展的方法。

### 二、总共涉及的实验设备

1. 数字电路实验箱 1 个
2. 数字万用表 1 个
3. 集成电路
  - 74HC00 四路 2 输入与非门 4 片
  - 74HC02 四路 2 输入或非门 2 片
  - 74HC04 六路反向器 1 片
  - 74HC10 三路 3 输入与非门 1 片
  - 74HC86 四路 2 输入端异或门 1 片
  - 74HC20 2 路 4 输入与非门 1 片
  - 74HC04 反相器 1 片
  - 74HC139 2-4 译码器 1 片
  - 74HC153 双四选一数据选择器 1 片

### 三、实验内容和步骤

1. 利用基本逻辑门电路器件实现 1 位二进制数的全加器
  - (1)、列出真值表，化简后分别写出求和位和进位的逻辑表达式。
  - (2)、画出电路原理图，要求标注器件编号、引脚号、输入输出信号名称等。
  - (3)、在 logisim 软件中，实现该电路原理图，验证电路功能，保存设计文件并导出电路图，并插入到实验报告中。
  - (4)、在面包板实验箱上实现该电路，填写真值表。

(1)列出真值表：

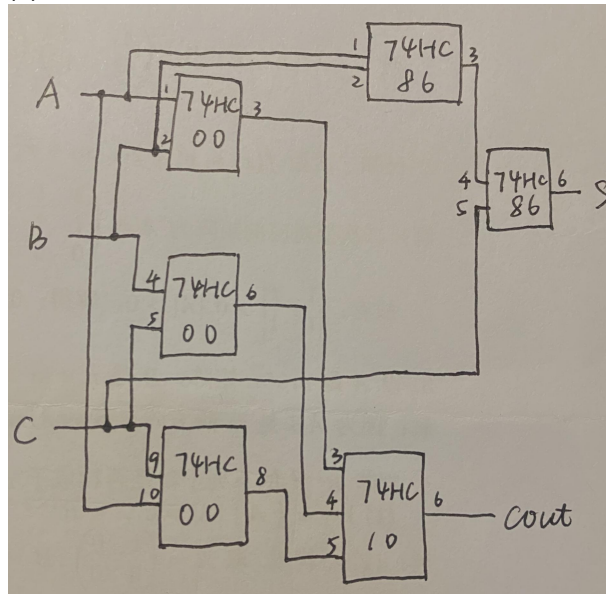
输入			输出	
A	B	C <sub>in</sub>	S	C <sub>out</sub>
0	0	0	0	0
1	0	0	1	0
0	1	0	1	0
1	1	0	0	1
0	0	1	1	0
1	0	1	0	1
0	1	1	0	1
1	1	1	1	1

化简得逻辑表达式：

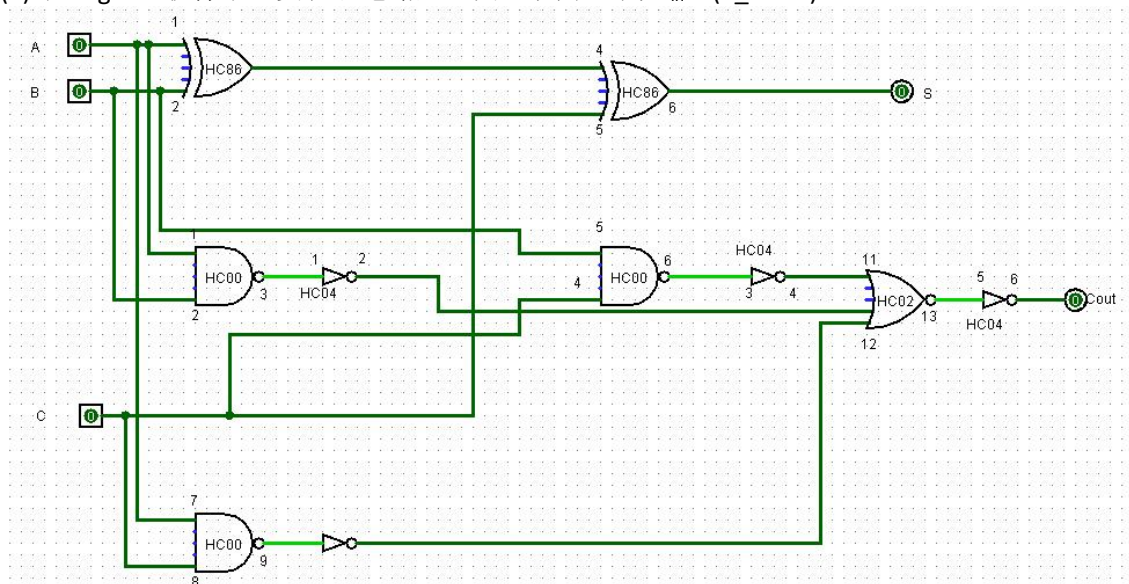
$$S=A\oplus B\oplus C$$

$$C_{out}=A \cdot B + A \cdot C_{in} + B \cdot C_{in}$$

(2)画出电路原理图: (其中 C 为  $C_{in}$ )



(3) 在 logisim 软件中, 实现该电路原理图: (其中 C 为  $C_{in}$ ) (2\_1.circ)



(4)在面包板实验箱上实现该电路, 填写真值表:

输入			输出	
A	B	$C_{in}$	S	$C_{out}$
0	0	0	0	0
1	0	0	1	0
0	1	0	1	0
1	1	0	0	1
0	0	1	1	0
1	0	1	0	1
0	1	1	0	1
1	1	1	1	1

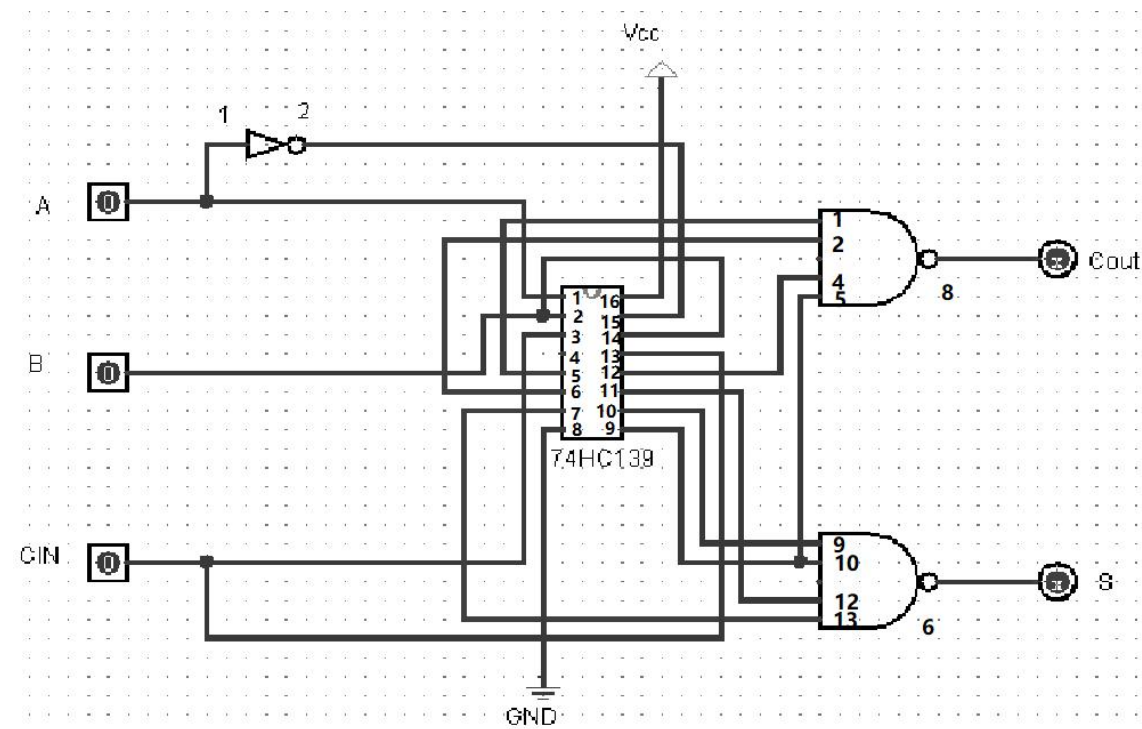
2、分别以 1 片 2-4 译码器 74HC139 和 1 片 4 选 1 多路选择器 74HC153 为主加上尽可能少的逻辑门电路实现一位二进制数全加器。

(1)、画出电路原理图，要求标注器件编号、引脚号、输入输出信号名称等。

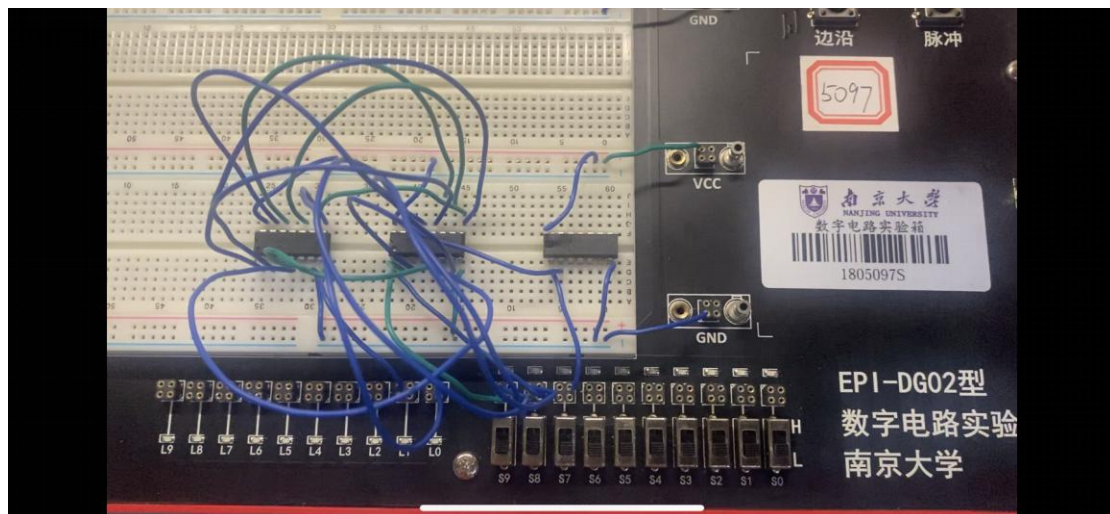
(2)、在面包板实验箱上实现该电路，填写真值表。

## 2-4 译码器 74HC139:

(1)电路原理图:

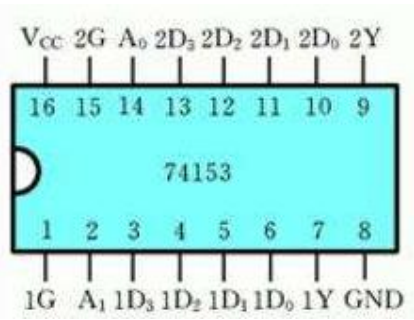


(2) 在面包板实验箱上实现该电路，填写真值表:

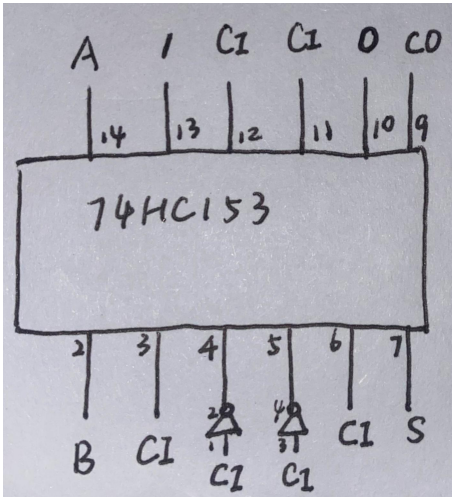


输入			输出	
A	B	C <sub>in</sub>	S	C <sub>out</sub>
0	0	0	0	0
1	0	0	1	0
0	1	0	1	0
1	1	0	0	1
0	0	1	1	0
1	0	1	0	1
0	1	1	0	1
1	1	1	1	1

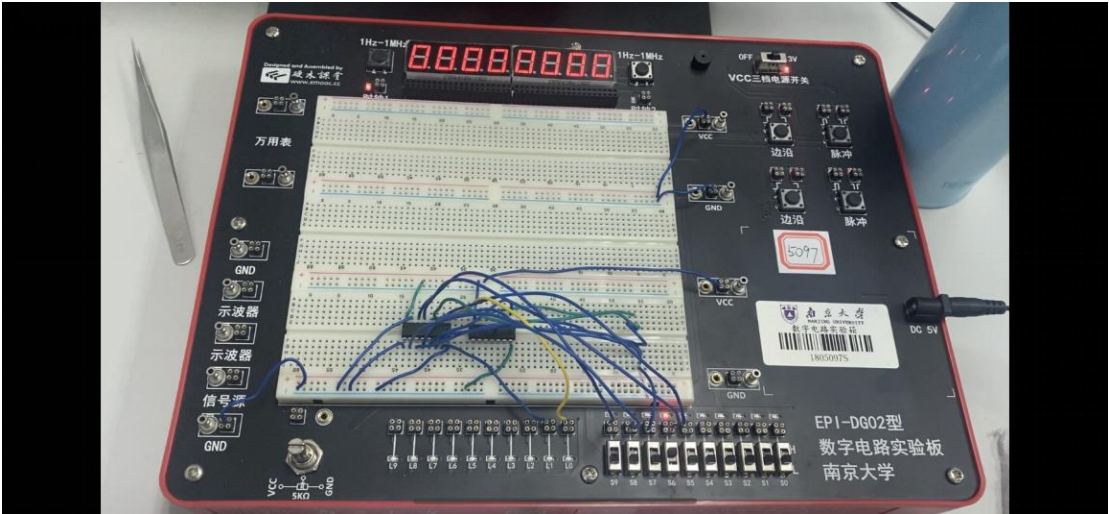
4 选 1 多路选择器 74HC153:



(1)电路原理图:



(2)在面包板实验箱上实现该电路，填写真值表：



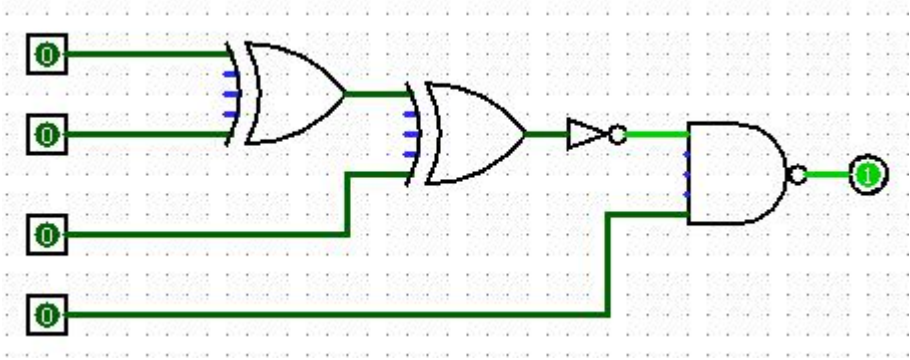
输入			输出	
A	B	C <sub>in</sub>	S	C <sub>out</sub>
0	0	0	0	0
1	0	0	1	0
0	1	0	1	0
1	1	0	0	1
0	0	1	1	0
1	0	1	0	1
0	1	1	0	1
1	1	1	1	1

3、利用基本逻辑门电路设计一个 4 位二进制数的检测电路，当输入无符号二进制数为 2、3、5 的倍数时，输出 1。

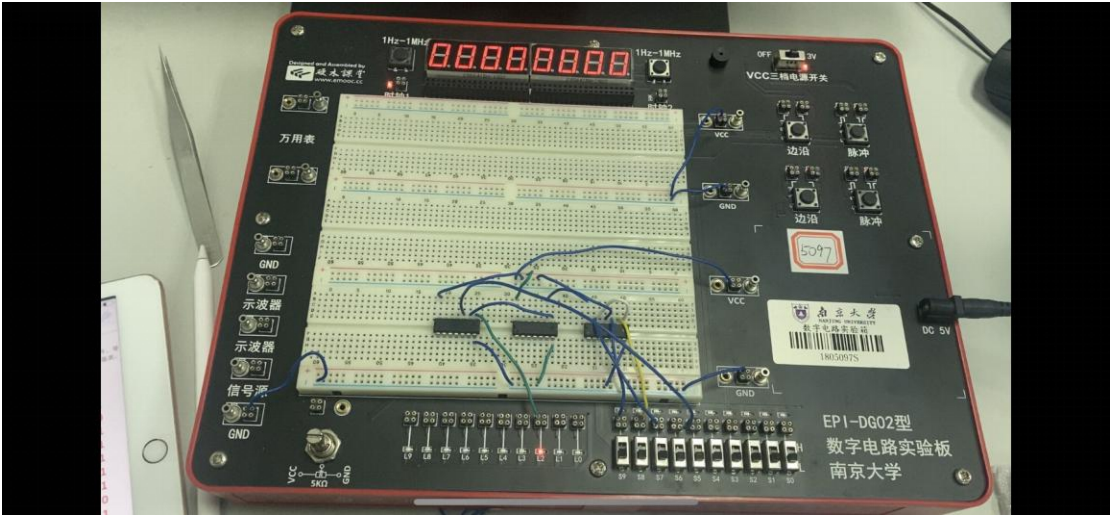
要求：设计出最简的逻辑电路图。并在 Logisim 中实现，保存电路设计文件、导出电路图，并粘贴到实验报告中；在面包板实验箱中实现该电路，列出真值表，验证设计电路的逻辑功能（提示可以使用 4 输入与非门 74X20）。



最简电路图：(2\_3\_concise.circ)



电路板上实现该电路：

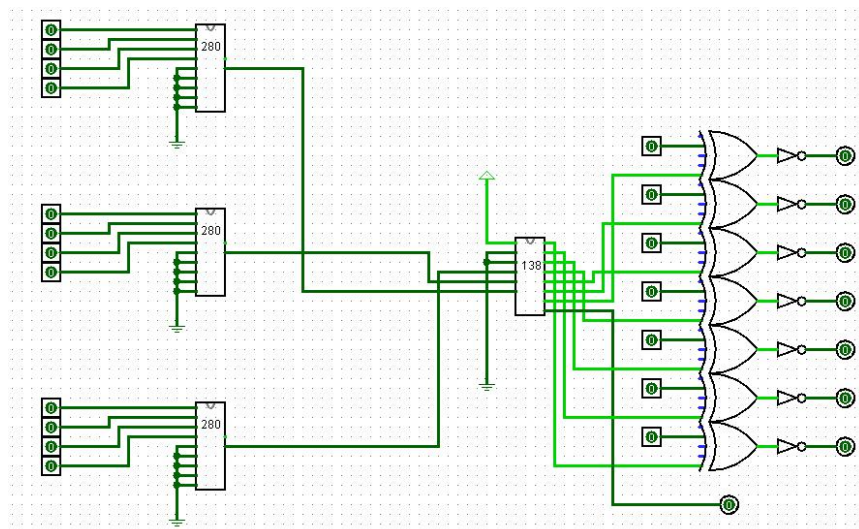


真值表：

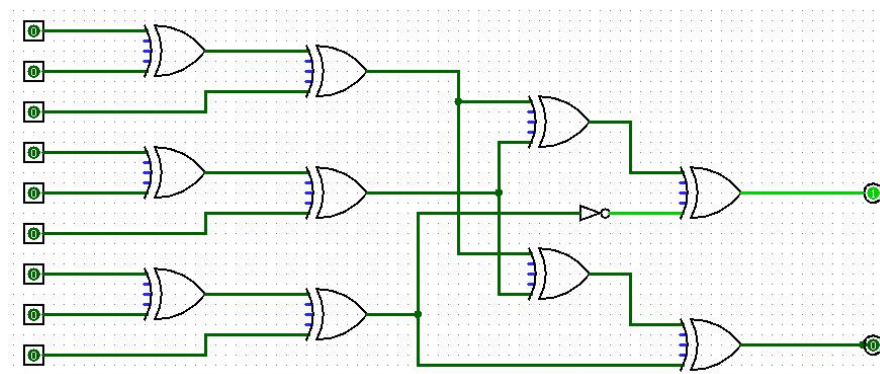
A	B	C	D	F
0	0	0	0	1
0	0	0	1	0
0	0	1	0	1
0	0	1	1	1
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	0
1	1	1	0	1
1	1	1	1	1

4、利用 logisim 实现课本图 6-73 的 7 位汉明码纠错电路，要求：输入一个错误汉明码验证电路正确性，保存电路设计源文件，导出电路图到实验报告中。

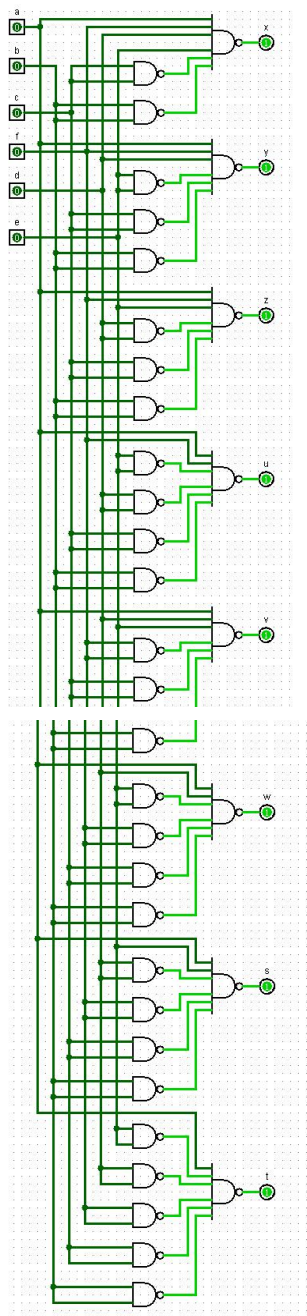
电路图：(2\_4\_main.circ)



其中 74x280 电路：(2\_4\_74x280.circ)



其中 74×138 电路：(2\_4\_74×138.circ)



5、设计一公用计算机房的分时上机控制电路。此控制电路策略如下：用 A、B 两个控制端表示时间段，00：表示上午，01：表示下午，10：表示晚上。有三个年级的学生需要上机，但在不同的时间段，他们上机的优先顺序不同：上午为 1 年级>2 年级>3 年级，下午为 2 年级>1 年级>3 年级，晚上为 3 年级>2 年级>1 年级。电路的输出 Y1、Y2 和 Y3 为 1 时分别表示 1 年级、2 年级和 3 年级学生能上机。采用合适组合逻辑实现该电路，要求写出设计全过程，并画出逻辑电路图。



电路的输入

AB: 时段

S1: 一年级是否会上机

S2: 二年级是否会上机

S3: 三年级是否会上机

电路的输出

Y1: 1 年级学生是否能上机

Y2: 2 年级学生是否能上机

Y3: 3 年级学生是否能上机

列出真值表:

A	B	S1	S2	S3	Y1	Y2	Y3
0	0	0	0	0	0	0	0
0	0	0	0	1	0	0	1
0	0	0	1	0	0	1	0
0	0	0	1	1	0	1	0
0	0	1	0	0	1	0	0
0	0	1	0	1	1	0	0
0	0	1	1	0	1	0	0
0	0	1	1	1	1	0	0
0	1	0	0	0	0	0	0
0	1	0	0	1	0	0	1
0	1	0	1	0	0	1	0
0	1	0	1	1	0	1	0
0	1	1	0	0	1	0	0
0	1	1	0	1	1	0	0
0	1	1	1	0	0	1	0
0	1	1	1	1	0	1	0
1	0	0	0	0	0	0	0
1	0	0	0	1	0	0	1
1	0	0	1	0	0	1	0
1	0	0	1	1	0	0	1
1	0	1	0	0	1	0	0
1	0	1	0	1	0	0	1
1	0	1	1	0	0	1	0
1	0	1	1	1	0	0	1

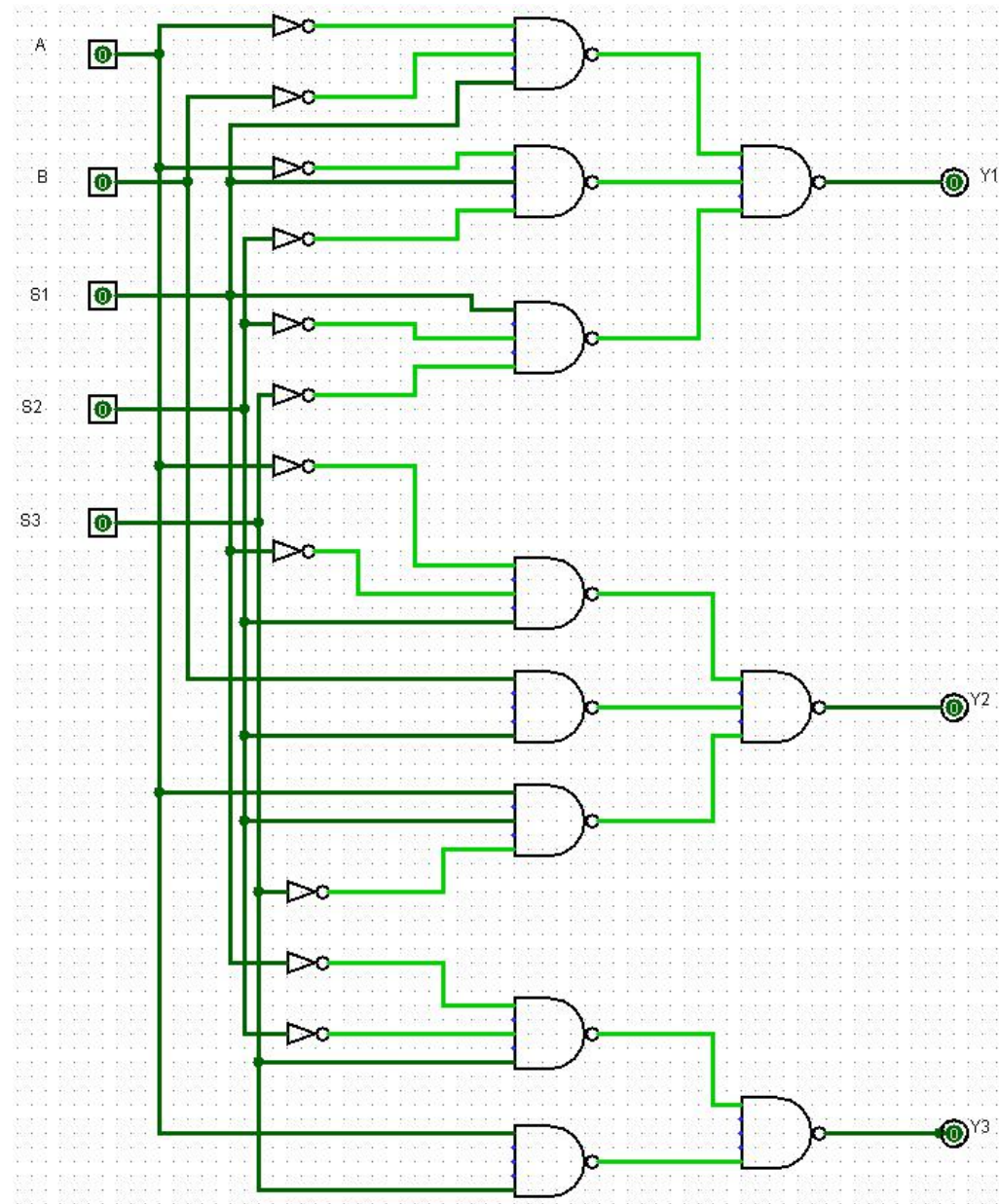
QM 算法化简得:

$$Y1=A' \cdot B' \cdot S1 + A' \cdot S1 \cdot S2' + S1 \cdot S2' \cdot S3'$$

$$Y2=A' \cdot S1' \cdot S2 + B \cdot S2 + A \cdot S2 \cdot S3'$$

$$Y3=S1' \cdot S2' \cdot S3 + A \cdot S3$$

画出电路图：



## 四、思考题

### 1. 总结组合逻辑电路的分析和设计方法。

组合逻辑电路的分析步骤：

1. 根据给定的逻辑图，从输入到输出逐级写出逻辑函数式；
2. 用公式法或卡诺图化简逻辑函数；
3. 由已化简的输出函数表达式列出真值表；
4. 从逻辑表达式或从真值表概括出组合电路的逻辑功能。

组合逻辑电路的设计步骤：

- 1 仔细分析设计要求，确定输入、输出变量。
- 2 对输入和输出变量赋予 0、1 值，并根据输入输出之间的因果关系，列出输入输出对应关系表，即真值表。
- 3 根据真值表填卡诺图，写输出逻辑函数表达式的适当形式。
- 4 画出逻辑电路图。

## 2. 说说组合器件级联扩展的实现方法。

1. 全加器：扩展参与加法的两个加数的数位

实现方法：片内超前，片间串行。片间串行进位，将低位片的输出进位作为高位片的输入进位形成低位片先算，高位片后算的串行工作模式

2. 数值比较器：扩展参与比较的两个数的数位

实现方法：由高位片到低位片的逐级比较，片间串行方式级联。以高位片输出为系统输出，低位片比较结果通过对位级联，传送到输出端。

PS：注意 TTL 比较器和 CMOS 比较器在用法上的差异：CMOS 比较器的输入端必须恒接 1，即始终接入高电平！

3. 编码器：扩展编码器的输入信号数量，输出代码位数相应增加。

实现方法：输入级实现片间优先级，输出级增加高位代码。片间优先级（高位片的输出控制端和低位片的输入控制端）输出级的低位代码共用，高位片的输出控制端形成最高位代码（即两个芯片的片选标志，区分不同的工作区）。

4. 译码器：扩展译码器的输入代码位数，输出信号数量相应增加

实现方法：输入级增加高位代码。输入级的片内低位代码共用；用控制端生成最高位代码，也就是芯片的片选信号，以区分芯片的工作区；最后，根据芯片工作区的高低，确定输出信号的排布。

5. 数据选择器：扩展输入地址位数，从而可以指定更多的输入信号。

法 1：先片选，再片内选。芯片的低位地址共用，用芯片的控制端生成最高位地址，也就是芯片的片选信号，区别每个芯片的工作区。

法 2：先片内选，再片选。所有芯片同时工作，两层数据选择，低位地址第一层，高位地址第二层。