

## 实验 4 时序电路器件实验

毛彦杰 191220081

### 一、实验目的

1. 掌握常见时序器件的逻辑功能和使用方法。
2. 掌握时序器件的级联扩展的方法。
3. 掌握使用时序器件实现数字系统设计的步骤。

### 二、实验设备与器材

- 1、数字逻辑电路实验箱。

- 2、芯片

74HC00	四路两输入与非门	1 片
74HC02	四路两输入或非门	1 片
74HC74	双 D 触发器	2 片
74HC161	四位二进制异步清零计数器	1 片
74HC163	四位二进制同步清零计数器	1 片
74LS194	双向移位寄存器	2 片

### 三、实验内容及实验步骤

- 1、分别利用 1 片 74 HC161 清零端加一个逻辑门电路设计并实现 0, 1, ..., 11 模 12 的计数器; 以及 1 片利用 74HC163 的置数端加一个逻辑门电路, 设计并实现 3, 4, 5, ..., 14 模 12 的计数器, 分别将输出连接到一个 7 段数码管显示。
  - 1). 写出设计步骤.
  - 2). 写出状态转移表
  - 3). 写出逻辑表达式.
  - 4). 画出电路图, 并在 logisim 中模拟验证, 提交 logisim 电路源程序。
  - 5). 通过实验分析验证所设计的电路是否正确

74HC161 原理:

74HC161 就是一颗用来实现带置位功能的 4 比特 16 进制计数芯片。下图是 74161 芯片的相关信息。

结合下图我们可以看出:

TC 为进位输出端,  $TC = D_0, D_1, D_2, D_3, CET$  相与, 即只有在 CET 为 1, 且计数状态为 1111 时, TC 才为高, 并产生进位信号。

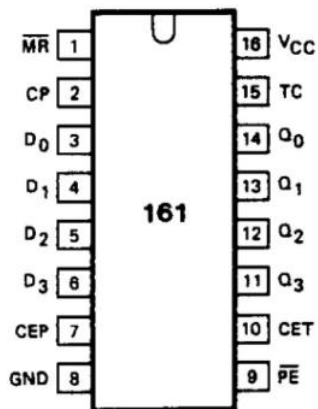
CP 为计数脉冲输入端, 上升沿有效。

MR 为异步清 0 端, 低电平有效, 只要 MR=0, 就有 Q0, Q1, Q2, Q3 为 0, 与 CP 信号无关。

PE 为同步预置端, 低电平有效, 当 MR=1, PE=0, 在 CP 上升沿到来的时候, 才能将数据输入端 D0D1D2D3 的数据置入并在输出端输出, 即  $Q_0Q_1Q_2Q_3 = D_0D_1D_2D_3$

CET, CEP 为计数器允许控制端, 高电平有效, 只有当 MR 和 PE 为 1, CET, CEP 也为 1 时, 计数器才开始工作。

当 MR 和 PE 为 1, 且 CET, CEP 中有一个为低电平时, 计数器处于保持状态。



74161芯片引脚序号  
(图片来源: 德州仪器)

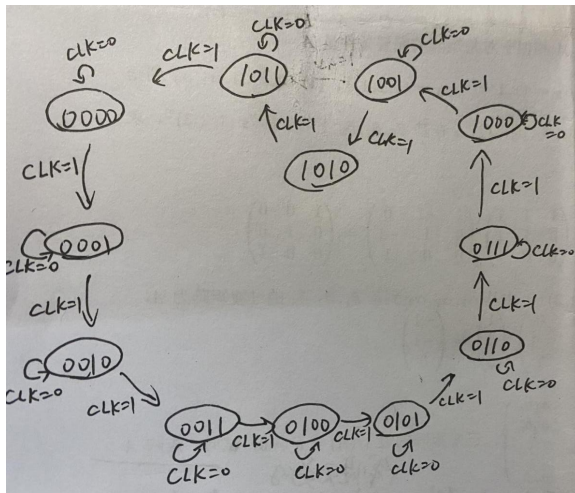
设计思路:

要实现模 12 的计数器, 及从 0 到 11, 现在 D3 为高位, 及从 0000 到 1011, 然后复位, 再从 0000 开始循环计数。因为在一个计数周期中, D2, D3 都为 1 的时候最先在 1100 的时候才会出现, 故利用这个特点, 使 D2, D3 相与非得到 0, 并把这个信号输入到清零端, 使计数器置位回到 0000 的初始状态, 并且 0V 端会输出高电平, 表示一个计时周期的结束。

状态转移表:

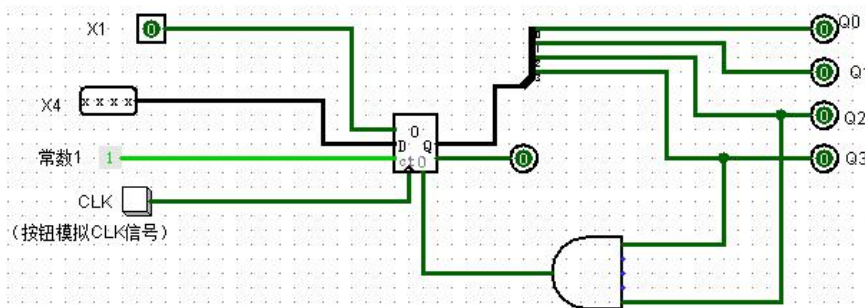
现态	次态		输出
	CLK=1	CLK=0	
0000	0001	0000	0000
0001	0010	0001	0001
0010	0011	0010	0010
0011	0100	0011	0011
0100	0101	0100	0100
0101	0110	0101	0101
0110	0111	0110	0110
0111	1000	0111	0111
1000	1001	1000	1000
1001	1010	1001	1001
1010	1011	1010	1010
1011	0000	1011	1011

状态转移图:



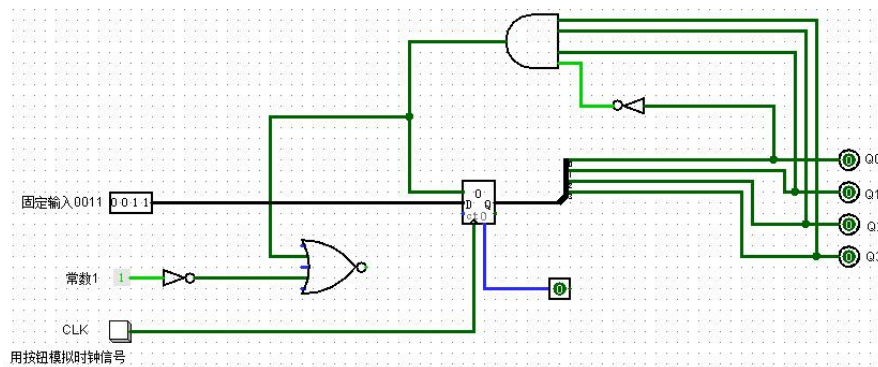
核心逻辑表达式:  $CLR = Q2 \cdot Q3$

74HC161 电路逻辑设计如下:



现态	次态		输出
	CLK=1	CLK=0	
1100	1101	1100	1100
1101	1110	1101	1101
1110	0011	1110	1110
0011	0100	0011	0011
0100	0101	0100	0100
0101	0110	0101	0101
0110	0111	0110	0110
0111	1000	0111	0111
1000	1001	1000	1000
1001	1010	1001	1001
1010	1011	1010	1010
1011	0000	1011	1011

74HC163 电路逻辑设计如下：



经实验验证，电路正确。

2、利用 3 片 74HC163（74HC161）及少量逻辑门电路，设计自己学号后 3 位（如果后 3 位学号小于 100 的，则加上 100 后，进行计数）的 BCD 加法计数器，输入 1Hz 的连续脉冲累加计数，并将输出连接到三个 7 段数码管显示。

1). 写出设计步骤.

我的学号为 081+100=181，考虑用 3 片 74HC163 芯片分别实现个位、十位、百位

考虑进位问题，普通的十进制逢十进一，则当表示  $9_{(10)}$  的 QA QB QC QD 为  $1001_{(2)}$  时使自己的清零端为 0 以完成清零，同时让下一芯片使能端为 1 完成进位。

考虑学号问题，当百位芯片表示 1，十位芯片表示 8，个位芯片表示 1 时，让所有芯片清零端都为 0 完成清零。

2). 写出状态转移表(略)

3). 写出逻辑表达式：

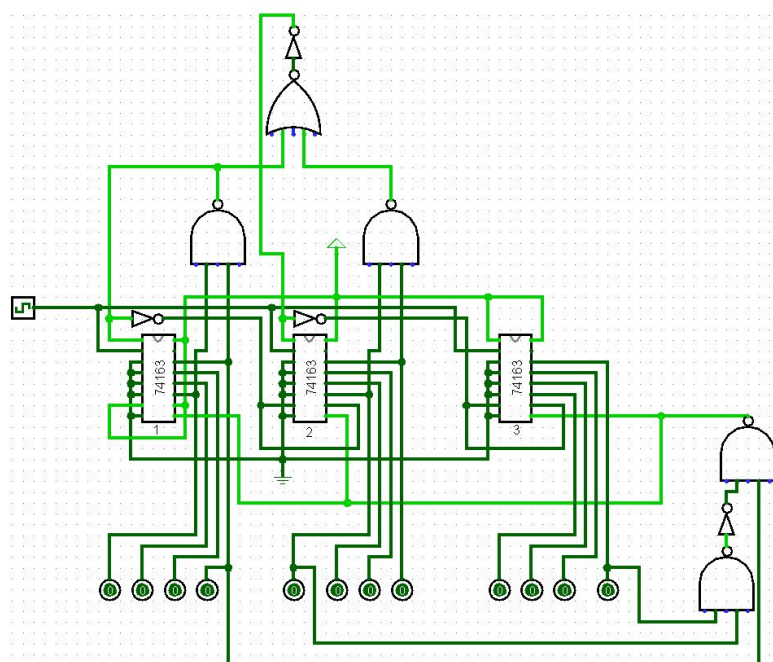
$$1CEP=1CET=1$$

$$2CEP=2CET=1Q3 \cdot 1Q0$$

$$3CEP=3CET=1Q3 \cdot 1Q0 \cdot 2Q3 \cdot 2Q0$$

$$PE=1Q0 \cdot 2Q3 \cdot 3Q0$$

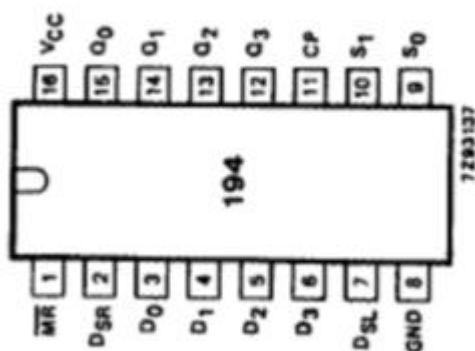
4). 画出电路图：



5). 通过实验分析验证所设计的电路是否正确  
经实验验证，电路正确。

3、利用一片 74LS194、74HC86 和 74HC02，利用 74LS194 左移功能，实现一种 4 位的包含全 0 状态的线性反馈移位计数器 LSFR。观察输出端的状态变化，将结果记录下来，并连接到 7 段数码管显示。

74LS194 原理：



MR: 数据清零端，低电平有效

D0~D3: 并行数据输入端

Q0~Q3: 数据输出端

DSR: 右移串行数据输入端

DSL: 左移串行数据输入端

S0~S1: 运行方式控制

S0=S1=1: 数据并行输入

S1=0, S0=1: 数据右移输入

S1=1, S0=0: 数据左移输入

S1=S0=0: 寄存器处于保持状态

CLK: 时钟脉冲输入端，上升沿有效

由此可见：74HC194 具有并行输入，串行左移输入，串行右移输入

使用时只要将 MR 处于高电平，然后选择控制方式,如果要选用并行输入，将 S0,S1 分别置 1，然后给 D3~D0 数据，给 CP 一个上升沿，这样数据就被写到了输出端 Q3~Q0 了。

CP 相当于一个锁存信号控制，给一个上升沿，输出与输入同步，不给上升沿，输出保持。

如果要选用串行左移输入，只要将 S0=0, S1=1，然后给 SR 数据 a，之后 CP 输出一个上升沿，就写入一个 SR 到 D0，接着给 SR 数据 b，CP 输出一个上升沿，这样数据 b 又写入了 D0，D0 的值给了 D1，这样依次移位。

达到串行输入的目的。如果输出数据要取消的话可以用 MR 置 0 的方式。

1) . 写出设计步骤.

类比 8-2 节 3 位的包含全 0 状态的线性反馈移位计数器 LSFR, 可以类推出 4 位 LSFR 的左移串行数据输入端在  $X_3X_2X_1X_0=0000$  时为 1, 在  $X_3X_2X_1X_0=0001$  时为 0, 其余情况下为  $X_1 \oplus X_0$ , 故可以写出状态转移表。

2). 写出状态转移表

DSL	<u>Modified Sequence</u>			
	$X_3$	$X_2$	$X_1$	$X_0$
0	1	0	0	0
0	0	1	0	0
1	0	0	1	0
1	1	0	0	1
0	1	1	0	0
1	0	1	1	0
0	1	0	1	1
1	0	1	0	1
1	1	0	1	0
1	1	1	0	1
1	1	1	1	0
0	1	1	1	1
0	0	1	1	1
0	0	0	1	1
0	0	0	0	1
1	0	0	0	0

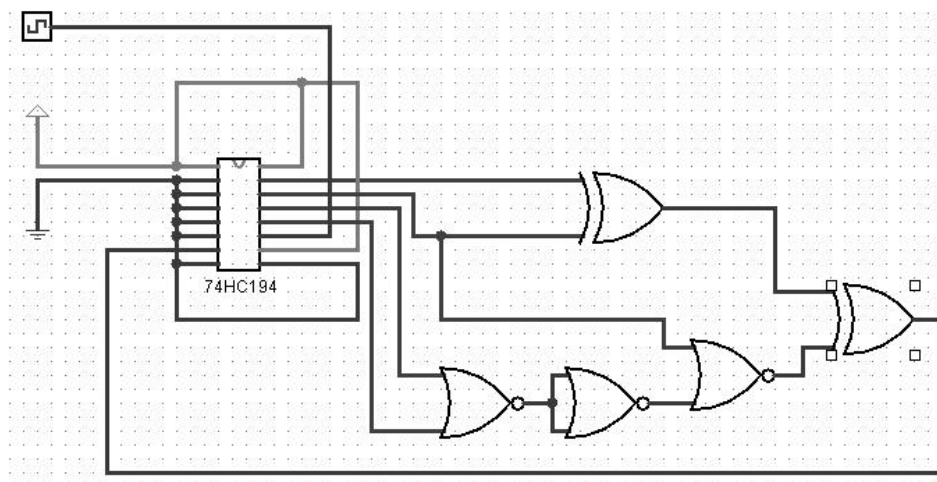
2) . 写出逻辑表达式:

$$DSL = Q_1 \oplus Q_0 \oplus (Q_3 + Q_2 + Q_1)'$$

$$Q_3^* Q_2^* Q_1^* Q_0^* = DSL \ Q_3 \ Q_2 \ Q_1$$

$S_1=1, S_0=0$  来保持左移功能

画出电路图，并在 logisim 中验证，提交 logisim 电路源程序。



5). 通过实验分析验证所设计的电路是否正确  
经实验验证，电路正确。

4、利用 74LS194 左移功能和少量门电路，完成二进制序列“1000111101”的循环生成，并通过 L0-L9 指示灯显示。

1). 写出设计步骤.

依题意可知循环序列中有一下四位数依次循环出现：1000, 0001, 0011, 0111, 1111, 1110, 1101, 1011, 0110, 1100，则可将 3 片 74LS194 级联， $2DSL=1Q0$ ,  $3DSL=2Q0$ ，由状态转移表化简来得到 1DSL；其中 1DSL 由  $1Q3, 1Q2, 1Q1, 1Q0$  组合成表达式控制。  $1S1=2S1=3S1=1$ ,  $1S0=2S0=3S0=0$  来实现数据的左移输入。

2) . 写出状态转移表

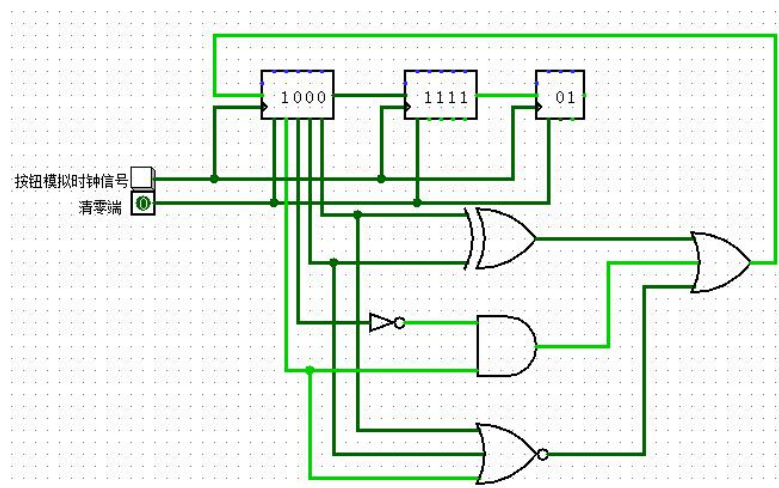
1DSL	<u>Modified Sequence</u>			
	$1Q_3$	$1Q_2$	$1Q_1$	$1Q_0$
1	0	0	0	0
1	1	0	0	0
0	1	1	0	0
1	0	1	1	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	0
0	1	1	1	1
0	0	1	1	1
0	0	0	1	1
1	0	0	0	1

3) 写出逻辑表达式.

卡诺图化简, 考虑自启动可得

$$1DSL = 1Q1 \oplus 1Q0 + 1Q3 \cdot 1Q2' + 1Q3' \cdot 1Q1' \cdot 1Q0'$$

4). 画出电路图, 并在 logisim 中验证, 提交 logisim 电路源程序。



5). 通过实验分析验证所设计的电路是否正确

经实验验证, 电路正确。

思考题:

1. 比较反馈清零法和反馈置数法的异同:

1) 原理不同。反馈清零法 4102 是利用计数器的直接置零端清零功能, 通过截取计数过 1653 程中的某一中间状态从而控制清零端。反馈置数法是能将任意状态译码后反馈给置数命令端, 并且在下一个脉冲时给计数器并行输入 0000~1111 之间的任意的一个状态。

2) 触发器状态不同。反馈清零法, 当清零端为低电平有效时, 片内所有触发器状态都置 0。而反馈预置法有一个预置数据, 当置数引脚为低电平有效时并不清零, 当下一个 CP 脉冲到来时被置入预置数据。

3) 适用的计数器不同。反馈清零法适用于有清零输入端的集成计数器, 而反馈置数法适用于有预置数功能的集成计数器。

4) 输入端信号状态不同。使用反馈清零法时输入端需要全部接地, 而反馈预置法的输入端允许有多种变化。



## 2. 总结利用计数器实现任意进制计数器的方法：

假定已有的是  $N$  进制计数器，需要得到的是  $M$  进制计数器。这时就有  $M$  小于  $N$  和  $M$  大于  $N$  两种情况。

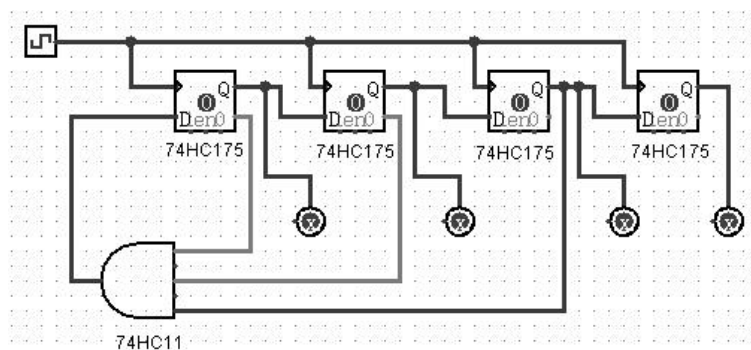
### 1) $M$ 小于 $N$ 的情况：

在  $N$  进制的计数器的计数顺序中，使计数器的计数状态跳过  $N-M$  的状态，就可以得到  $M$  进制计数器。在输入第  $M$  个计数脉冲  $CP$  后，利用计数器当前的输出状态  $SM$  进行译码产生清零信号加到清零端上，使计数器清零，即实现了  $M$  进制计数器。

### 2) $M$ 大于 $N$ 的情况：

必须要使用两个以上的  $N$  进制集成电路进行组合来完成  $M$  进制计数器的设计，各个集成电路之间的连接方式可分为串行进位，并行进位，整体清零。将两片  $N$  进制计数器级联成大于  $M$  进制的计数器，然后在计数器输出到达  $M$  状态时，通过输出状态译码出清零信号同时送达两个计数器的清零端，使两个计数器同时清零，从而实现  $M$  进制。

## 3. 设计一个自启动 4 位扭环计数器的原理图：



## 4. 利用 74LS194 设计实现八位二进制数数据的并行/串行转换原理图：

