Curso de Graduação em Engenharia Eletrônica - Faculdade Gama - Universidade de Brasília

Disciplina: Projeto com Circuitos Reconfiguráveis (período 2019.1).

Professor: Daniel Mauricio Muñoz Arboleda

e-mail: damuz@unb.br



# Folha de Dados Primeira Lista Exercícios Circuitos Sequenciais e Projeto RTL

### Entrega até sexta-feira 09 de maio de 2019 às 23:50 horas

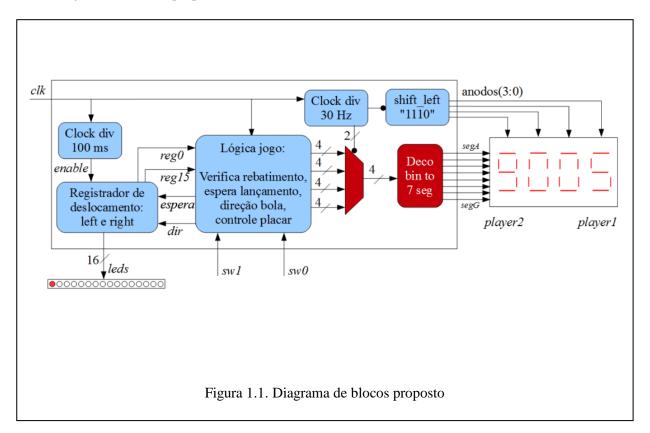
# Instruções:

- 1. Organize o repositório em pastas para cada exercício.
- 2. Entregar todos os arquivos necessários para replicar o experimento.
- 3. Preencha os dados solicitados, imprima este documento em PDF e deixe no repositório.

Nome: **Arthur Faria Campos** matrícula: **16/0024242** 

# Exercício 1. Ping-pong leds

1) Diagrama de blocos proposto.

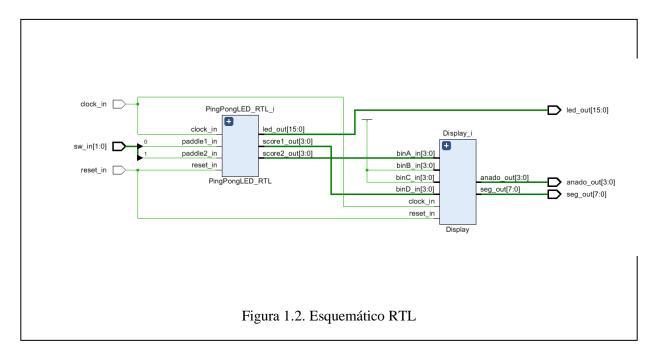


Professor: Daniel Mauricio Muñoz Arboleda

e-mail: damuz@unb.br



#### 2) Diagrama esquemático (Análise RTL pré-síntese)



## 3) Estimação consumo de recursos lógicos após a síntese lógica:

	LUTs	FFs	Pinos de IOs	Blocos DSP	Blocos BRAM
	Total:	Total:	Total:	Total:	Total:
1	15 (0.55 %)	107 (0.26 %)	32 (30.19 %)	0 (0 %)	0 (0 %)

# 4) Consumo de recursos após implementação (processo *Place and Route -* PAR):

LUTs	FFs	Pinos de IOs	Blocos DSP	Blocos BRAM
Total:	Total:	Total:	Total:	Total:
115 (0.55%)	107 (0.26 %)	32 (30.19 %)	0 (0 %)	0 (0 %)

1) Análise de timming: (Input\_Delay: min=3ns max=4ns Output\_Delay: min=max=2ns)

Worst negative slack (setup): 0.001 ns Worst negative slack (hold): 0.144 ns

Frequência de operação do circuito: 63.50 MHz

Caminho crítico (net de origem): reset\_in

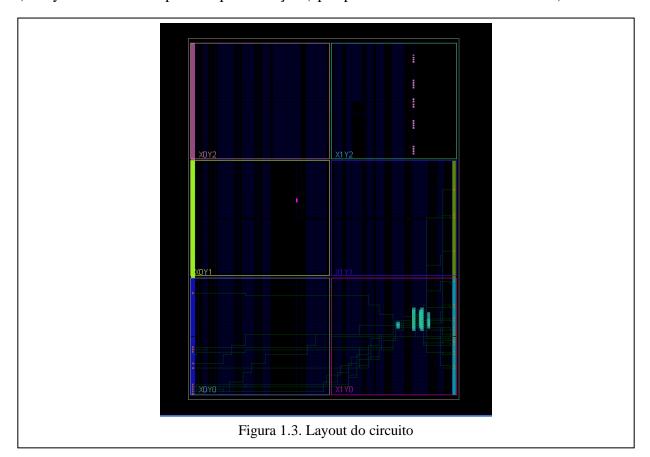
Caminho crítico (net de destino): Display\_i/ClockDivider\_i/count\_reg[29]/CLR

Máximo path delay: 9.887 ns

e-mail: damuz@unb.br



## 5) Layout do circuito após a implementação (após processo *Place and Route* – PAR):



6) Estimação do consumo de energia após a implementação do circuito:

Potência total: 94 (mW) Potência estática: 72 (mW) Potência dinâmica: 22 (mW)

#### Gráfico de consumo de energia:

