

Folha de Dados
Primeira Lista Exercícios
Circuitos Sequenciais e Projeto RTL

Entrega até sexta-feira 09 de maio de 2019 às 23:50 horas

Instruções:

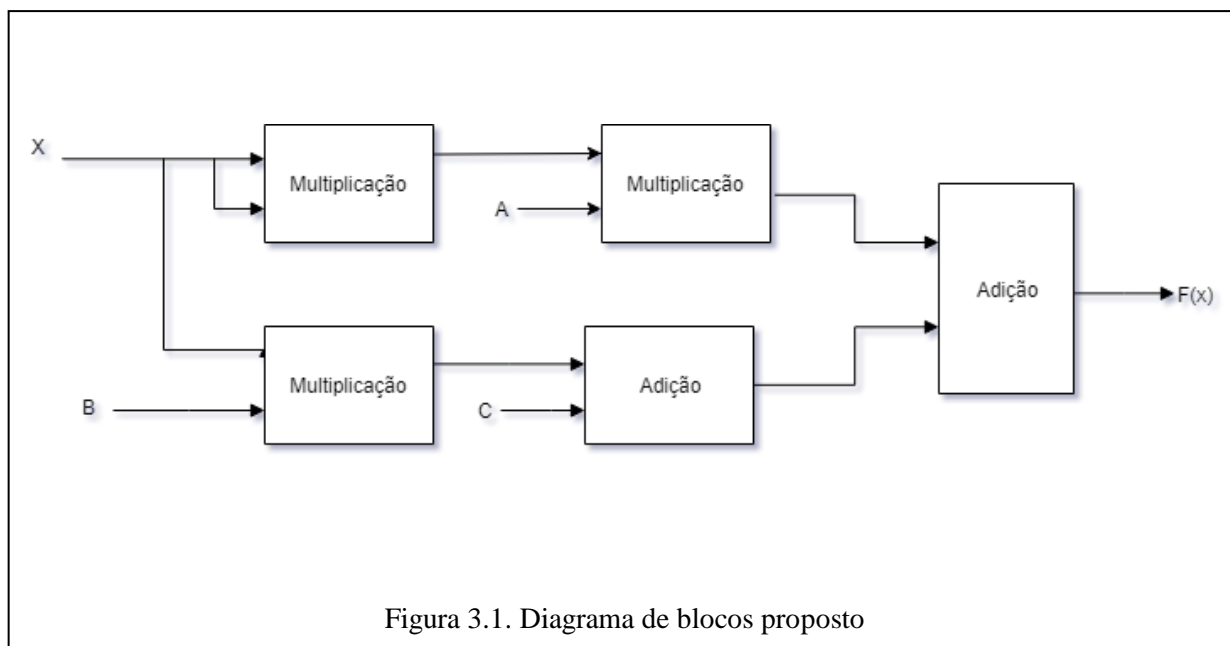
1. Organize o repositório em pastas para cada exercício.
2. Entregar todos os arquivos necessários para replicar o experimento.
3. Preencha os dados solicitados, imprima este documento em PDF e deixe no repositório.

Nome: **Arthur Faria Campos**

matrícula: **16/0024242**

Exercício 3. Neurônio GMBH de segunda ordem usando IP-Cores em ponto flutuante

- 1) Diagrama de blocos proposto.



2) Diagrama esquemático (Análise RTL pré-síntese)

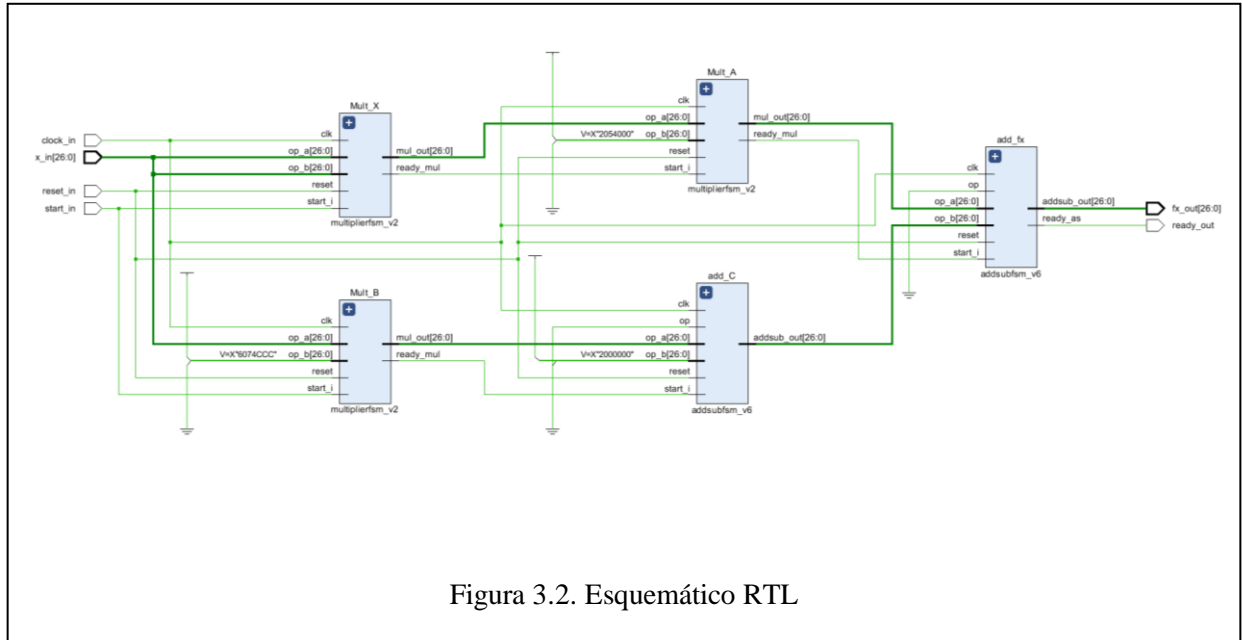


Figura 3.2. Esquemático RTL

3) Erro quadrático médio usando Matlab como estimador estatístico para 100 amostras.

$$\text{MSE} = 0.01068495259616166$$

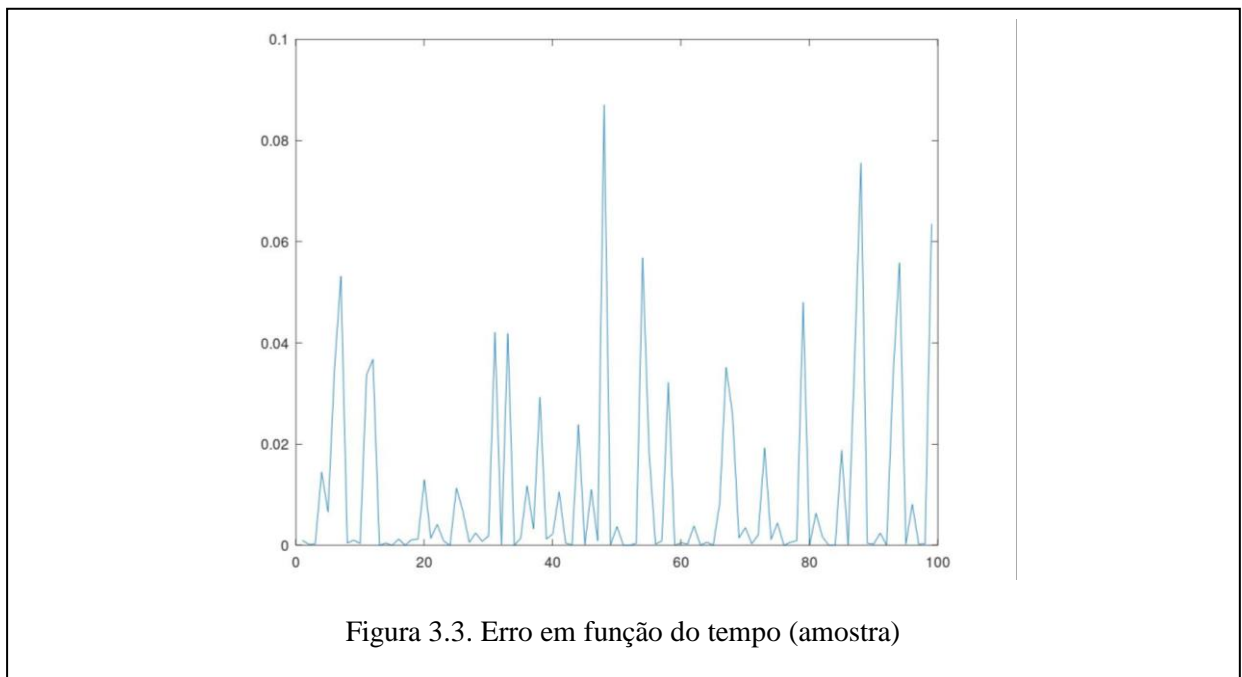


Figura 3.3. Erro em função do tempo (amostra)

4) Estimação consumo de recursos lógicos após a síntese lógica:

LUTs Total:	FFs Total:	Pinos de IOs Total:	Blocos DSP Total:	Blocos BRAM Total:
733 (3.52 %)	190 (0.46 %)	58 (54.72%)	3 (3.33%)	0 (0 %)

5) Consumo de recursos após implementação (processo *Place and Route* - PAR):

LUTs Total:	FFs Total:	Pinos de IOs Total:	Blocos DSP Total:	Blocos BRAM Total:
741 (3.56 %)	217 (0.52 %)	37 (34.91%)	3 (3.33%)	0 (0 %)

- 6) Análise de timing(input_delay: min=3ns max=4ns output_delay: min=max=2ns)
Worst negative slack (setup): 0.023 ns
Worst negative slack (hold) : 0.138 ns
Frequência de operação do circuito: 54.644 MHz
Caminho crítico (net de origem): btnD_in
Caminho crítico (net de destino): led_out[15]
Maximo path delay: 12.241 ns

7) Layout do circuito após a implementação (após processo Place and Route – PAR):

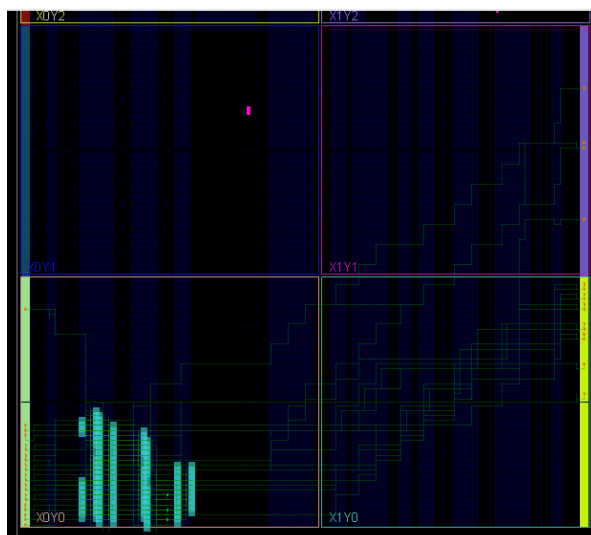


Figura 3.4. Layout do circuito

8) Estimação do consumo de energia após a implementação do circuito:

Potência total: 82 (mW)

Potência estática: 72 (mW)

Potência dinâmica: 11 (mW)

Gráfico de consumo de energia:

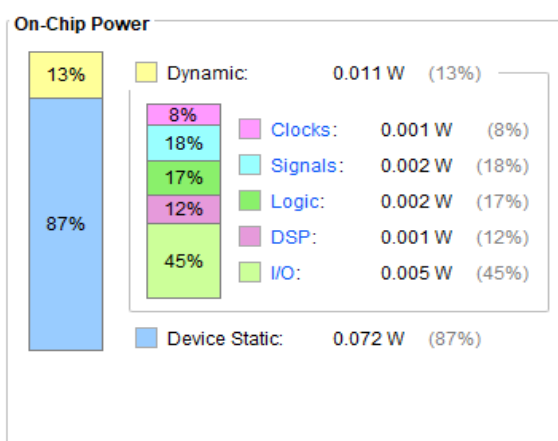


Figura 3.5. Consumo de energia da solução obtida.