

Capítulo 1

Introducción

...

...

RESUMEN: En el capítulo 1 se realiza una introducción al trabajo realizado durante el proyecto. Se plantea el problema, se enumeran los objetivos del trabajo y se define la estructura de este documento.

1.1. Introducción

Esta memoria es el resultado del trabajo realizado para la asignatura «Trabajo de fin de grado» del Grado en Ingeniería de Computadores. Trabajo realizado en el departamento de Arquitectura de Computadores y Automática con Jose Miguel Montañana Aliaga como director.

Este trabajo se centra en la implementación de un microprocesador tolerante a fallos. El procesador ha sido diseñado para ser compatible con instrucciones ARM, del repertorio del microprocesador «ARM Cortex M3» [Sadasivan (2006)]. Y la tolerancia a fallos aplicada ha sido el «modelo de replicado triple de módulos(TMR)» [Habinc (2002)].

1.2. Motivación

1.3. Antecedentes

1.4. Planteamiento del problema

Este trabajo tiene en cuenta que el motor principal de muchos sistemas es el microprocesador. El procesador de un sistema es su cerebro, más con-

cretamente es el encargado de ejecutar las instrucciones que componen los programas.

Si no se toman medidas de prevención y tolerancia, este cerebro puede ver alterado su comportamiento por efectos externos, provocando errores de ejecución. Estos errores a su vez pueden ser causa de un comportamiento no deseado modificando el funcionamiento del propio procesador o de otros componentes del sistema (memorias, controladores entrada/salida).

Con este trabajo se quiere evitar estas situaciones concediendo un grado extra de fiabilidad a los sistemas basados en micro-procesado. Para ello se quiere diseñar e implementar un microprocesador sencillo capaz de ejecutar un conjunto reducido de instrucciones (RISC). Al que posteriormente se le aplicarán técnicas de tolerancia a fallos. Aumentando así su capacidad de detectar e incluso recuperarse de los fallos.

1.5. Objetivos

El proyecto se ha dividido en cuatro tareas dedicadas a la implementación del microprocesador y a la aplicación de la tolerancia a fallos.

1. Primero se ha implementado el procesador segmentado en 5 etapas. Para ello se ha partido de la arquitectura DLX vista en las asignaturas de computadores de nuestro grado.
2. A continuación se ha rediseñado la ruta de control. El nuevo juego de instrucciones usado, completamente distinto al que utiliza un DLX convencional, obliga a cambiar la ruta de control. Simulando unos pequeños programas se comprueba que el procesador es capaz de decodificar y ejecutar las nuevas instrucciones.
3. Una vez implementado el procesador completo y comprobado su funcionamiento se diseña y se incorpora la tolerancia a fallos. Para ello se triplican los módulos que pueden causar mayor numero de fallos y se insertan votadores de mayoría.
4. Para finalizar se ha diseñado un sistema externo de inserción de fallos. Este sistema es capaz de alterar los valores de las salidas de los módulos triplicados, para comprobar después como afecta esto al funcionamiento del procesador.

1.6. Estructura del documento

A continuación se presenta cómo se ha estructurado el contenido de esta memoria.

Capítulo 1 *Introducción:*

En el capítulo 1 se realiza la introducción al trabajo propuesto y realizado para el trabajo de fin de grado en el que se basa el presente documento.

Capítulo 2 *Trabajo relacionado:*

En el capítulo 2 se realiza una exposición de la investigación llevada a cabo para realizar el trabajo. Se exponen definiciones y otros datos de interés para el lector.

Capítulo 3 *Procesador:*

En el capítulo 3 se describe el procesador implementado con su estructura y arquitectura.

Capítulo 4 *Proporcionando tolerancia a fallos:*

En el capítulo 4 se describe cómo se ha proporcionado la tolerancia a fallos y qué técnicas se han utilizado.

Capítulo 5 *Resultados:*

En el capítulo 5 se muestran los resultados obtenidos de las simulaciones realizadas.

Capítulo 6 *Análisis de los resultados:*

En el capítulo 6 se analizan los datos.

Capítulo 7 *Conclusiones:*

En el capítulo 7 se describen las conclusiones tras analizar los resultados.

Bibliografía

*Y así, del mucho leer y del poco dormir,
se le secó el cerebro de manera que vino
a perder el juicio.*

Miguel de Cervantes Saavedra

HABINC, S. Functional Triple Modular Redundancy (FTMR). *Design and Assessment Report, Gaisler Research*, páginas 1–56, 2002.

SADASIVAN, S. An introduction to the arm cortex-m3 processor. 2006.