

Capítulo 5

Aplicando tolerancia a fallos

...

...

RESUMEN: En este capítulo se explica cómo se ha aplicado la tolerancia a fallos en el microprocesador.

5.1. Introducción

Los fallos más comunes en los sistemas electrónicos son los conocidos como fallos transitorios, estos no dañan el sistema de forma permanente pero provocan un cambio de valor en los elementos de memoria (SEU) o interferencias en las conexiones internas (SET), que si no se estabilizan a tiempo pueden llegar a propagarse hasta una celda de memoria y almacenarse provocando el mismo efecto que un SEU. Con esta información se ha implementado un método para paliar los efectos de los SEU dentro del microprocesador para reducir los efectos tanto de los SEU como de los SET.

5.2. Redundancia modular

La técnica utilizada para ello ha sido la redundancia modular (NMR) con un valor de $N = 3$. Se ha triplicado cada componente de memoria y se han conectado «votadores» a sus salidas. Los «votadores» permiten enmascarar una cantidad de fallos igual a $\frac{N}{2}$. En nuestro caso nos permite tolerar un fallo en cada conjunto de módulos triplicados.

Para proporcionar la tolerancia frente a los SEU al sistema, se han sustituido todos los biestables por un conjunto compuesto por tres biestables más un votador. Si en principio el sistema contenía muchos elementos como

la figura 5.1a, ahora estos se han sustituido por el conjunto representado en la figura 5.1b.

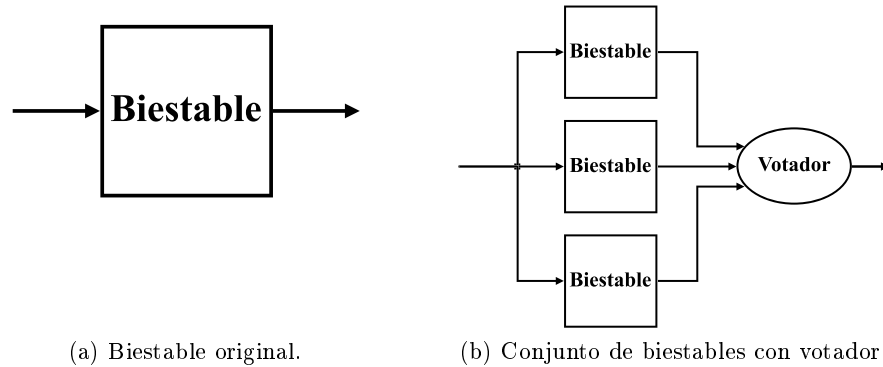


Figura 5.1: Sustitución de biestable.

5.3. El Votador

El votador es un circuito combinacional, y su único objetivo es filtrar los valores de entrada, dando un valor de salida igual al de la mayoría de entradas. Este es el componente principal utilizado para otorgar al sistema de la capacidad de tolerar los fallos transitorios de tipo SEU.

Como se vé en la table 5.1, el valor de salida de un votador es igual al valor que más se repite en sus entradas. Con este método puede enmascarse un fallo en cualquiera de los módulos que alimentan sus entradas.

Entradas			Salida
A	B	C	Z
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

Tabla 5.1: Tabla de verdad del votador

La implementación del votador puede realizarse de diferentes formas

siempre que cumpla con las restricciones de la tabla 5.1. El votador de este proyecto se ha diseñado siguiendo la fórmula lógica 5.1, utilizando con 4 puertas lógicas, 3 puertas «AND» de dos entradas y una puerta «OR» de tres entradas. Como se puede observar en la figura 5.2, se introduce únicamente un retardo de 2 puertas lógicas, haciendo que las puertas lógicas «AND» funcionen en paralelo.

$$Z = (A * B) + (B * C) + (A * C) \quad (5.1)$$

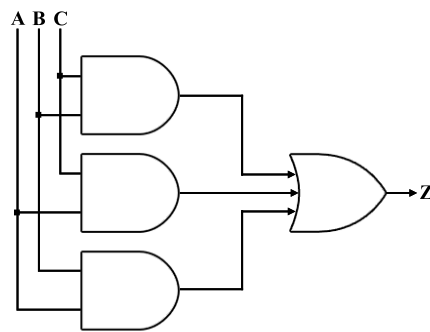


Figura 5.2: Diseño de votador con puertas lógicas

Para exponer cómo funciona el votador se muestran las figuras 5.3a y 5.3b. En la figura de la izquierda observamos cómo la entrada B es diferente al resto, eso quiere decir que el módulo origen de esa señal ha sufrido un fallo. Se observa cómo se enmascara en las puertas «AND» por su funcionalidad ($0 * 1 = 1 * 0 = 0$). En el caso de la figura derecha, el fallo ocurre en la entrada C, pero este es enmascarado por la puerta «OR» ($0 + 0 + 1 = 1$).

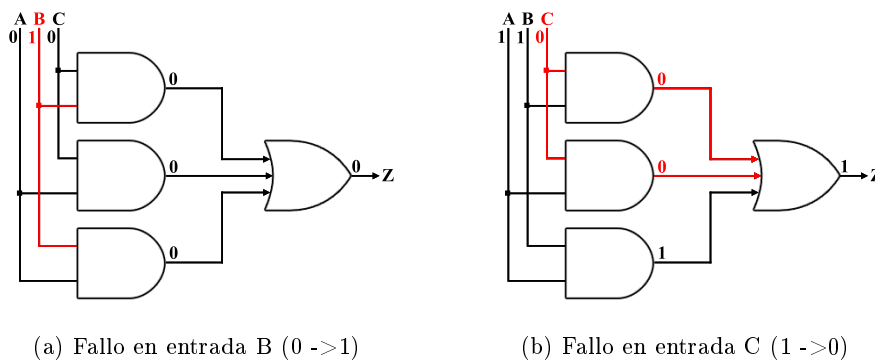


Figura 5.3: Ejemplos de fallos en entradas.

5.3.1.

Bibliografía

*Y así, del mucho leer y del poco dormir,
se le secó el cerebro de manera que vino
a perder el juicio.*

Miguel de Cervantes Saavedra

- [1] R. Brinkgreve, W. Swolfs, and E. Engin. *ARM Architecture Reference Manual Thumb-2 Supplement*. 2011.
- [2] S. Brown and J. Rose. Architecture of FPGAs and CPLDs: A tutorial. *IEEE Design and Test of Computers*, 13(2):42–57, 1996.
- [3] C. T. Bustillos. Simulador arm en el ámbito docente. 2012.
- [4] I. N. de Estadística. Penetración de ordenador en hogares. 2014.
- [5] S. Flash. Nexys4 FPGA Board Reference Manual Ethernet connector. pages 1–29, 2013.
- [6] J. Gaisler. A portable and fault-tolerant microprocessor based on the SPARC V8 architecture. *Proceedings of the 2002 International Conference on Dependable Systems and Networks*, pages 409–415, 2002.
- [7] J. C. González Salas. *Filtro adaptativo tolerante a fallos*. PhD thesis, 2014.
- [8] S. Habinc. Functional Triple Modular Redundancy (FTMR). *Design and Assessment Report, Gaisler Research*, pages 1–56, 2002.
- [9] J. L. Hennessy and D. A. Patterson. *Arquitectura de Computadores: Un enfoque cuantitativo*. Mcgraw Hill Editorial, 1993.
- [10] J. L. Hennessy and D. a. Patterson. *Computer Architecture, Fourth Edition: A Quantitative Approach*. Number 0. 2006.
- [11] A. C. Hu and S. Zain. NSEU Mitigation in Avionics Applications. 1073:1–12, 2010.

- [12] O. Ieee-std. LEON3 7-Stage Integer Pipeline. (March), 2010.
- [13] A. O. Investigation. ATSB TRANSPORT SAFETY REPORT Aviation Occurrence Investigation AO-2008-070 Final. (October), 2008.
- [14] Jedec. Measurement and Reporting of Alpha Particle and Terrestrial Cosmic Ray Induced Soft Error in Semiconductor Devices: JESD89A. *JEDEC Solid State Technology Association*, pages 1–85, 2006.
- [15] A. Kadav, M. J. Renzelmann, and M. M. Swift. Fine-grained fault tolerance using device checkpoints. *Proceedings of the eighteenth international conference on Architectural support for programming languages and operating systems - ASPLOS '13*, page 473, 2013.
- [16] H. Kirrmann. Fault Tolerant Computing in Industrial Automation. *Lecture notes ABB Corporate ResearchETH*, 2005.
- [17] I. Kuon, R. Tessier, and J. Rose. FPGA Architecture: Survey and Challenges. *Foundations and Trends® in Electronic Design Automation*, 2(2):135–253, 2007.
- [18] A. R. M. Limited. ARM7TDMI-S. (Rev 3), 2000.
- [19] a. R. M. Limited. ARM Architecture Reference Manual. pages 1–1138, 2007.
- [20] W. K. Melis. *Reconstruction of High-energy Neutrino-induced Particle Showers in KM3NeT*. PhD thesis, 2014.
- [21] C. Mobile. Streaming 4K Ultra HD video at home and on the go. pages 0–1.
- [22] J. Rose, A. E. Gamal, and A. Sangiovanni-Vincentelli. Architecture of Field-Programmable Gate Arrays.
- [23] E. Rotenberg. AR-SMT: a microarchitectural approach to fault tolerance in microprocessors. *Digest of Papers. Twenty-Ninth Annual International Symposium on Fault-Tolerant Computing (Cat. No.99CB36352)*, 1999.
- [24] D. J. Sorin and S. Ozev. Fault Tolerant Microprocessors for Space Missions. *Memory*, pages 1–4.
- [25] U. States. Reduce Cost and Board Space. 374:1–8, 2011.
- [26] I. S. Summary, T. C. Field, M. Long, S. D. Transfer, U. Instruction, and I. S. Examples. ARM Instruction Set. pages 1–60.
- [27] J. M. Torrecillas. RAID - Tolerancia a Fallos.

-
- [28] C. Weaver and T. Austin. A fault tolerant approach to microprocessor design. *Proceedings of the International Conference on Dependable Systems and Networks*, (July):411–420, 2001.
 - [29] Xilinx. Xilinx Artix-7 Fpgas: a New Performance Standard for Power-Limited, Cost-Sensitive Markets.