





## Capítulo 2

# Titulo por definir

*«La verdadera ciencia enseña, sobre todo, a dudar y a ser ignorante.»*

Ernest Rutherford

**RESUMEN:** En este capítulo se define con detalle lo que es un procesador y su importancia en el mundo de hoy en día. También se tratan dos arquitectura más concretas, la arquitectura DLX y la arquitectura ARM.

A continuación se define qué es un fallo y qué tipos de fallos pueden ocurrir en los sistemas. Además se explican algunas técnicas de tolerancia a fallos.

Para terminar, se justifica la importancia de la tolerancia en los sistemas y concretamente porqué es necesaria la tolerancia en los microprocesadores.

### 2.0.5. ARM

Un poco de historia y su importancia en el mercado.  
Bustillos (2012)

#### Arquitectura ARM

La arquitectura ARM Limited (2007) es una arquitectura RISC con las características de esta:

- Banco de registros uniforme.
- Las instrucciones de procesamiento operan sobre los datos almacenados en los registros.

- Modos de direccionamiento simples.
- Instrucciones de tamaño fijo.

La arquitectura ARM proporciona algunas características adicionales para proporcionar un equilibrio entre el rendimiento, el tamaño del código, el consumo y silicio requerido:

- Control adicional sobre la unidad aritmético-lógica.
- Auto-incremento y auto-decremento para el direccionamiento.
- Instrucciones de carga y almacenamiento múltiple.
- Ejecución condicional de instrucciones.

Contiene un banco de registros de 31 registros de propósito general. De estos solo son visibles 16 registros, y pueden ser accedidos por cualquier instrucción. Los otros registros se utilizan para acelerar el procesado. Tres de estos registros tienen un uso especial y son el «puntero de pila (SP)», el «registro de enlace (LR)» y el «contador de programa (PC)».

## Repertorio de instrucciones ARM

El repertorio de instrucciones se divide en seis categorías:

### ■ Salto

Además de permitir que las instrucciones aritmético-lógicas alteren el flujo de control almacenando sus resultados en el registro PC, se incluye una instrucción estándar capaz de aplicar un salto de hasta 32MB hacia delante o hacia atrás.

Otra instrucción de salto permite almacenar el valor del contador de programa en un registro para poder volver al mismo punto al finalizar el desvío. Esto es útil cuando se quiere llamar a una subrutina.

También se permite lanzar instrucciones de salto las cuales realizan un cambio de juego de instrucciones. En caso de necesitar lanzar subrutinas en alguno de los otros juegos de instrucciones compatibles con la arquitectura como Thumb o Jazelle.

### ■ Procesamiento de datos

El procesamiento de datos se realiza mediante instrucciones aritmético-lógicas, operaciones de comparación, instrucciones sobre múltiples datos, instrucciones de multiplicación y operaciones diversas.

Las instrucciones aritmético-lógicas, como su nombre describe, ejecutan operaciones aritméticas o lógicas sobre dos operandos. El primer

operando siempre será un registro, mientras que el segundo puede ser un inmediato, o un segundo registro. Almacenando el resultado en un registro.

Las operaciones de comparación aplican una operación aritmético-lógica, como se ha comentado antes. Sin embargo no escriben el resultado en un registro, en cambio actualizan los flags de condición.

#### ■ **Transferencia de registros de estado**

Estas instrucciones son capaces de transferir contenido entre los registros especiales CPSR y SPSR y los registros de propósito general.

Al escribir en el registro CPSR se consigue establecer los valores de los bits de condición, habilitar o deshabilitar interrupciones, cambiar el estado y el modo del procesador y cambiar el modo de acceso a memoria entre «little endian» o «big endian».

#### ■ **Carga y almacenamiento**

Las instrucciones de carga y almacenamiento permiten transmitir datos entre los registros de propósito general y la memoria externa.

Se pueden cargar o almacenar los registros de forma individual, un solo dato por instrucción, o de forma colectiva, un bloque de datos con una sola instrucción.

#### ■ **Co-procesador**

Las instrucciones de co-procesador comunican al procesador principal con un co-procesador auxiliar para transmitir instrucciones o datos.

Existen tres clases de este tipo de instrucciones. Procesado de datos, comienza el trabajo específico del co-procesador. Transferencia de instrucciones, envía o recibe datos del procesador a la memoria. Transferencia de registro, envía o recibe datos entre los registros del microprocesador y el co-procesador.

#### ■ **Excepciones**

Las instrucciones de excepción generan interrupciones en el código. Las instrucciones «Interrupción software» normalmente se utiliza para realizar peticiones al sistema operativo. Mientras que las instrucciones «Punto de interrupción software» generan excepciones abortando la ejecución del programa.

Los procesadores ARM son compatibles con tres juegos de instrucciones: Thumb/Thumb-2, ARM y Jazelle. ARM Summary et al. y Thumb/Thumb-2 Brinkgreve et al. (2011) son juegos de instrucciones completos, mientras Jazelle es una extensión de ARM Summary et al..

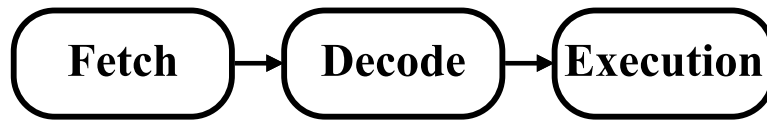


Figura 2.1: Segmentación ARM

### Segmentación ARM

La arquitectura ARM está segmentada en 3 etapas para aumentar la velocidad de flujo de entrada de las instrucciones en el procesador. Esto permite realizar varias operaciones al mismo tiempo y operar de forma continua. Limited (2000)

Las tres etapas en las que se divide la segmentación son (Figura 2.1):

1. **Búsqueda de instrucción**

La instrucción es accedida desde la memoria.

2. **Decodificación**

Los registros utilizados son extraídos de la instrucción.

3. **Ejecución**

Los valores de los registros son accedidos del banco de registros. Las operaciones son realizadas. Y se almacenan los resultados en el banco de registros.

Mientras que una instrucción es ejecutada, la siguiente es decodificada y una tercera es traída de memoria.

### Memoria ARM

Se utiliza una arquitectura Von-Neumann con un único bus de 32 bits para acceder tanto a las instrucciones y como a los datos.

El único tipo de instrucciones con acceso a memoria son las instrucciones de carga y almacenamiento. Puede transmitir datos de 8, 16 o 32 bits, alineados cada 1, 2 y 4 bytes respectivamente. Limited (2000)



# Bibliografía

*Y así, del mucho leer y del poco dormir,  
se le secó el cerebro de manera que vino  
a perder el juicio.*

Miguel de Cervantes Saavedra

- BRINKGREVE, R., SWOLFS, W. y ENGIN, E. *ARM Architecture Reference Manual Thumb-2 Supplement*. 2011. ISBN 9781597180948.
- BUSTILLOS, C. T. Simulador arm en el ámbito docente. 2012.
- GONZÁLEZ SALAS, J. C. *Filtro adaptativo tolerante a fallos*. Tesis Doctoral, 2014.
- HABINC, S. Functional Triple Modular Redundancy (FTMR). *Design and Assessment Report, Gaisler Research*, páginas 1–56, 2002.
- HENNESSY, J. L. y PATTERSON, D. A. *Computer Architecture, Fourth Edition: A Quantitative Approach*. 0. 2006. ISBN 0123704901.
- HU, A. C. y ZAIN, S. NSEU Mitigation in Avionics Applications. vol. 1073, páginas 1–12, 2010.
- INVESTIGATION, A. O. ATSB TRANSPORT SAFETY REPORT Aviation Occurrence Investigation AO-2008-070 Final. (October), 2008.
- KADAV, A., RENZELMANN, M. J. y SWIFT, M. M. Fine-grained fault tolerance using device checkpoints. *Proceedings of the eighteenth international conference on Architectural support for programming languages and operating systems - ASPLOS '13*, página 473, 2013. ISSN 15232867.
- KIRRMANN, H. Fault Tolerant Computing in Industrial Automation. *Lecture notes ABB Corporate ResearchETH*, 2005.
- LIMITED, A. R. M. ARM7TDMI-S. (Rev 3), 2000.
- LIMITED, A. R. M. ARM Architecture Reference Manual. páginas 1–1138, 2007.



SADASIVAN, S. An introduction to the arm cortex-m3 processor. 2006.

STATES, U. Reduce Cost and Board Space. vol. 374, páginas 1–8, 2011.

SUMMARY, I. S., FIELD, T. C., LONG, M., TRANSFER, S. D., INSTRUCTION, U. y EXAMPLES, I. S. ARM Instruction Set. páginas 1–60, ????

TORRECILLAS, J. M. RAID - Tolerancia a Fallos. ????