

# 東芝 8X シリーズCPU の情報

2002.1.23 Kashi.

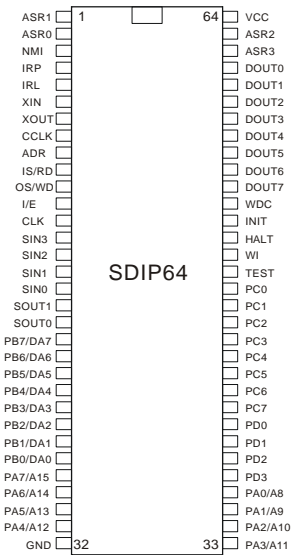
- 注意 -

本情報は独自の情報であり (株)東芝、(株)トヨタ自動車等への一切の問い合わせを禁止する。  
また、本情報から派生した事故・損害・トラブルについては一切の責任を負わない。

東芝 8X シリーズマイクロコントローラは、トヨタ車 ECU のカスタム CPU として使用されていた他、6800 系 CPU に良く似た命令セットを持っている。

## 1. ピン配置

代表的なパッケージは 64 ピン・シュリンクDIP パッケージである。シリーズ中には 42 ピン DIP 型のものもある。



## 2. 動作モード

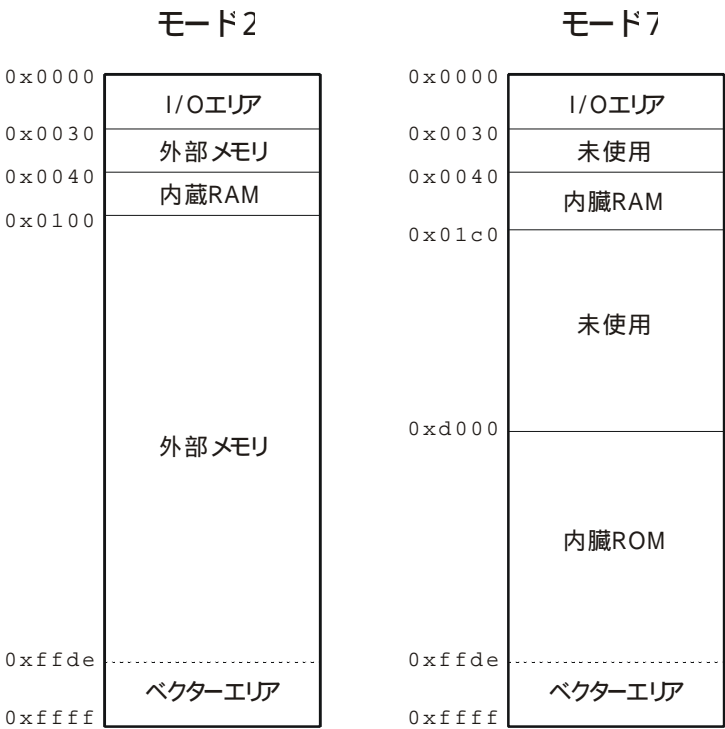
7 種類の動作モードを持ち、チップの I/E ピンで MODE7 と MODE2 を選択できる。その他のモードへの移行は プログラム動作中に OMODE レジスタを操作することにより行う。

モード	MD2	MD1	MD0	ROM	RAM	割込ベクター	備考
7	1	1	1	内部	内部	内部	シングルチップモード
6	1	1	0	内部	内部	内部	Port B レジスタへのアクセスは外部扱い Port A は DDRA の Output 設定ビット部分のみアドレス出力
5	1	0	1	内部	内部	内部	同上
4	1	0	0	無効	内部	内部	シングルチップテストモード
3	0	1	1	外部	外部	外部	Port A,B レジスタ共に外部扱い
2	0	1	0	外部	内部	外部	"
1	0	0	1	内部	内部	外部	"
0	0	0	0	内部	内部	内部	"

### 3. メモリーマップ

内蔵 ROM 12KB、内蔵 RAM 384byte で、動作モードによりROM・RAM のオン・オフ、外部メモリ参照をコントロールすることができる。

0xffde ~ 0xffff はベクターエリアであり、CPU リセット時にはリセットベクター 0xfffe (MSB)、0xffff (LSB) の内容が PC にセットされ実行が開始される。



### 4. I/O レジスタ

メモリアドレス 0x0000 ~ 0x002f に、周辺インターフェース用の I/O レジスタがマッピングされている。  
MODE2 などの外部モードで CPU を動作させている場合は、PORT A と PORT B が外部メモリバス用に割り当てられるので、使用不可である。外部モード時に同ポートを使用する場合は、外部に PORT A/PORT B と等価の I/O 回路を増設すればシングルチップ時と同様に動作させることが可能である。

I/O レジスタ一覧

アドレス	略称	機能
0x00	DDRA	Port A 入出力方向指定
0x01	DDRB	Port B 入出力方向指定
0x02	WDC	ウォッチドックタイマー
0x03	TIMER3	タイマー LSB(bit0 ~ bit2)
0x04	TIMER	タイマー MSB(bit11 ~ bit18)
0x05	TIMERL	タイマー LSB(bit3 ~ bit10)
0x06	SIDR(S ODR)	シリアルデーター
0x07	SMRC/S IR	シリアルコントローラー制御
0x08	CPR0	タイマー比較 # 0 MSB
0x09	CPR0L	タイマー比較 # 0 LSB
0x0a	CPR1	タイマー比較 # 1 MSB
0x0b	CPR1L	タイマー比較 # 1 LSB
0x0c	CPR2	タイマー比較 # 2 MSB

0x0d	CPR2L	タイマー比較 # 2 LSB
0x0e	CPR3	タイマー比較 # 3 MSB
0x0f	CPR3L	タイマー比較 # 3 LSB
0x10	ASR0P	ASR0 エッジカウンタ値 MSB
0x11	ASR0PL	ASR0 エッジカウンタ値 LSB
0x12	ASR0N	ASR0 エッジカウンタ値 MSB
0x13	ASR0NL	ASR0 エッジカウンタ値 LSB
0x14	ASR1P	ASR1 エッジカウンタ値 MSB
0x15	ASR1PL	ASR1 エッジカウンタ値 LSB
0x16	ASR1N	ASR1 エッジカウンタ値 MSB
0x17	ASR1NL	ASR1 エッジカウンタ値 LSB
0x18	ASR2	ASR2 エッジカウンタ値 MSB
0x19	ASR2L	ASR2 エッジカウンタ値 LSB
0x1a	ASR3	ASR3 エッジカウンタ値 MSB
0x1b	ASR3L	ASR3 エッジカウンタ値 LSB
0x1c	-	未使用

0x1d	-	未使用
0x1e	-	未使用
0x1f	OMODE	動作モード指定
0x20	PORTA	Port A データ
0x21	PORTAL	Port A ラッチ
0x22	PORTB	Port B データ
0x23	PBCS	Port B 制御
0x24	TAIT	タイマー-ASR 制御
0x25	LDOUT	LDOUT
0x26	DOUT	DOUT データ

0x27	DOM	DOUT 制御
0x28	PORTC	Port C データ
0x29	PODTD/ ASRIN	Port D データ・ASR 入力データ
0x2a	RAMST	内蔵 RAM ステータス
0x2b	SSD	シリアルステータス データレジスタ
0x2c	IRQL	割込要求フラグ MSB
0x2d	IRQLL	割込要求フラグ LSB
0x2e	IMASK	割込マスク MSB
0x2f	IMASKL	割込マスク LSB

5. オペコード

6800 系列に似た命令セットを持っているが、オペコード命令ともに同一ではない。 アドレッシングモードは 68 系にほぼ同一である。

レジスタ一覧

レジスタ名	説明
A	8bit アキュムレータ
B	"
D	上位をA、下位をB とした 16bit レジスタ
X	16bit インデクスレジスタ
Y	16bit インデクスレジスタ
SP	16bit スタックポインタ
PC	16bit プログラムカウンタ
CCR	8bit コンディションレジスタ

CCR レジスタの内容

7	6	5	4	3	2	1	0
-	-	H	I	N	Z	V	C

CCR フラグ

フラグ	説明
H	bit.3 からのハーフキャリー
I	割込マスク
N	ネガティブ
Z	ゼロ
V	オーバーフロー
C	キャリー

命令 動作一覧

命令	二モニック	動作式
加算	ADD	op.1 = op.1 + op.2
キャリア付加算	ADDC	op.1 = op.1 + op.2 + C
減算	SUB	op.1 = op.1 - op.2
キャリア付減算	SUBC	op.1 = op.1 - op.2 - C
乗算	MUL	Acc.D = Acc.A * op.2
除算	DIV	Acc.A < op.2 なら 商 = Acc.B, 余 = Acc.A, C = 0 Acc.A >= op.2 なら 無動作、C = 1
インクリメント	INC	op.1 = op.1 + 1
デクリメント	DEC	op.1 = op.1 - 1
クリア	CLR	op.1 = 0
2 の補数	NEG	op.1 = ~op.1 + 1
右シフト	SHR	0 [op.1] C
算術右シフト	SHRA	[op.1] C
左シフト	SHL	C [op.1] 0
右ローテート	RORC	C [op.1] C
左ローテート	ROLC	C [op.1] C

比較	CMP	op.1 - op.2
論理積	AND	op.1 = Op.1 op.2
論理和	OR	op.1 = op.1 op.2
排他的論理和	XOR	op.1 = op.1 op.2
ビット比較	CMPB	op.1 op.2
ゼロと比較	CMPZ	op.1 - 0
割込禁止	DI	I = 0
V フラグのクリア	CLRv	V = 0
キャリークリア	CLRB	C = 0
ビットクリア	CLRB	bit.X = 0
割込許可	EI	I = 1
V フラグのセット	SETV	V = 1
キャリーセット	SETC	C = 1
ビットセット	SETB	bit.X = 1
ビットテスト分岐	TBBS	bit.X = 1 なら分岐
ビットテスト分岐	TBBC	bit.X = 0 なら分岐
ビットテスト&セット	TBS	bit.X = 1 なら Bit.X = 1
BCD 変換	ADJ	op.1 = BCD[op.1]
レジスタ転送	LD	op.1 = op.2
レジスタ転送	ST	op.2 = op.1

レジスタ転送	MOV	$op.2 = op.1$
レジスタ交換	XCH	$op.1$ と $op.2$ の値を交換
レジスタ待避	PUSH	$M[sp] = op.1, sp = sp - 1$
レジスタ復帰	PULL	$sp = sp + 1, op.1 = M[sp]$
呼び出し	JSR	$M[sp] = PC, sp = sp + 2$
サブルーチン復帰	RET	$sp = sp + 2, PC = M[sp]$
割込復帰	RETI	全レジスタ復帰後、サブルーチン復帰
割込待ち	WAIT	全レジスタ退避後、割込待ち
何もしない	NOP	
分岐	BRA	無条件分岐
分岐しない	BRN	何もしない
等しければ分岐	BEQ	$Z = 1$ なら分岐

異なれば分岐	BNE	$Z = 0$ なら分岐
キャリー分岐	BCS	$C = 1$ なら分岐
キャリー分岐	BCC	$C = 0$ なら分岐
正かゼロなら分岐	BPZ	$N = 0$ なら分岐
負なら分岐	BMI	$N = 1$ なら分岐
オーバーフロー分岐	BVS	$V = 1$ なら分岐
オーバーフロー分岐	BVC	$V = 0$ なら分岐
算術分岐	BGTA	$Z + (N \vee V) = 0$ なら分岐
算術分岐	BGEA	$N \vee V = 0$ なら分岐
算術分岐	BLTA	$N \vee V = 1$ なら分岐
算術分岐	BLEA	$Z + (N \vee V) = 1$ なら分岐
大きければ分岐	BGT	$C + Z = 0$ なら分岐
少なければ分岐	BLE	$C + Z = 1$ なら分岐
無条件分岐	JMP	分岐