



5.4 系统总线的形成

8086/8088 CPU最大方式（当MN/MX引脚接地）

- 已经讨论的8086/8088最小方式系统中，8086/8088CPU的引脚直接提供所有必需的总线控制信号，这种方式适合于单处理器组成的小系统。
- 在最小工作方式中，作为单处理器的8086/8088CPU通常控制着系统总线，但也允许系统中其它的主控设备 - DMA控制器占用系统总线。



5.4 系统总线的形成

多处理器系统

增加的处理器可以是8086/8088处理器，也可以是数字数据处理器8087或I/O处理器8089。在设计多处理器系统时，除了解决对存储器和I/O设备的控制，中断管理，DMA传送时总线控制权外，还必须解决多处理器对系统总线的争用问题和处理器之间的通信问题。

多处理器系统可以有效的提高整个系统的性能。**8086/8088的最大工作方式**就是专门为实现多处理器系统而设计的。IBM PC系列机系统中的微处理器工作于最大方式，系统中配置了一个作为协处理器的数字数据处理器8087，以提高系统数据处理的能力。

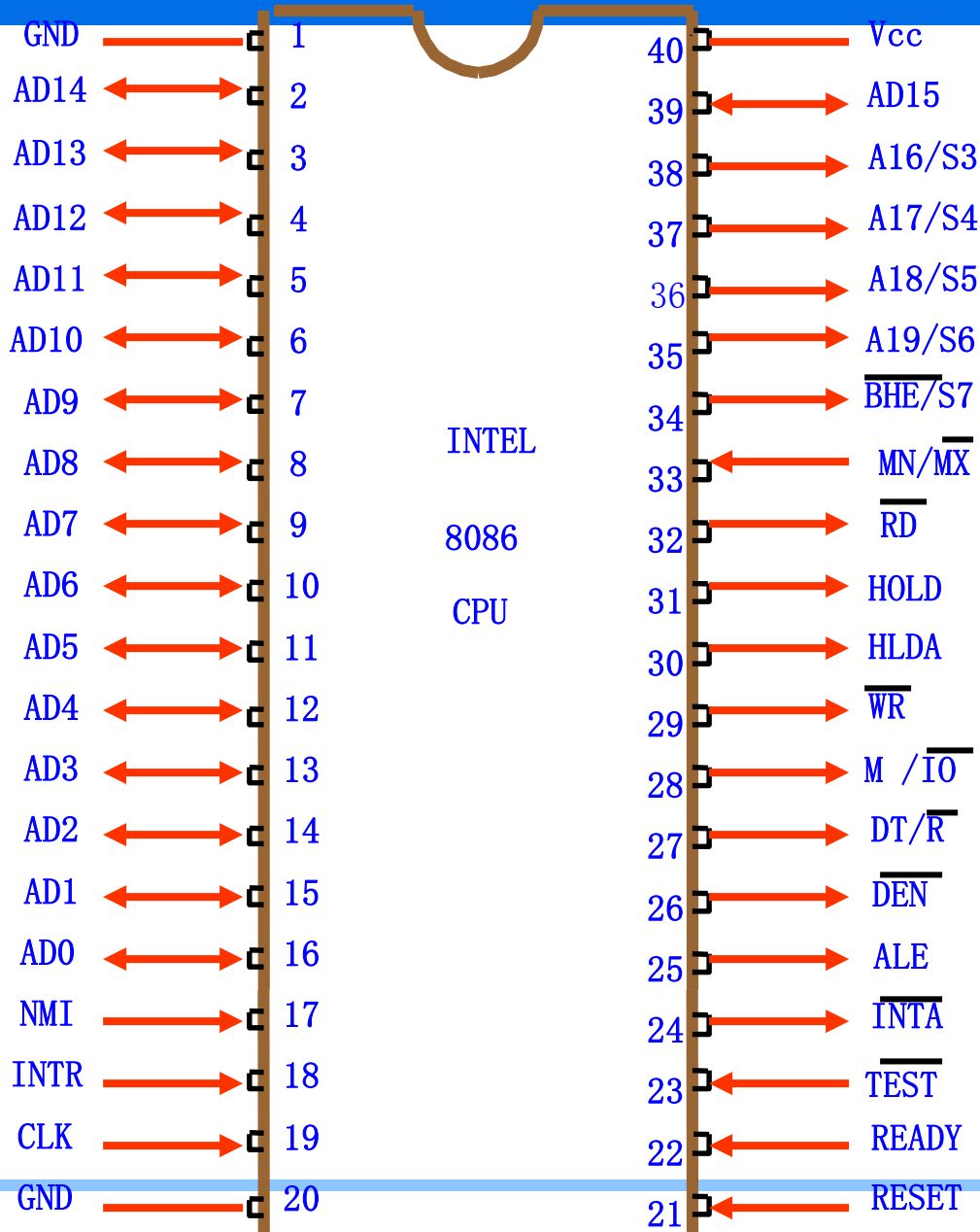


5.4 系统总线的形成

为了满足多处理器系统的要求，又不增加引脚数，在最大方式下的8086和8088采用了对控制引脚（24-31脚）译码产生更多控制信号。其余引脚的定义与最小方式下的意义完全相同。如下图8086CPU引脚图所示。

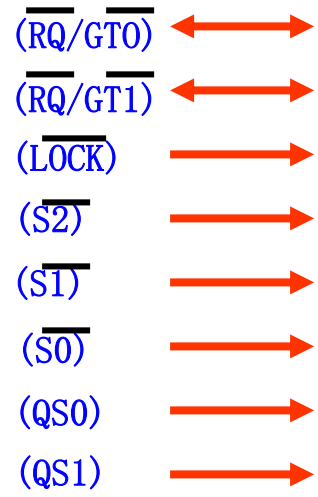


5.4 系统总线的形成



8086/8088CPU引脚图

最小方式



最大方式



5.4 系统总线的形成

8086/8088CPU工作于最大方式时，24-31脚功能定义

1. QS_1 , QS_0 (输出) 指令队列状态输出线。

用来提供8086/8088内部指令队列的状态。8086/8088内部在执行当前指令的同时，从存储器预先取出后面的指令，并将其放在指令队列中。 QS_1 、 QS_0 用来提供指令队列的状态信息，以方便外部逻辑跟踪8086/8088内部指令序列。



5.4 系统总线的形成

QS_1 、 QS_0 表示的状态情况如下表所示

QS_1	QS_0	指令队列状态
0	0	无操作，未从队列中取指令
0	1	从队列中取出当前指令的第一个字节（操作码）
1	0	队列空，由于执行转移指令，队列重装填
1	1	从队列中取出指令的后续字节

在PC机中，这两条线与8087协处理器的 QS_1 和 QS_0 连接。
8086/8088可以告诉协处理器何时准备执行指令。



5.4 系统总线的形成

2. $\overline{S_2}$ 、 $\overline{S_1}$ 、 $\overline{S_0}$ (输出 , 三态)

状态信号输出线，这三位状态的组合表示CPU当前总线周期的操作类型。8288总线控制器接收这三位状态信息，产生访问存储器和I/O的控制信号和对74LS373、74LS245的控制信号。



5.4 系统总线的形成

S_2	S_1	S_0	操作状态	8288产生的信号
0	0	0	中断响应	\overline{INTA}
0	0	1	读I/O端口	\overline{IORC}
0	1	0	写I/O端口	$\overline{IOWC}, \overline{AIOWC}$
0	1	1	暂停	无
1	0	0	取指令	\overline{MRDC}
1	0	1	读存储器	\overline{MRDC}
1	1	0	写存储器	$\overline{MWTC}, \overline{AMWC}$
1	1	1	保留	无



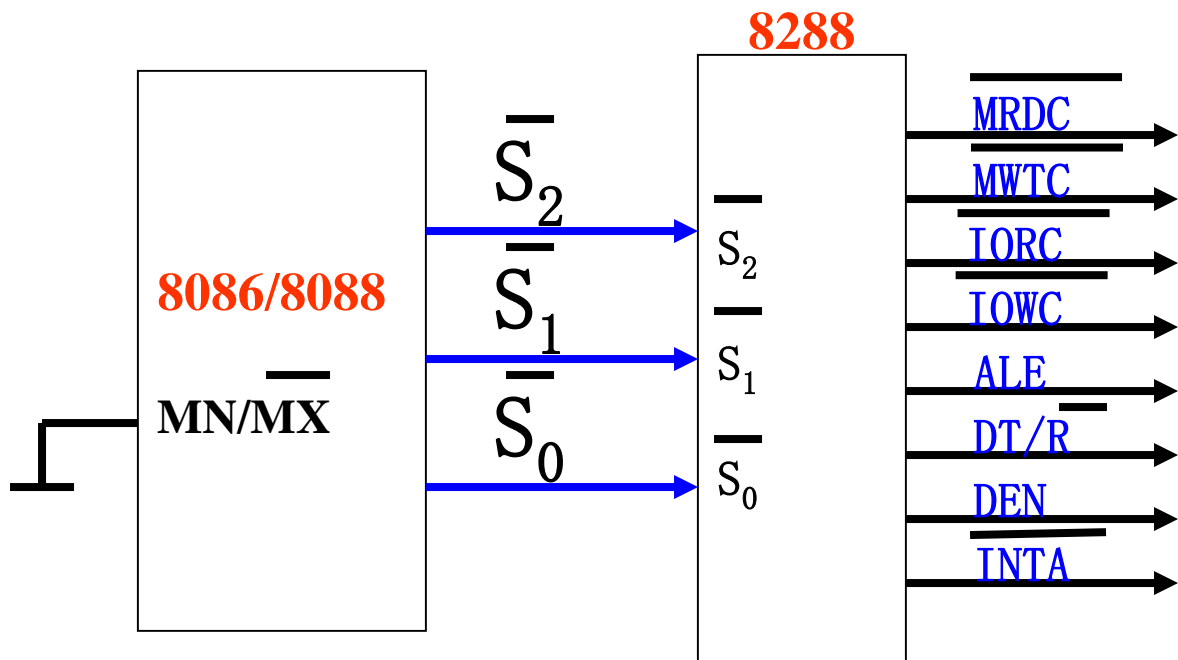
5.4 系统总线的形成

- AMWC是提前写存储器命令。它比MWTC提前一个时钟周期产生，以便一些慢速存储器芯片额外地多一个时钟周期去执行写入操作。(Advance Memory Write Command，提前存储器写信号)
- AIOWC是提前写I / O端口信号，它比IOWC提前一个时钟周期出现，以便一些慢速外设可得到一个额外的时钟周期执行写操作。



5.4 系统总线的形成

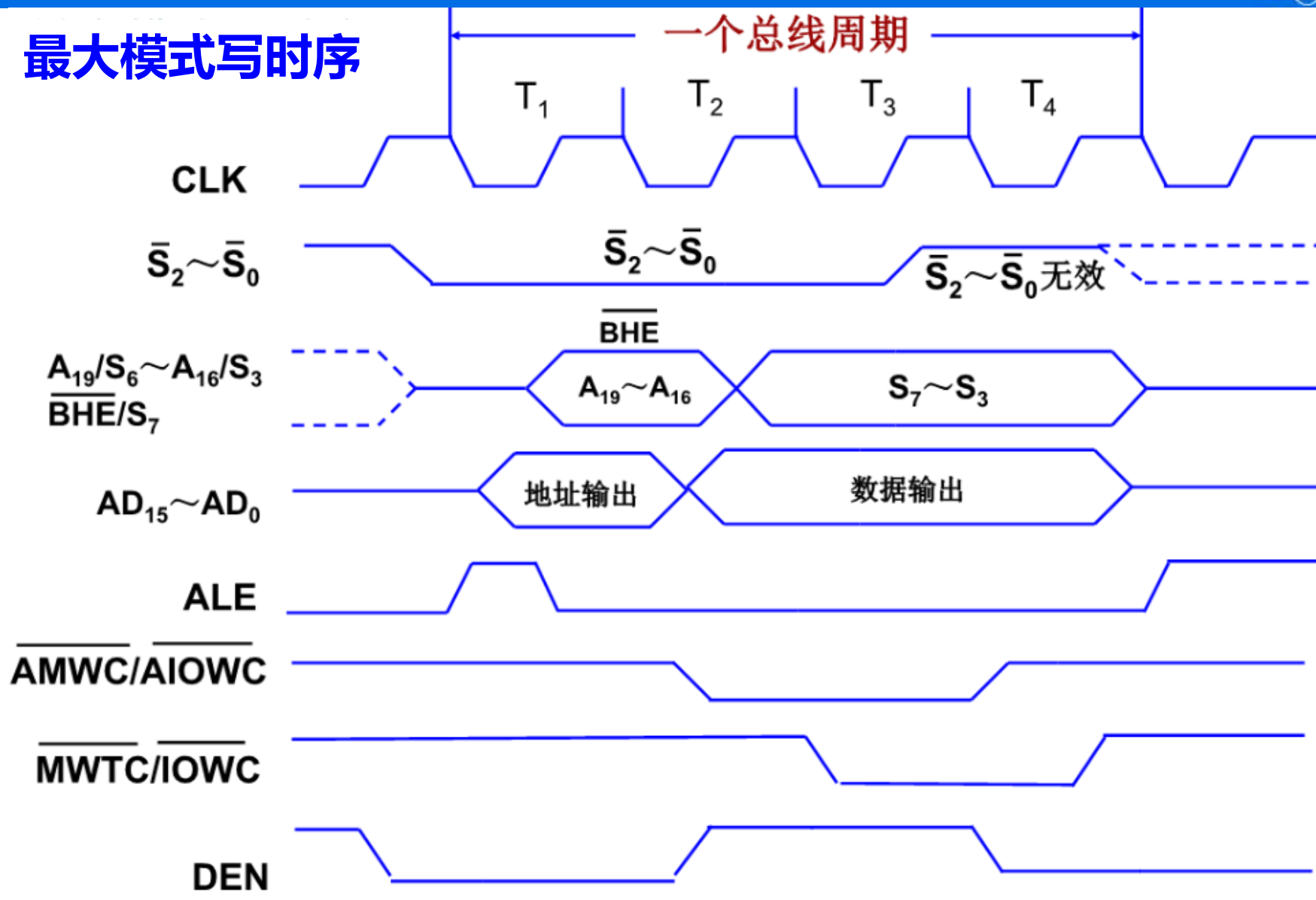
8288对CPU输出的 $\overline{S_2}$, $\overline{S_1}$, $\overline{S_0}$ 三个状态信号译码产生的控制信号如下图所示。





5.4 系统总线的形成

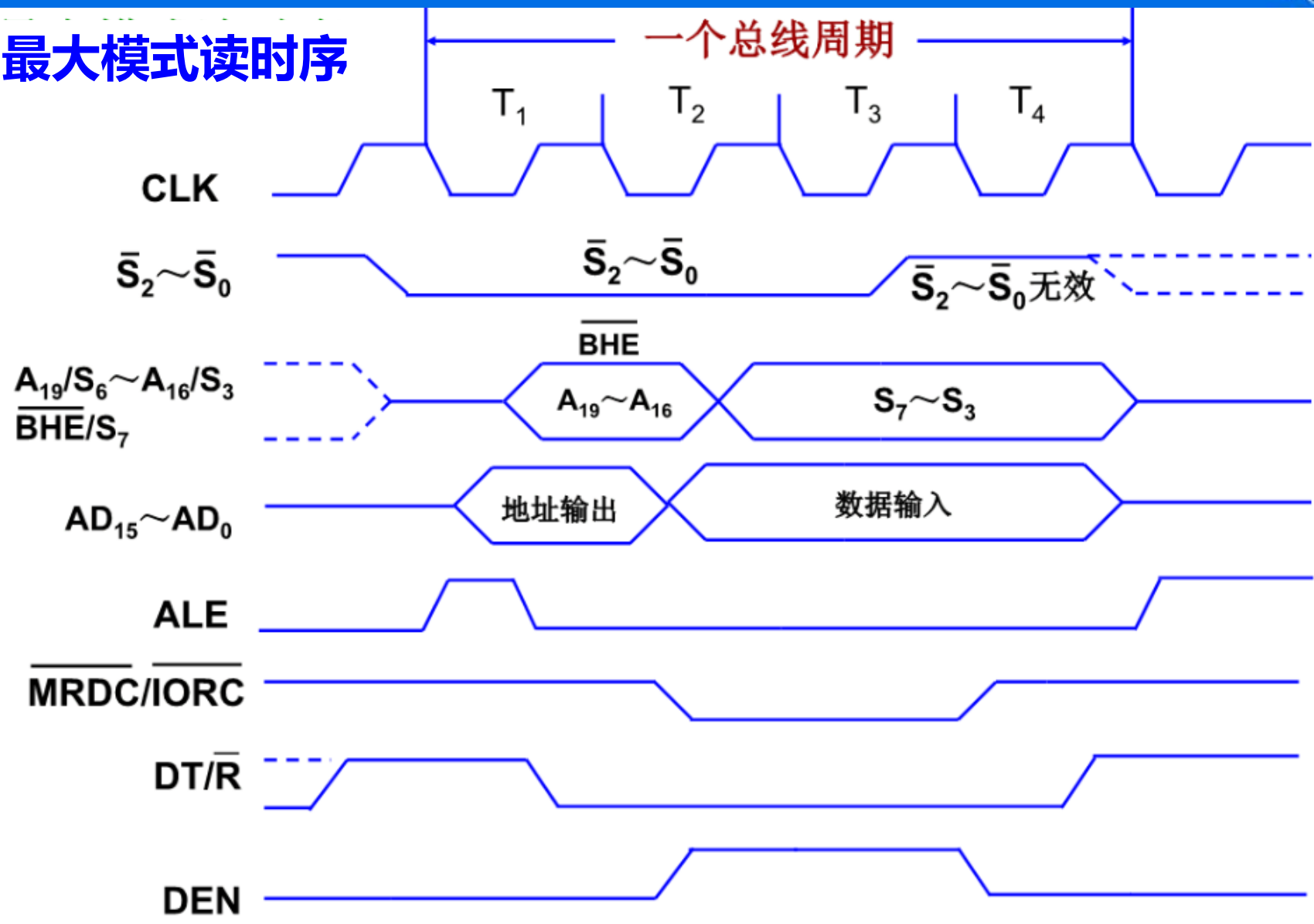
最大模式写时序





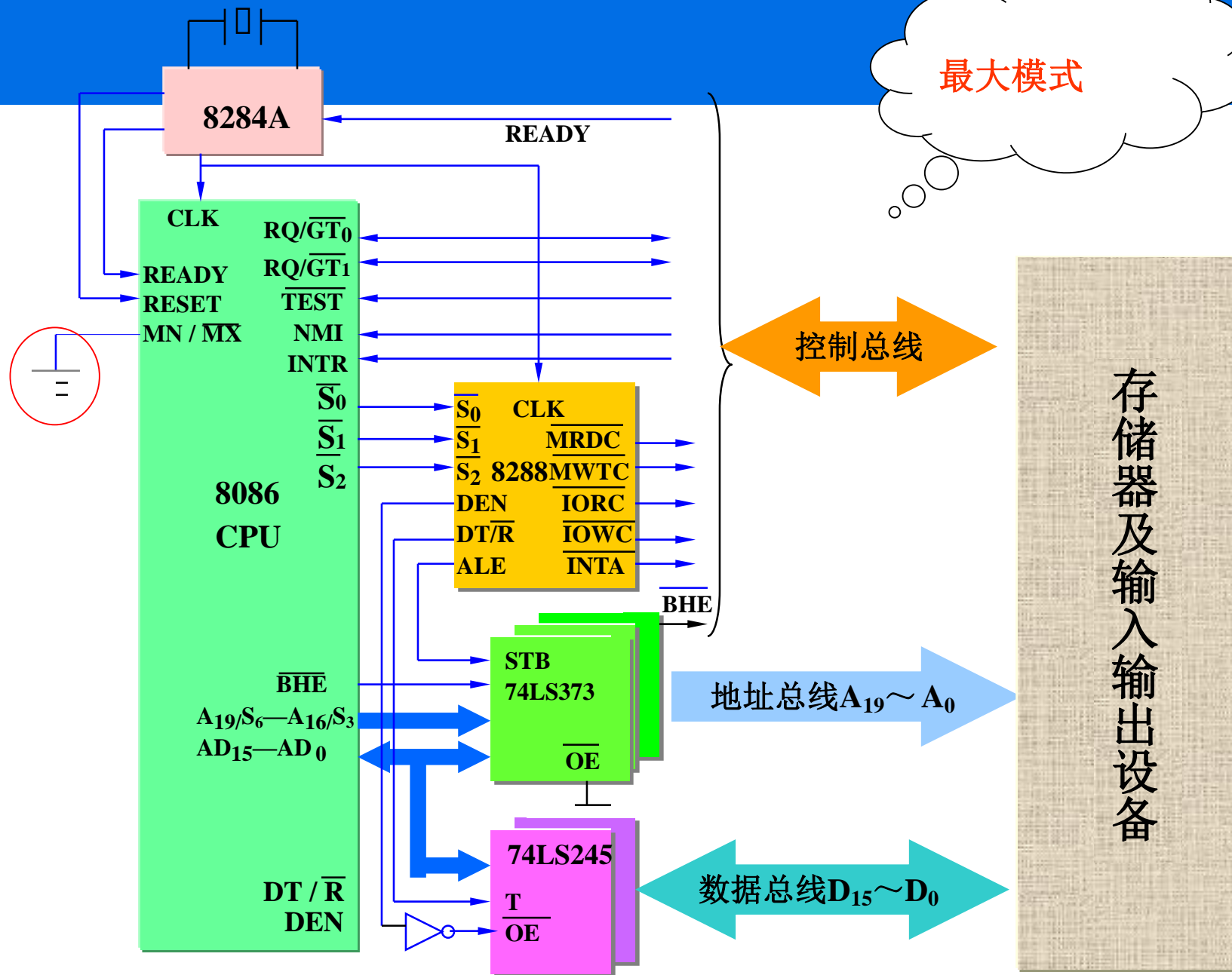
5.4 系统总线的形成

最大模式读时序





最大模式





5.4 系统总线的形成

3. $\overline{\text{LOCK}}$ (输出 , 三态)

- 总线锁定信号，低电平有效。CPU输出此信号表示不允许总线上的主控设备占用总线。该信号由指令前缀 $\overline{\text{LOCK}}$ 使其有效，直到该指令执行完后，总线锁定解除。
- CPU的 $\overline{\text{INTR}}$ 引脚上的中断请求也会使 $\overline{\text{LOCK}}$ 引脚从第一个 $\overline{\text{INTA}}$ 脉冲开始直到第二个 $\overline{\text{INTA}}$ 脉冲结束保持低电平。这样就保证在中断响应周期之后，其它主控设备才能占用总线。



5.4 系统总线的形成

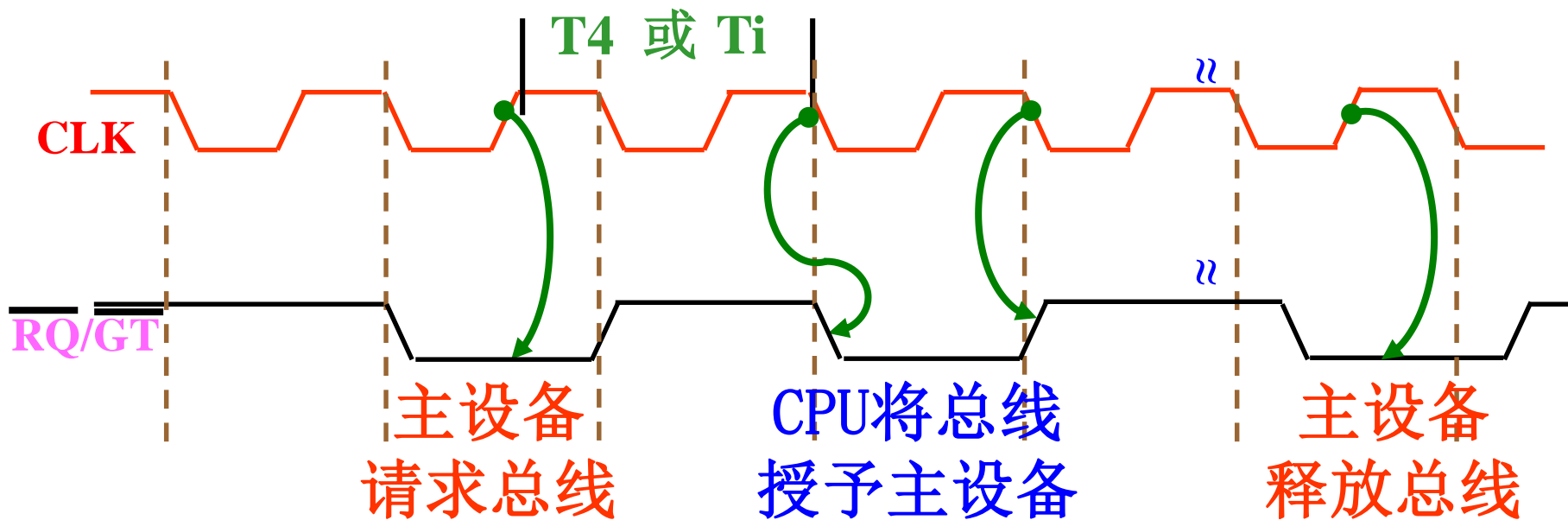
4. $\overline{RQ/GT_1}$ 、 $\overline{RQ/GT_0}$ (输入/输出)

这两条引脚都是双向的，低电平有效，用于输入总线请求信号和输出总线授予信号。但 $\overline{RQ/GT_0}$ 优先级高于 $\overline{RQ/GT_1}$ 。这两根引脚主要用于不同处理器之间连接控制用。



5.4 系统总线的形成

最大方式时总线请求和总线授予时序如下图所示





5.4 系统总线的形成

要点回顾与总结

1.8086/8088均有两种工作方式，工作方式选择受 MN/\overline{MX} 引脚电平的控制。

2.RESET为高电平复位信号。高电平保持时间必须 $\geq 4T$ 。

8086/8088 CPU复位后， $CS=0FFFFH$ ， $IP=0000H$ 。

所以，复位后， $FFFF0H$ 单元取指令并执行指令。



5.4 系统总线的形成

3. 8086/8088均有20条地址总线。其中 $A_{19}-A_0$ 全部用来对存储器寻址，能寻址的存储器地址空间为 $2^{20} = 1M$ 字节， $A_{15}-A_0$ 也用来对I/O寻址，所以能寻址的I/O地址空间为 $2^{16} = 64K$ 字节。
4. $A_{15}-A_0$ 低16位地址线上地址信号是对存储器访问的地址，还是对I/O访问的地址，对8086 CPU而言，用 M/\overline{IO} 控制信号来区分，对8088 CPU而言，用 IO/\overline{M} 控制信号来区分。



5.4 系统总线的形成

5. 当8086 CPU工作于最小方式时，会利用 M/\overline{IO} （对8088是 IO/\overline{M} ）、 \overline{RD} 、 \overline{WR} 采用门电路设计存储器写 \overline{MEMW} 和存储器读 \overline{MEMR} 以及I/O写 \overline{IOW} 和I/O读 \overline{IOR} 控制信号产生电路。
6. 8086 CPU有 $D_{15}-D_0$ 16条数据总线，8088 CPU有 D_7-D_0 8条数据总线。



5.4 系统总线的形成

7. 当8086/8088 CPU工作于最小方式时，控制信号均由CPU引脚直接产生。要求能正确理解ALE、 $\overline{\text{DEN}}$ 、 $\overline{\text{DT/R}}$ 等信号的作用和时序关系，会利用74LS373、74LS245等芯片构成系统地址总线 and 数据总线。
8. 正确理解时钟周期、总线周期概念;一个总线周期至少为4个时钟周期。实际上，一个基本的总线周期包含4个时钟周期，分别称为T1、T2、T3、T4状态。



5.4 系统总线的形成

9. 理解8086 CPU $\overline{\text{BHE}}$ 信号的作用。 $\overline{\text{BHE}}=0$ 表示8086 CPU对奇地址存储器或I/O操作，数据传送使用高8位数据总线 $D_{15}-D_8$ ； $\overline{\text{A0}}=0$ 表示8086 CPU对偶地址存储器或I/O操作，数据传送使用低8位数据总线 D_7-D_0 。

10. 8086 CPU 在读写一个字节时，只需要使用16条数据线中的8条，在1个总线周期内完成；在读写一个字时，自然要用到16条数据线，当字的存储为对准时，可在1个总线周期内完成；当字的存储为未对准时，则要在2个总线周期内完成。



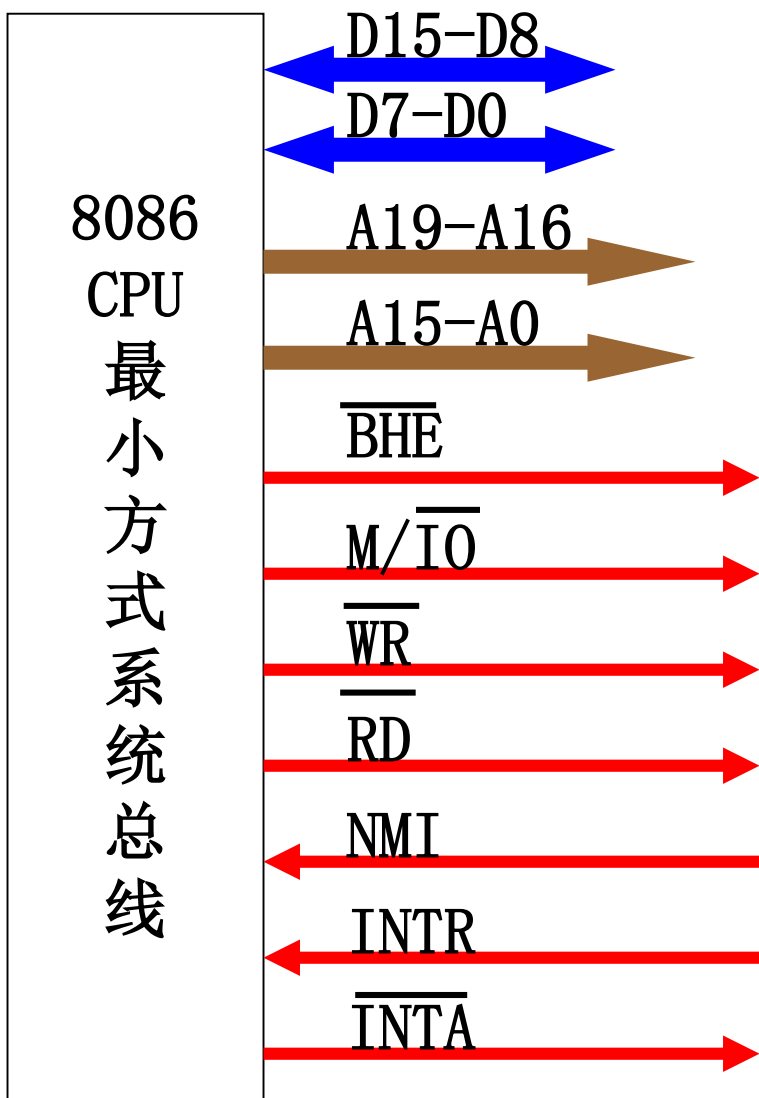
5.4 系统总线的形成

**11. 基于系统级总线进行存储器以及I/O接口电路设计时，
涉及到的系统总线有以下几种：**



5.4 系统总线的形成

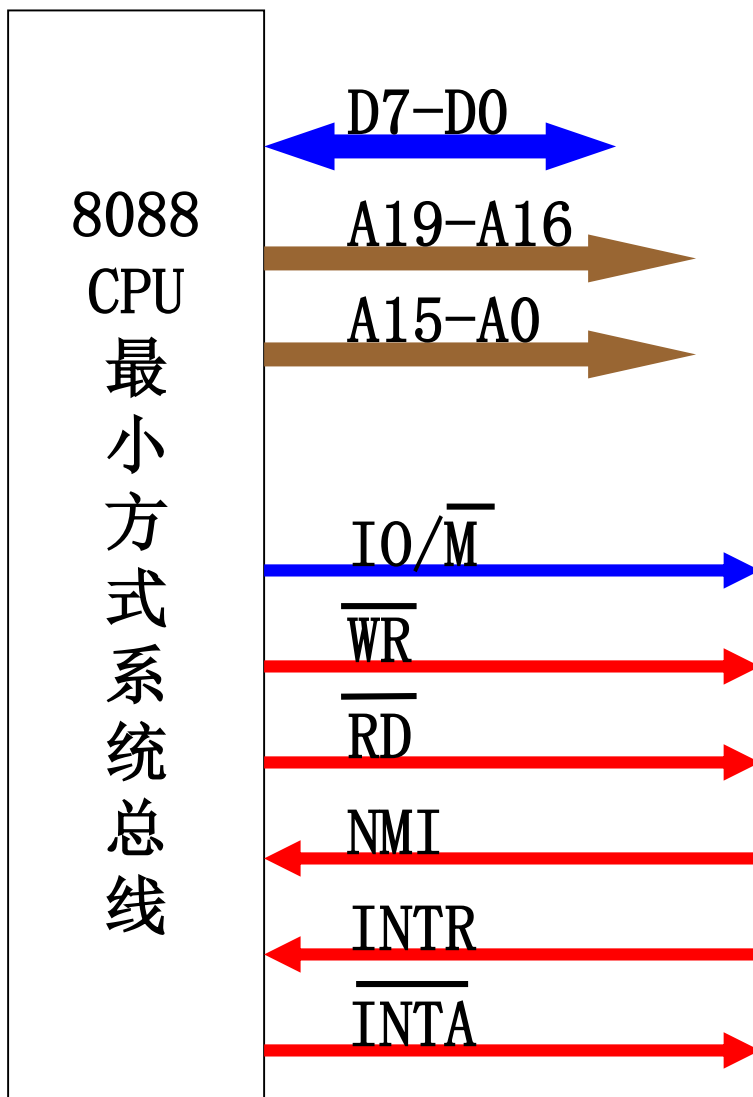
① 8086最小 工作方式系统 总线





5.4 系统总线的形成

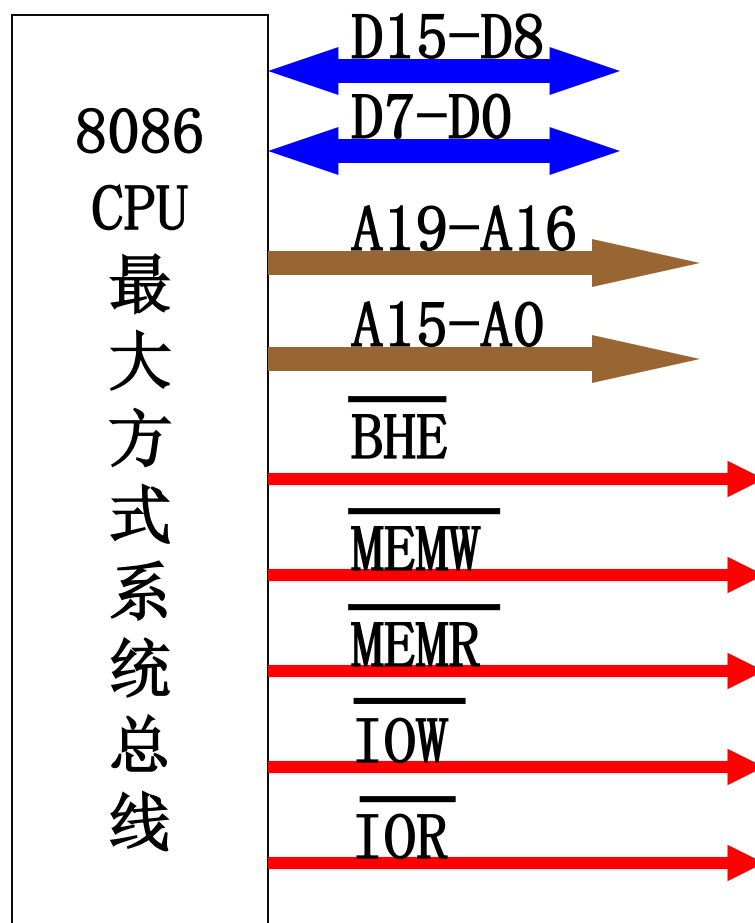
② 8088最小工作方式系统总线





5.4 系统总线的形成

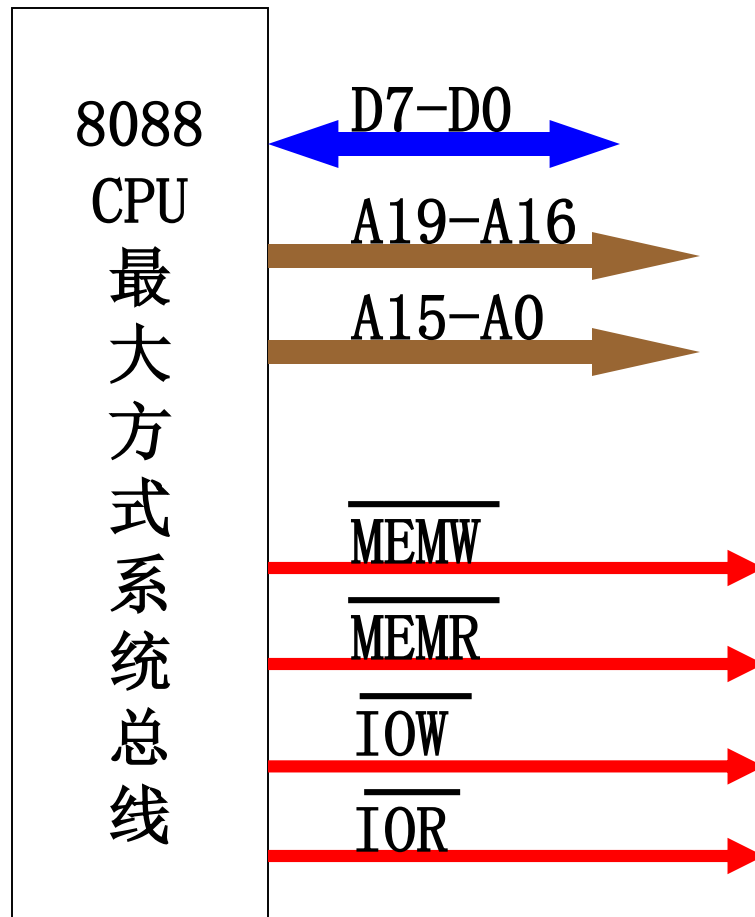
③ 8086最大 工作方式系统 总线





5.4 系统总线的形成

④ 8088最大 工作方式系统 总线





5.4 系统总线的形成

PC/XT机主板上CPU采用的是8088，且8088 CPU工作于最大方式组成的多处理机系统。

PC/XT系统总线上AEN信号的作用是：

方向输出，是控制信号。在DMA操作时为高；在CPU执行IN和OUT指令时为低。在自己开发I/O接口时， $AEN=0$ 必须参加译码。



5.4 系统总线的形成

⑤ PC/XT系统 总线

