



西安电子科技大学
人工智能学院

计算机组成与体系结构

第6章 中央处理器(CPU)

本章第5次课重点

➤ 多核与多线程技术



多核与多线程技术

6.5.3 多核与多线程技术

在处理器设计中，面临两大挑战：

➤ 提高系统时钟频率受到限制。

✓ **问题**：提高主频带来了散热、电流泄漏、制造工艺等问题，使高性能处理器设计变得越来越困难。

✓ **解决方案**：面对计算能力不断提高的需求及单芯片容量日益增长的支持，**双核/多核技术**成为CPU制造商显著提升处理器性能的共同选择。

➤ 设计高单线程性能的处理器正变得越来越复杂。

✓ **问题**：高单线程性能要求高复杂度的设计与验证，需要更多的电路支持，进而增加功耗，使性能下降。

✓ **解决方案**：良方正是**超线程/多线程技术**。

6.5.3.1 多核技术

- **多核 (Multi-core) 技术**：将多个处理器（计算引擎，内核）集成在一块单独的CPU芯片上，即CMP(Chip multiprocessor)。
 - ✓ 多个内核共享二级或三级Cache、存储器和I/O总线等资源。
 - ✓ 更多地依赖复制而不是构造超标量系统结构来提升CPU性能、降低设计成本、降低功耗。
- **双核/多核处理器的特点**：
 - ✓ 控制逻辑简单
 - ✓ 高主频
 - ✓ 低通信延迟
 - ✓ 低功耗
 - ✓ 设计和验证周期短
- **未来**：将不同“性格”的核心集成到处理器中，让它们各自去处理所擅长的事情。

6.5.3.2 多线程技术

- **程序 (Program)** 由**进程 (process)** 组成，进程由**线程 (thread)** 组成，线程是进程的执行单元。
- 在早期计算机中，大多数程序仅含有单个线程。直到近十年，处理器设计才**获得了额外的执行资源**（例如专用于浮点和整数运算的逻辑），以**支持并行处理**多条指令。
- 通过在同一处理器内核上使用这些“**额外**”资源同时执行多个单独的线程（即多重线程），可使资源得到更充分的利用，让**CPU**发挥更大效率，这种同步处理称为**多线程 (Multi-Threading, MT) 技术**。
- 近年来，系统设计的焦点已转向线程级并行(TLP)

6.5.3.2 多线程技术

➤ 多线程技术有多种实现方案

- ✓ 超线程(Hyper-Threading, HT)技术 :Intel
- ✓ 硬件多线程(Hardware Multi-Threading, HMT)技术 :Sun、IBM
- ✓ 同时多线程(simultaneous multi-threading, SMT)技术 :IBM

6.5.3.2 多线程技术—HT

超线程：

- 利用特殊的硬件指令，把两个逻辑内核模拟成两个物理芯片，让单个处理器都能使用线程级并行计算，进而兼容多线程操作系统和软件，减少CPU的闲置时间，提高CPU的运行效率。
- 当两个线程都同时需要某一个资源时，其中一个要暂停，并让出资源，直到这些资源闲置后另一个才能继续。因此超线程的性能并不等于两个CPU的性能。
- 为了从HT技术中获得最大优势，分配给每个线程的任务要尽可能不同，以确保尽可能减少处理器资源上的冲突。

6.5.3.2 多线程技术—HMT

硬件多线程:

- 单线程系统中，**85%**以上的系统运行时间耗费在**等待存储器操作**，存储器已成为提高系统速度的瓶颈。
- **硬件多线程** (Hardware Multi-Threading, **HMT**)

技术就是要解决提高处理器利用率的问题。

- **HMT**技术就是将**CPU**的暂停时间加以利用来达到容忍存储器等待时间这一目的。

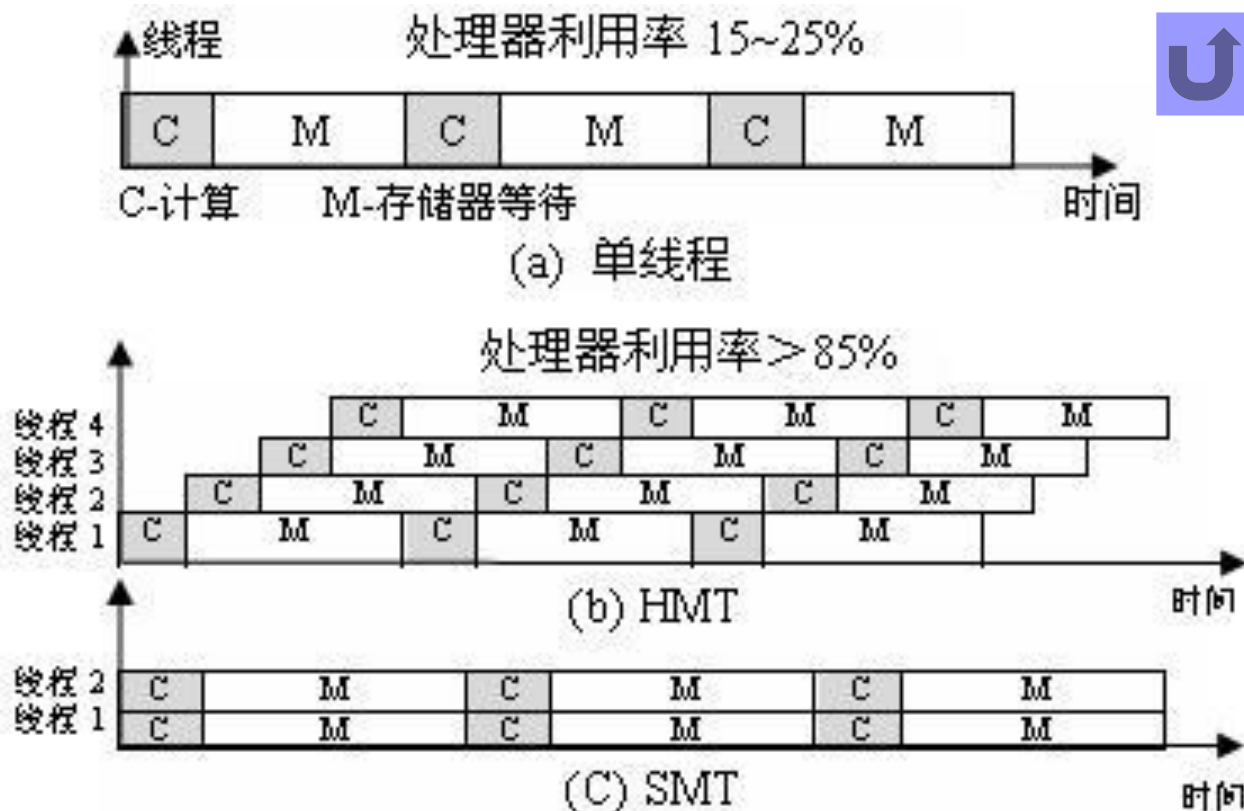


图 6.21 单线程与多线程示意图

6.5.3.2 多线程技术—HMT

- HMT可以被认为**每芯片上有多个处理器**。HMT提供了一种利用**存储器访问与其他指令重叠执行**来改善整个系统吞吐量的机制。
- HMT处理器可以管理多个线程，但在**任意给定时刻，只有一个线程在执行指令**。
- 在支持硬件多线程的处理器中，设置有多组用于**保存现场数据的寄存器**，且为**每个线程设立了独立的程序计数器**，线程的切换只需激活选中的现场数据寄存器组，从而省略了与存储器数据交换的环节，减少了线程切换的开销，大大提高了系统效率，这就是**零延迟切换技术**。

6.5.3.2 多线程技术—SMT

同时多线程:

- 由于深度流水的处理器状态复杂，不能有效地实现线程间的转换，所以，针对深度流水线处理器的首选解决方案是**同时多线程**（simultaneous multi-threading, **SMT**）机制。
- **SMT**可以使多个执行的线程同时在同一个处理器上执行，即单处理器执行多线程，**SMT**的思想就是用一個线程不使用的多个流水线段来并发地执行另一个线程的指令流，它是通过允许多任务同时执行来改善吞吐量的。
- 它将**HMT**与**超标量处理器技术**相结合，允许多线程每时钟周期发射多条指令。

图6.21

HMT与SMT 比较

HMT与SMT 比较

- HMT利用一套执行单元分时处理多个线程。
- SMT利用多套执行单元分别处理每个线程。
- 与不使用SMT的同一处理器相比，采用SMT大约使处理器的性能增加35~40%，而这种改善大于HMT。

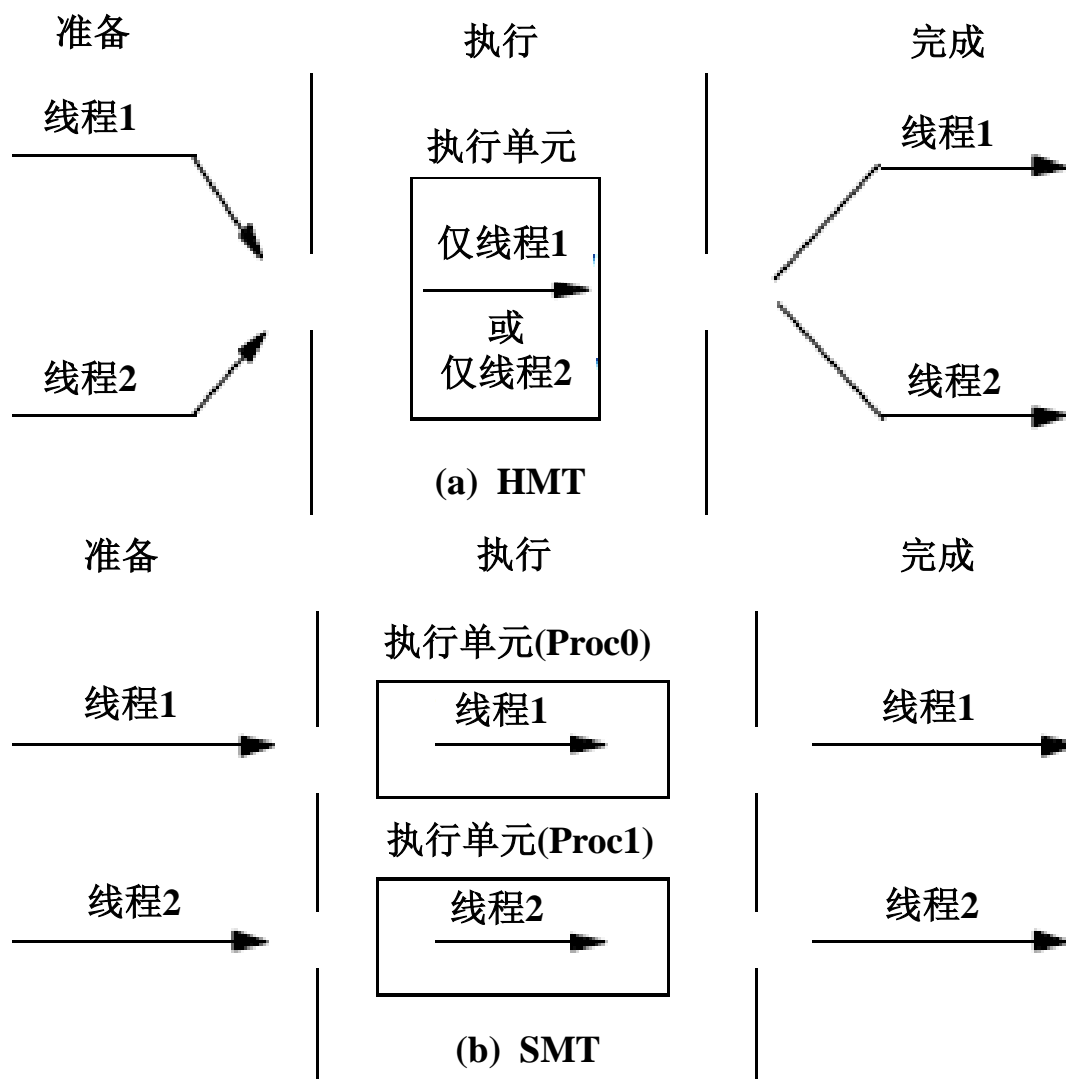


图6.22 HMT与SMT对线程处理的不同实现途径

6.5.3.2 多核+多线程技术

- 多核+多线程技术，就是在一块芯片中集成多个处理器内核(计算引擎)、每个处理器内核又能够执行多个线程指令流，Sun将其称为**芯片多线程(Chip Multithreading, CMT)**技术。

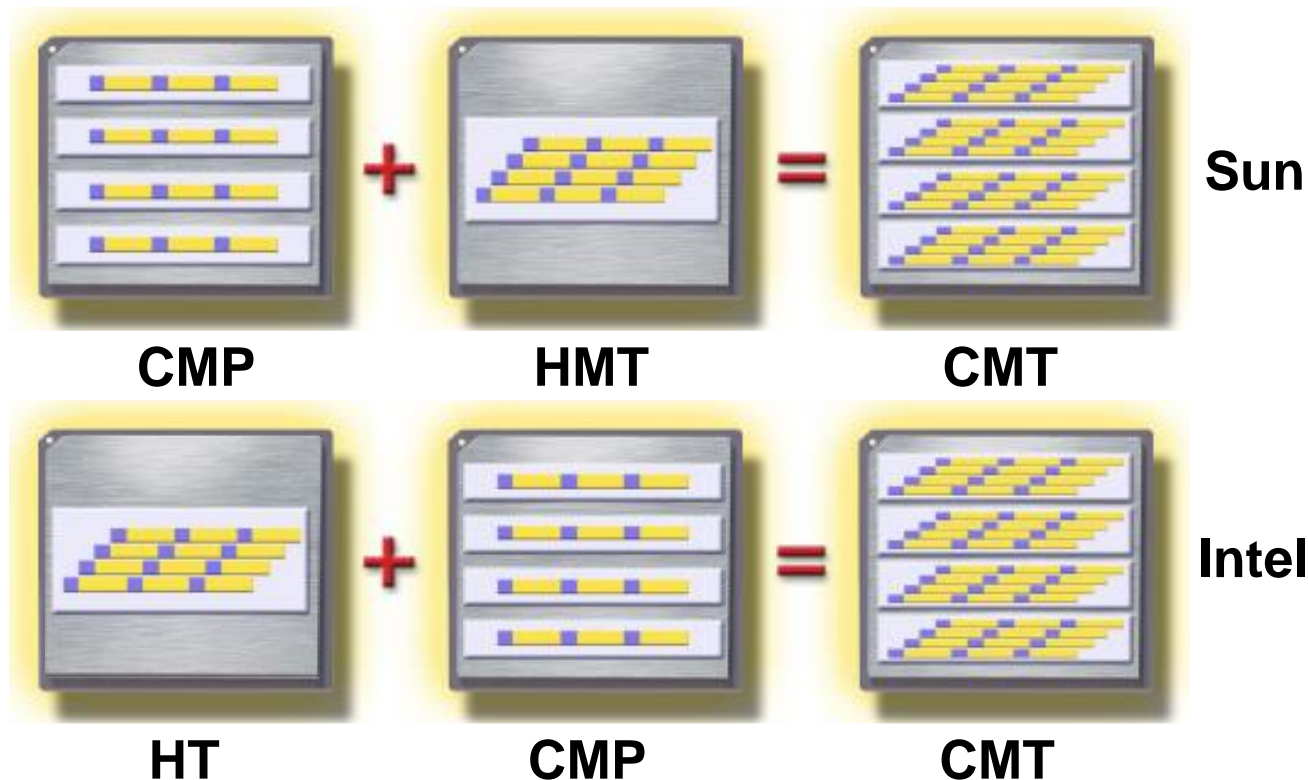
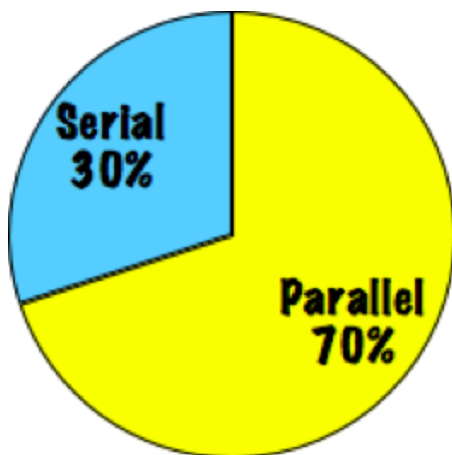


图6.23 两种CMT的实现途径

6.5.3.2 多核+多线程技术

Amdahl定律的应用

我们希望
程序在**N**
个CPU上
运行



程序有**30%**的执行时间是在运行不能并行执行的串行代码。

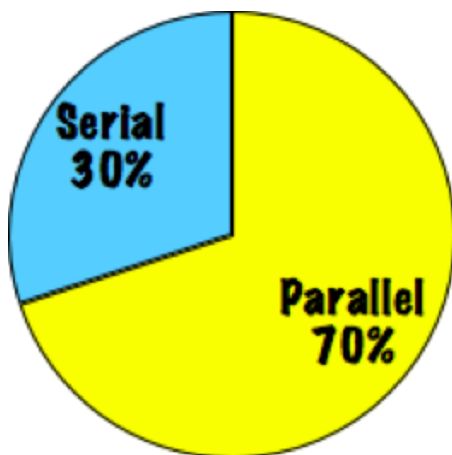
对于**N** = 2、3、4、5和 ∞ ,
计算加速比。

CPUs	2	3	4	5	∞
Speedup					

6.5.3.2 多核+多线程技术

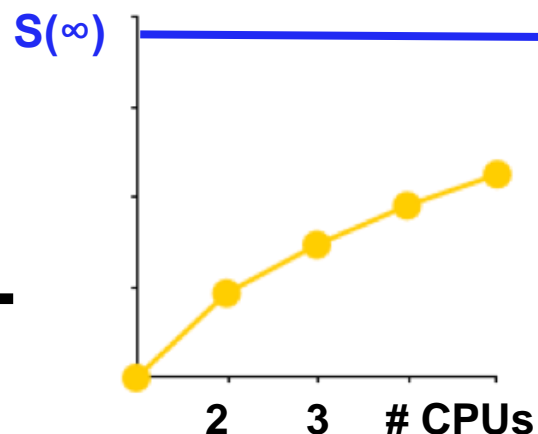
Amdahl定律的应用

我们希望
程序在**N**
个CPU上
运行



程序有30%的执行时间是在运行不能并行执行的串行代码。

$$S = \frac{1}{(30 \% + (70 \% / N)) / 100 \%}$$



CPUs	2	3	4	5	∞
Speedup	1.54	1.85	2.1	2.3	3.3

处理器制造商

处理器制造商

➤ SUN

➤ UltraSPARC T1(8核×4线程)/T2(8核×8线程)

- Sun(2009年4月甲骨文Oracle以74亿美元收购Sun)将推出代号为**Niagara 3**的最新处理器，该芯片将采用**16个内核**，每个核心拥有独立的二级缓存，**每核心16线程**。2011年9月**SPARC T4**。2013年3月**SPARC T5**，号称全球最快的微处理器，**16核**，最多**128线程**。

T3

➤ Intel

➤ Core 2(4核×1线程)

- **Core i7**(酷睿i7)处理器是英特尔于2008年11月推出的64位4核CPU。预计于2010年面世的32nm制程的i7(代号**Gulftown**)将拥有**6个内核**。

- 2014年2月19日消息，英特尔推出最新服务器处理器**至强E7 v2系列**采用多达**15个**处理器核心（**30线程**），基于**Ivy Bridge**架构，成为目前英特尔核心数最多的处理器。

➤ AMD

➤ **Opteron**(皓龙)/**Phenom**(羿龙) (4核×1线程)

- 2008年5月25日，IBM为美国国家核能安全管理部打造一台代号为走鹃的超级电脑，采用6192颗**AMD Opteron**处理器与12960颗**PowerX Cell 8i**处理器，计算峰值高达1.026PetaFLOPS。**12核心**的**Opteron**处理器预计2010年面世。
- 2011年11月AMD公司发布新一代皓龙(**Opteron**)处理器，其中**皓龙6200**是**全球首款16核x86**处理器。

➤ IBM

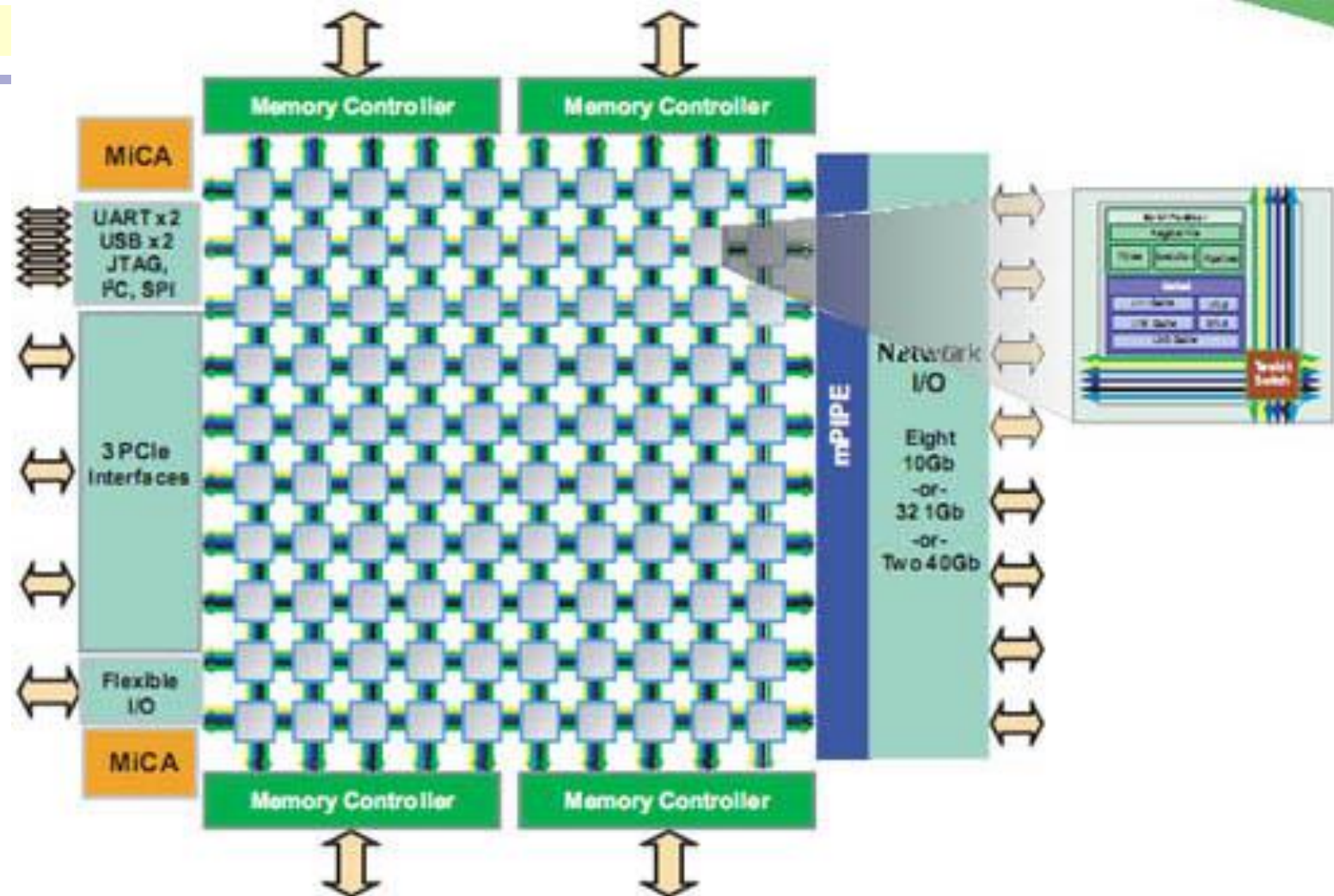
➤ **Power5/6**(2核×2线程)

➤ **8内核**的**Power7**的产品在2010年2月面世。

➤ 2013年8月发布**Power8**，**22nm** SOI工艺，主频**4GHz**，最大核数**12**，最大支持**96**线程。12核共享**96MB**三级缓存，还可以使用**128MB**的**eDRAM**四级缓存（未封装在处理器内部）

处理器制造商

- **Tilera**(Tile+era, 公司04年成立)
- 从1994年起Tilera的CTO作为麻省理工大学教授就开始二维网状架构的多核研究, 到2002年他做出第一款16核真正的半导体产品, 2004年由四家著名的风投公司投资, 2007年推出商用产品。Tilera表示其设计思想是以**多核低频**制胜。
- 2008年5月宣布业界最高性能嵌入式处理器**Tile64**, **64核**, 总体性能是当时Intel双核Xeon的10倍。
- 2011年5月Tilera发布**Tile-Gx 8000**系列产品, 包括 **16**、**36**、**64**和**100**核四个产品。
- 2013年3月Tilera推出它的旗舰处理器**Tile-Gx 72**, **72**个相同内核 (Tilera将core也称作tile)。在当前各公司可用的商用处理器中, Tilera产品拥有最多的核数, 可用处理器产品有**9**、**16**、**36**和**72核**。
- 2014年7月**EZchip**花1.3亿美元收购**Tilera**, EZchip是主打网络处理芯片的以色列供应商。2015年10月**迈络思**(Mellanox)以8.11亿美元收购**EZchip**半导体公司, 迈络思是面向服务器、存储和超聚合基础设施的端到端以太网和 **InfiniBand** 智能互联解决方案与服务的领先供应商。2019年3月**英伟达**(NVIDIA)和**迈络思**达成协议, 英伟达将斥资**69**亿美元收购迈络思。预计年底收购完成之后, 英伟达将成为一家数据中心公司。



TILE-Gx Family Specifications:

Device	Number of Tiles	Packet Interfaces	Interlaken Interfaces	PCIe Interfaces (Gen 2)	DDR3 Memory	Processor Frequencies	Package
TILE-Gx100	100	8 XAUI, 32 SGMII	2x 40G	Two 8-lane, one 4-lane	4x @ 2133	1.25, 1.5GHz	45 x 45mm BGA
TILE-Gx64	64	6 XAUI, 24 SGMII	2x 40G	Two 8-lane, one 4-lane	4x @ 1600	1.25, 1.5GHz	45 x 45mm BGA
TILE-Gx36	36	4 XAUI, 16 SGMII	-	Two 8-lane, two 4-lane	2x @ 1600	1.25, 1.5GHz	35 x 35mm BGA
TILE-Gx16	16	1 XAUI, 12 SGMII	-	Three 4-lane	2x @ 1333	1, 1.25GHz	35 x 35mm BGA

典型CPU

6.6 CPU实例

- 决定**CPU**整体性能的关键已经不仅仅是主频、缓存技术，而是核心架构
- **CISC、RISC**
- 硬布线控制与微码控制的结合 →
允许**CPU**以高速执行简单的、使用频度高的指令，
并产生低的、非常具有竞争力的**CPI**

👉 Intel Core 2处理器

👉 MIPS R10000处理器

👉 SUN T1~T3处理器

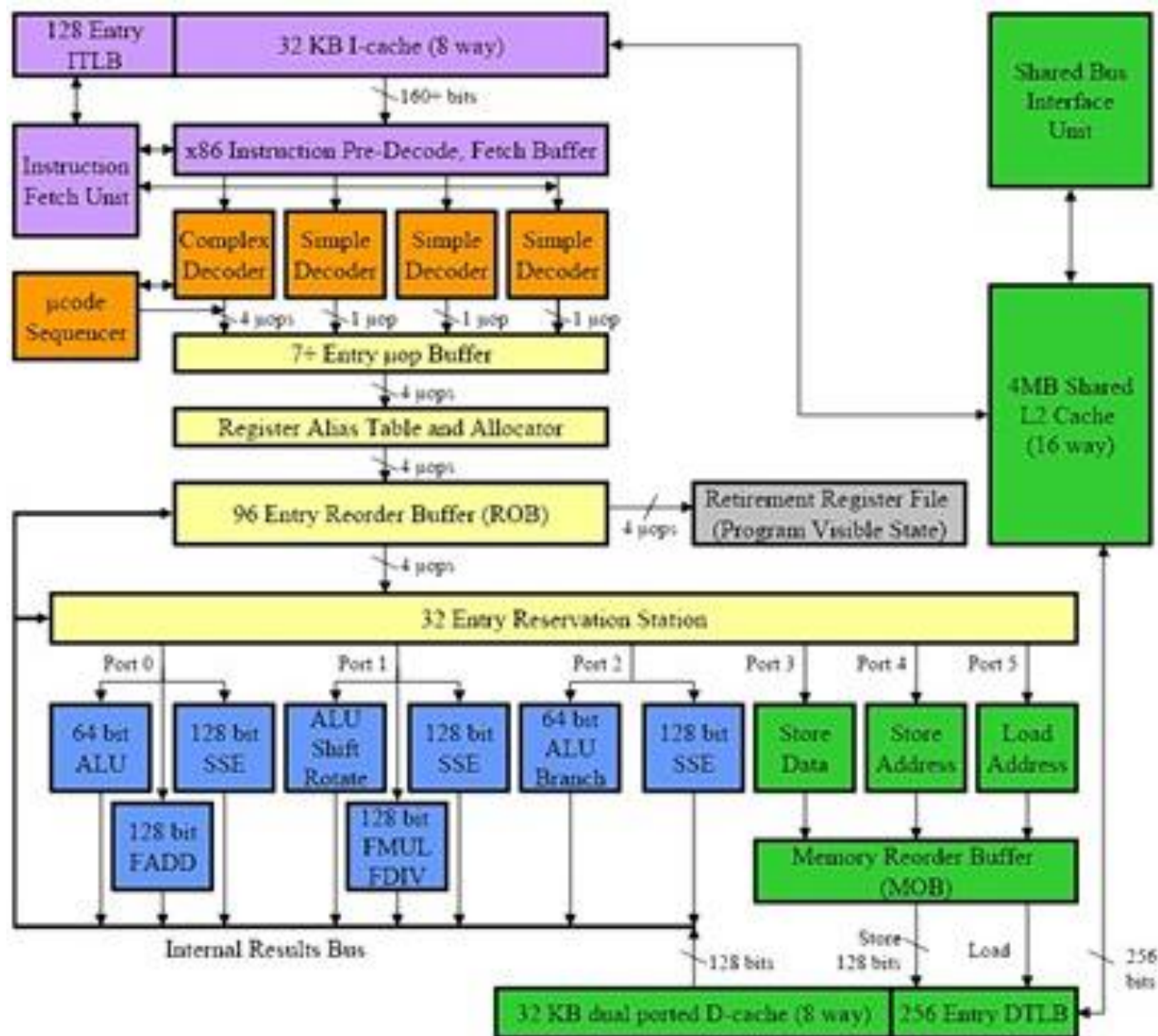
👉 龙芯处理器

👉 申威26010众核处理器

👉 华为鲲鹏处理器

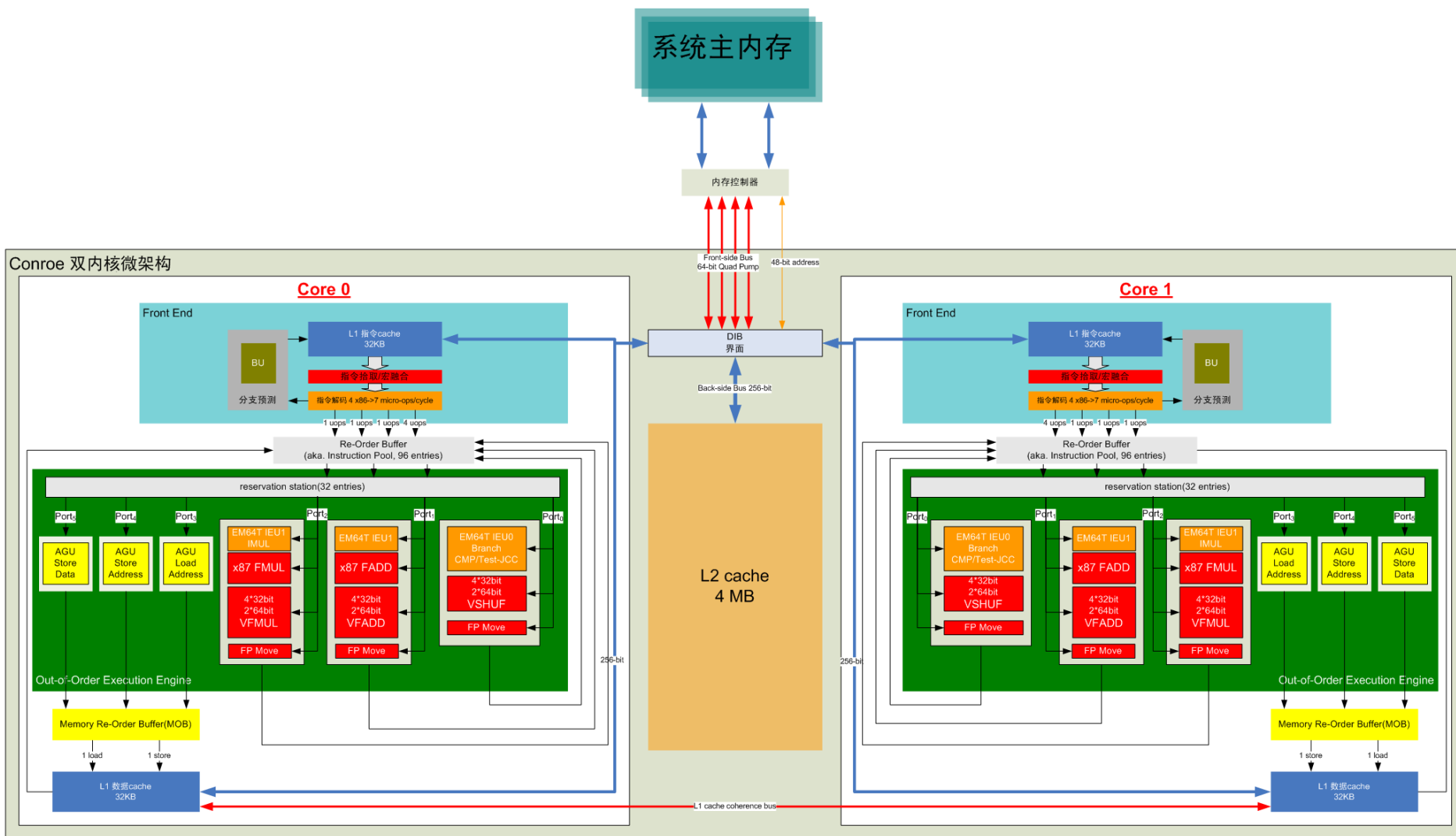
6.6.1 Intel Core 2 处理器

CISC外壳
RISC内核



Core 微架构

6.6.1 Intel Core 2 处理器



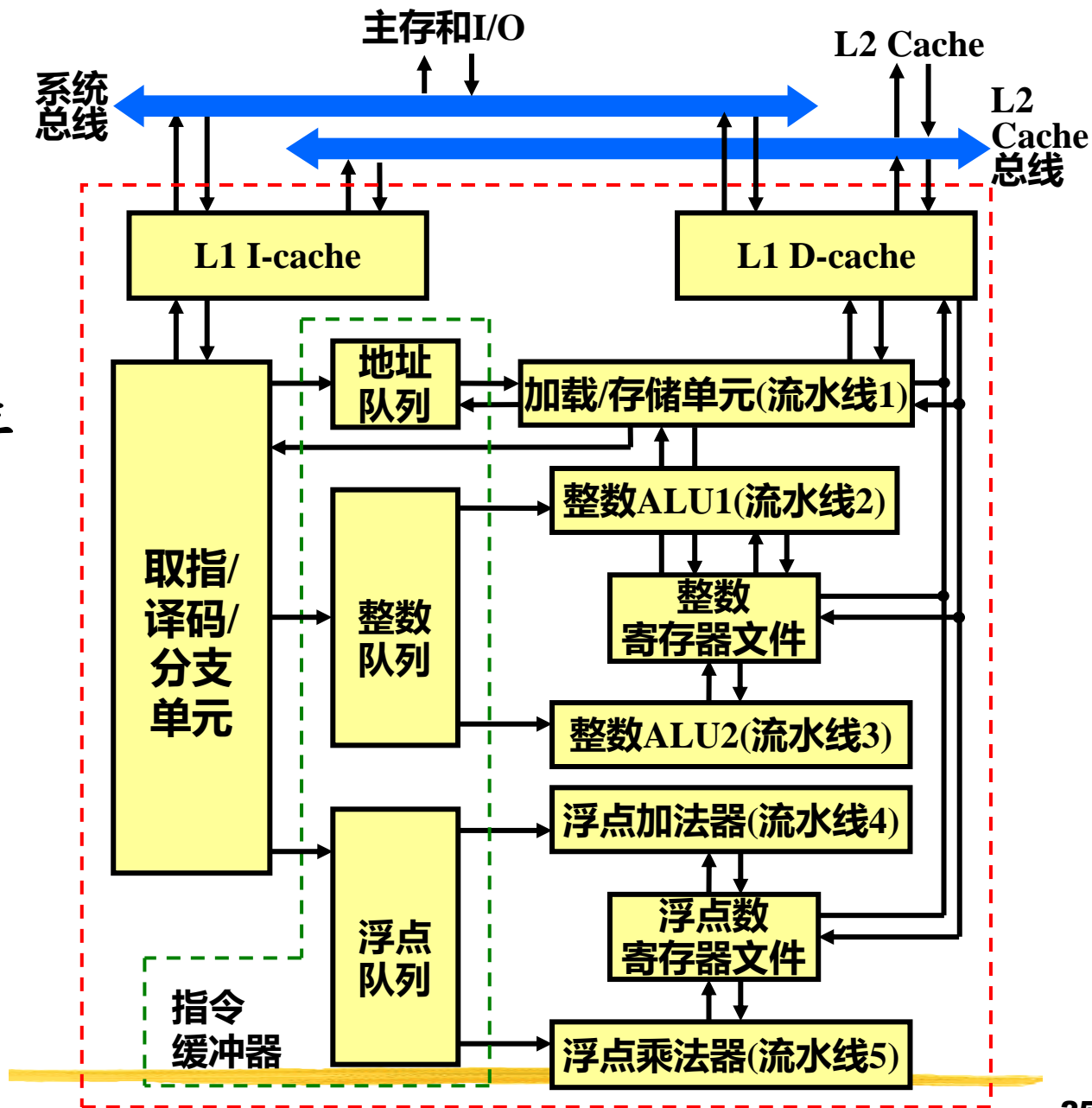
Core 2 双核处理器

6.6.2 MIPS R10000处理器

MIPS R10000:

- 64位MIPS-IV架构
- 向后兼容32位的R2/3000
- 多流水线

图6.25
MIPS R10000
微处理器组织结构



6.6.3 SUN T1~T3处理器

UltraSPARC T1处理器：

- 突破性的CoolThreads技术
- 在2平方英寸空间里实现32线程的运算
- 8个处理器内核，每核有四个线程
- 每个处理器内核由一套简单的六段单发射流水线(标准五段RISC流水线+线程交换段)构成

6.6.3 SUN T1~T3处理器

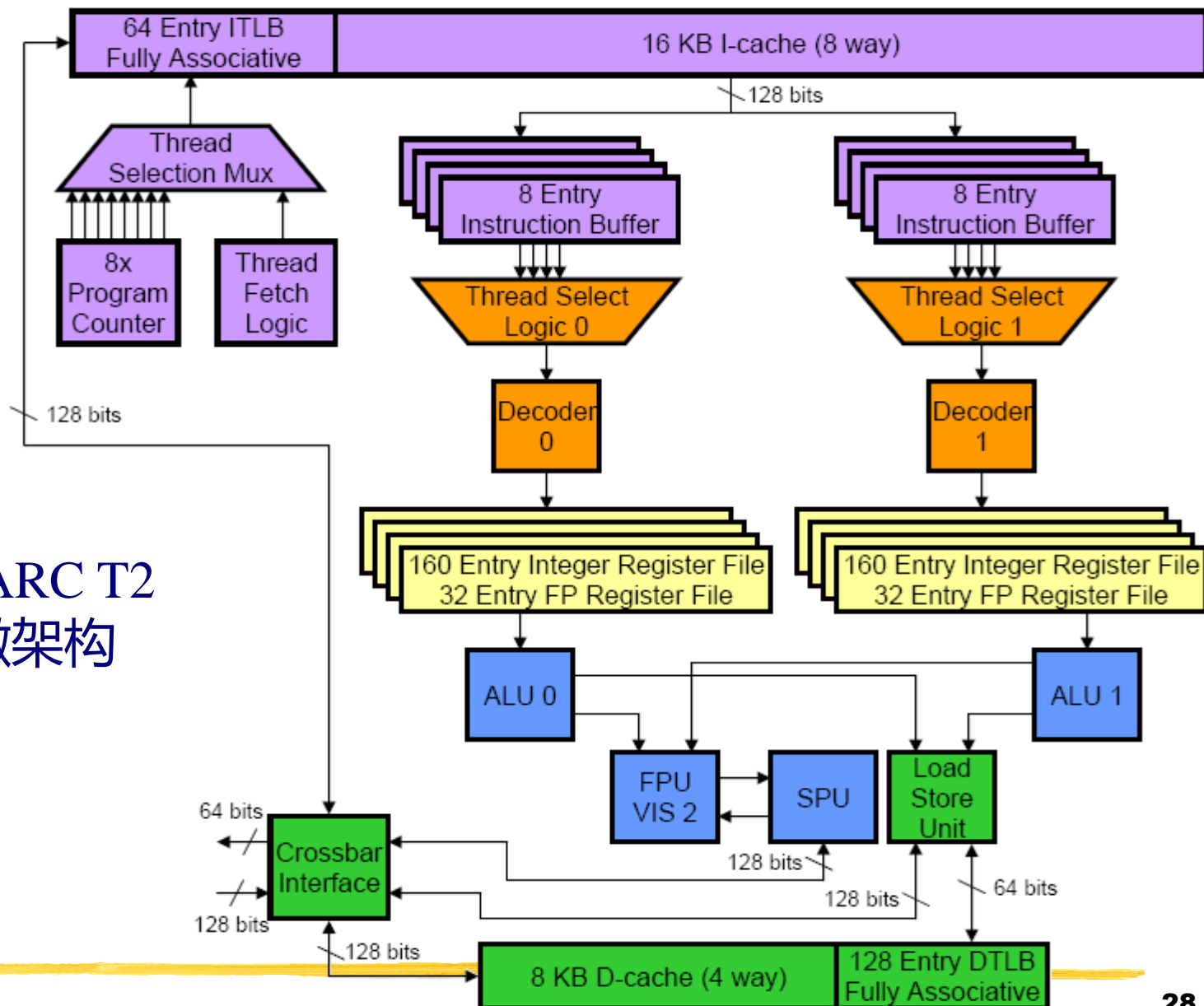
T1处理器的特征

特征	Sun T1
多处理器和多线程支持	每芯片8个内核，每内核4个线程。高级线程调度。8个内核共享浮点运算单元。支持片内多处理器。
流水线结构	简单的按序六段流水线，装载和转移操作的延迟为3个时钟周期。
一级Cache	16 KB指令，8 KB数据。64字节块大小。假设无竞争的情况下对二级Cache每23个时钟周期发生一次失效。
二级Cache	4个独立的二级Cache，每个750KB且和存储器组相连。64字节块大小。假设无竞争的情况下对存储器每110个时钟周期发生一次失效。
初始的实现	处理器大小90 nm；最大时钟频率1.2 GHz；电源功率79 W；300 M个晶体管，面积大小379 mm ² 。

6.6.3 SUN T1~T3处理器

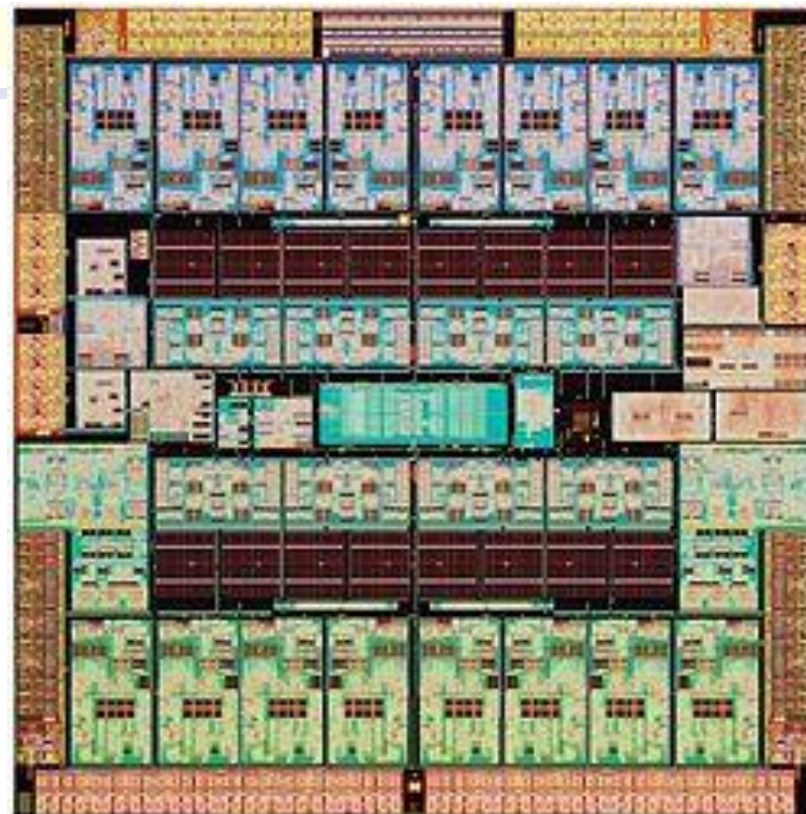
Niagara II Core Microarchitecture

UltraSPARC T2
内核微架构



Niagara-3 (T3)

- **SPARC T3**微处理器，以前称为UltraSPARC T3，代号*Rainbow Falls*，在开发期间也被称为UltraSPARC KT或*Niagara-3*。
- **SPARC T3**是一个多线程、多核CPU，由甲骨文公司(以前是Sun微系统公司)生产。
- **SPARC T3**在2010年9月20日正式推出，是SPARC家族的一员，UltraSPARC T2的继承者。



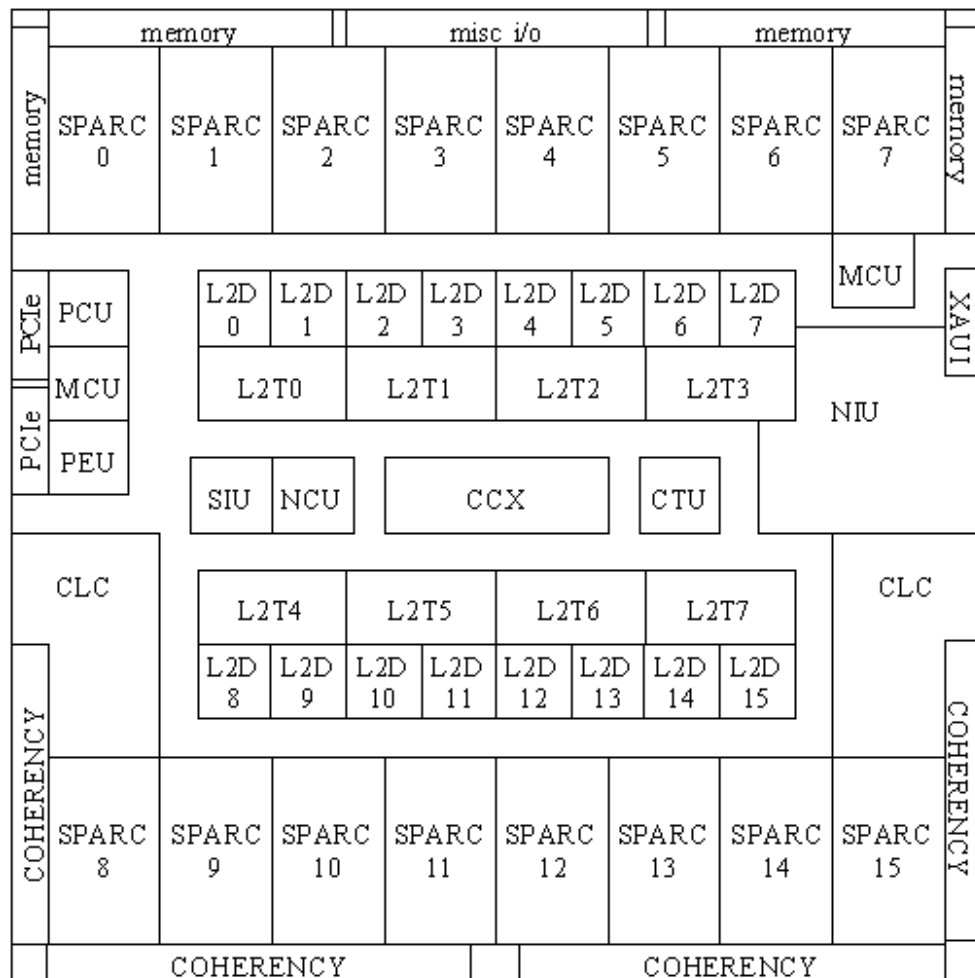
SPARC T3 micrograph

Produced	2010
Marketed by	Oracle Corporation
Designed by	Sun Microsystems
Max. CPU clock rate	1.67 GHz
Instruction set	SPARC V9
Cores	16

Niagara-3 (T3)

特性

- 16个CPU核
- 每核8个硬件线程
- 6 MB的2级cache
- 2个内嵌的一致性控制器
- 6个一致性链接
- 每个coherence link有14个单向路径
- 不带胶合电路(glue circuitry)的4个插座(socket)支持 SMP
- 4个DDR3 SDRAM主存通道
- 内嵌的PCI Express I/O接口
- 16个内嵌的加密加速引擎 (Crypto Acceleration Engine)
- 2个内嵌的1GigE/10GigE接口
- 每个socket有2.4Tb/s的总吞吐量



Niagra 3 / UltraSPARC T3 / OpenSPARC T3 - Die Micrograph Diagram (davidhalko)



6.6.4 龙芯系列处理器

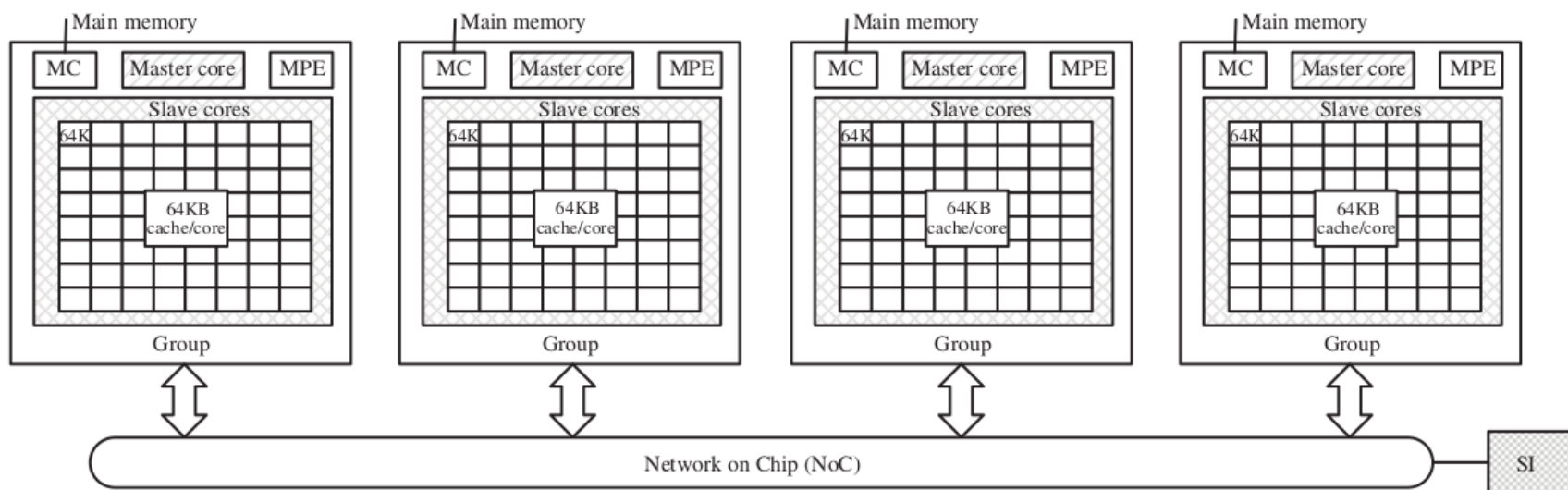
- ▶ “龙芯”是我国最早研制的高性能通用处理器系列，于2001年在中科院计算所开始研发，得到了中科院、863、973、核高基等项目大力支持，完成了十年的核心技术积累。2010年，中国科学院和北京市政府共同牵头出资，龙芯中科技术有限公司正式成立，开始市场化运作，旨在将龙芯处理器的研发成果产业化。
- ▶ 我国同时具有指令集自主扩展与微结构自主权的CPU。龙芯于2008年购买了MIPS精简指令集的永久授权，并自主扩展为指令集loongISA。同时，龙芯在微结构与编译器上都坚持走自主研发之路，自2001年以来，共研发GS464V、GS464E等6个微结构，并自主研发LCC编译器来对微结构优化。龙芯2015年8月发布的GS464E，整数运算性能方面基本追平了AMD最好的微结构，浮点运算性能方面接近Intel在2013年发布的Ivy。龙芯证明了我国研发实力。
- ▶ 龙芯3号系列为64位多核(4核)系列处理器，面向桌面和服务器等领域。
- ▶ 龙芯2号系列为64位低功耗单核系列处理器，面向工控和终端等领域。
- ▶ 龙芯1号系列为32位低功耗、低成本处理器，面向低端嵌入式和专用应用领域。

6.6.5 申威26010众核处理器

- 由总参谋部第五十六研究所(无锡江南计算技术研究所)自主设计。
- 申威系列芯片属于Alpha芯片阵营,采购了Alpha芯片精简指令集专利,在此基础上扩展自定义指令集,并拥有自主微结构。由于微结构自主研发,因此申威系列芯片具有真正底层意义上的自主可控(杜绝后门)。
- 由于申威芯片之上的外围产业链生态十分薄弱,申威在民用PC与服务器领域并未发力,而是主攻军方背景的自主可控计算机、服务器、超级计算机。
- SW26010众核处理器于2014年研制成功,性能上逼近国际主流芯片。SW26010为一款集成4个管理核心和256个运算核心(每四个核心一组)的高性能众核CPU,其峰值性能达到双精度浮点运算3TFlops/chip,与Intel15年发布的knight'slanding(3TFlops/chip)众核CPU处于同一量级。
- 申威众核处理器采用片上融合异构众核架构,作为国际首款万亿次异构众核处理器,单芯片集成260个核心,峰值性能和能效比等主要指标国际领先,标志着我国自主设计的处理器在高性能计算领域取得重大突破。

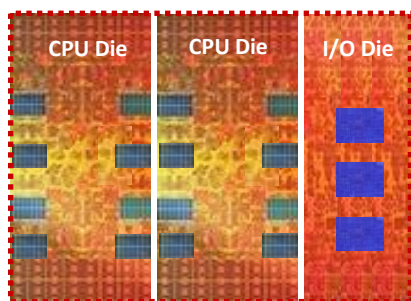
6.6.5 申威26010众核处理器

- SW26010采用的是64位RISC架构，主频1.45GHz，搭配32GB主存。
- 每片SW26010处理器包含4个组（Group），4个组通过片上网络互联，并通过PCI-E 3.0对外连接。每个组可以独立工作，拥有独立的128位DDR3控制器连接到8GB DDR3-2133主存，4个组一共拥有32GB的DDR3主存。单个组的主存带宽达到34GB/s，整个处理器达到136GB/s。这种设计最大的好处就是每个组的带宽是完全独享的，缺点是空闲组的带宽无法共享给其他组。
- 每个组包含一个主处理器（MPE，主核）和一个8*8的计算单元阵列（CPEs，从核），主处理器是一个64位的RISC架构核心，用来跑操作系统，并且支持264位的矢量指令集，拥有32KB的L1指令缓存和32KB的L1数据缓存（总共64KB L1 cache）以及256KB L2 Cache。4个组的主处理器加起来一共有256KB L1 cache和1MB L2 cache。
- 计算单元阵列（CPEs）是一个由64个简化的62bit处理器（不是常见的64bit）组成，每个处理器只有16KB的L1指令缓存和64KB本地存储器，没有L1数据缓存，并且和主处理器一样支持264位的矢量指令集。单片处理器一共拥有256个这样的计算单元。
- 4个主核加上256个从核，单片处理器一共拥有260个处理器核心。



6.6.6 鲲鹏处理器--鲲鹏简介

鲲鹏是SoC



制程工艺领先：业界领先7nm制程，多Die合封的Chiplet架构

自研多核内核：自研CPU内核算力提升50%，自研片间互联，支持多路互联

率先支持下一代网络和接口：支持8通道内存控制器和100GE端口

鲲鹏是计算平台

处理器->单机->集群，鲲鹏开放硬件平台

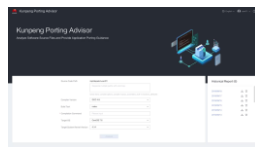


鲲鹏开放主板



鲲鹏服务器

完备的软件工具链，发挥鲲鹏最佳性能



分析扫描工具
代码迁移工具



性能优化工具
加速库

鲲鹏是生态应用

使能合作伙伴

- 应用
- 中间件
- 数据库
- 操作系统
- 服务器/PC

使能行业应用

- 大数据
- 分布式存储
- 高性能计算
- 原生应用
- 云服务

6.6.6 鲲鹏处理器--鲲鹏处理器



鲲鹏916

支持多路互联的ARM处理器

- 32核，2.4 GHz主频
- SPECint性能匹配业界中端，功耗低至75 W
- 支持4通道DDR4控制器
- 支持PCIe 3.0和SAS/SATA 3.0
- 集成板载GE/10 GE网络
- 支持2路互联



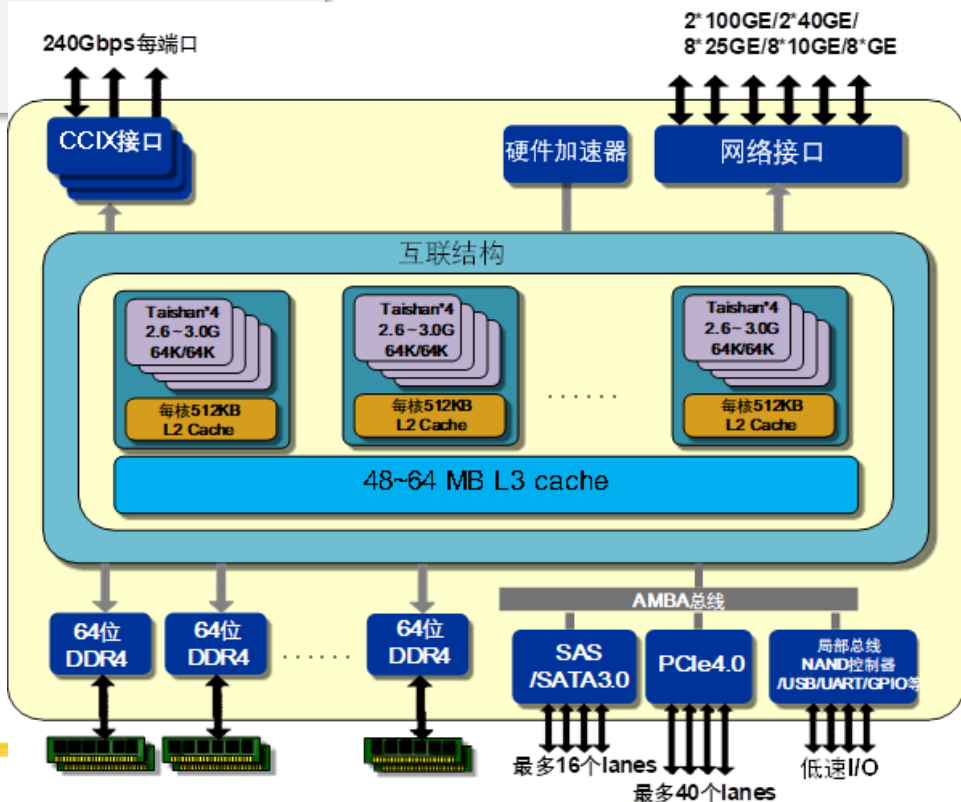
鲲鹏920

7nm制程，数据中心ARM处理器

- 计算核数提升1倍，最多64核
- SPECint性能提升超过2倍
- 内存通道数提升1倍，支持8通道DDR4控制器
- 支持PCIe 4.0和CCIX
- 集成板载100 GE网络和加密、压缩等引擎
- 支持2路或4路互联

6.6.6 鲲鹏处理器--鲲鹏920系列芯片规格

- 集成最多64×自研核
指令集兼容ARMv8.2, 最高主频达3.0GHz
每核集成64KB L1 I/D 缓存
每核独享 512KB L2 缓存, 单芯片共享48-64MB L3缓存
- 8×DDR4控制器@2933MT/s
- 集成PCIe/SAS接口
支持PCIe 4.0, 向下兼容PCIe 3.0/2.0/1.0
支持x16,x8,x4,x2,x1 PCIe 4.0, 集成20 PCIe控制器
支持16×SAS/SATA 3.0控制器
- 支持CCIX接口, 支持加速器的缓存一致性
- 支持2×100G RoCE v2, 支持25GE/50GE/100GE标准NIC
- 支持2P/4P扩展
- 封装大小: 60mm×75mm



6.6.6 鲲鹏处理器--基于ARMv8的微架构

