

西 安 电 子 科 技 大 学

考试时间 120 分钟

试 题

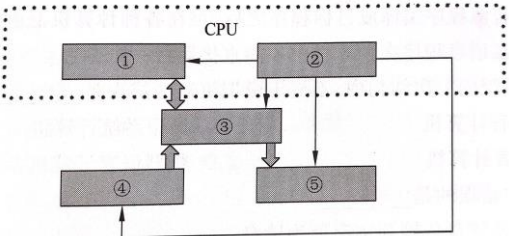
题号	一	二	总分
分数			

1. 考试形式：闭卷 ☒ 开卷 ☐
2. 考试日期： 年 月 日 (答题内容请写在装订线外)

1. 选择题（每小题 2 分，共 60 分）

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
B	B	C	C	B	B	C	A	C	D	A	B	C	A	A
16	17	18	19	20	21	22	23	24	25	26	27	28	29	30
D	D	D	C	B	D	C	A	B	D	D	D	D	B	D

1. 图中计算机硬件系统基本组成部件①、②、③、④和⑤的名称是（ B ）。



- A. ①控制器、②运算器、③存储器、④输入设备、⑤输出设备
B. ①运算器、②控制器、③存储器、④输入设备、⑤输出设备
C. ①运算器、②存储器、③控制器、④输入设备、⑤输出设备
D. ①运算器、②控制器、③存储器、④输出设备、⑤输入设备
2. 按照计算机系统的层次结构，下列 5 个级别的机器由下到上的顺序是（ B ）。
- I. 机器语言机器 II. 汇编语言机器 III. 高级语言机器
IV. 微程序控制机器 V. 操作系统机器
- A. I→II→III→IV→V
B. IV→I→V→II→III
C. III→II→V→I→IV
D. V→IV→III→II→I

3. 某计算机的时钟频率为 400MHz，测试该计算机的程序使用 4 种类型的指令。每种指令的数量及所需指令时钟数（CPI）如表 1 所示，则该计算机的运算速度是

(C) MIPS。

A.106.7

B. 169.5

C. 207.3

D. 216.2

表 1 每种指令的数量及所需指令时钟数

指令类型	指令数目 / 条	每条指令需时钟周期数
1	160 000	1
2	30 000	2
3	24 000	4
4	16 000	8

4. 系统总线中地址线的作用是 (C)
- A. 用于选择主存单元地址
B. 用于选择进行信息传输的设备
C. 用于指定主存单元和 I/O 设备接口电路的地址
D. 用于传送主存物理地址和逻辑地址
5. 在 32 位总线系统中, 若时钟频率为 500MHz, 传送一个 32 位字需要 5 个时钟周期, 则该总线系统的数据传输率是(B)。
- A. 200MB/s B. 400MB/s C. 600MB/s D. 800MB/s
6. 在某计算机系统中, 若各个主设备得到总线使用权的机会基本相等, 则该系统采用的总线仲裁方式可能是 (B)
- I.链式查询方式 II.计数器查询方式 III.独立请求方式
- A.只能 I, 其余都不可能 B. II 和 III 都有可能, I 不可能
C.只能 II, 其余都不可能 D. I、II、III 都有可能
7. 传输一幅分辨率为 640×480 、6.5 万色的照片 (图像), 假设数据传输速度为 56kb/s, 需要的时间大约是 (C)。
- A. 34.82s B. 42.86s C. 85.71s D. 87.77s
8. 若磁盘的转速提高一倍, 则 (A)。
- A. 平均等待时间减半 B. 存储密度提高一倍
C. 平均寻道时间减半 D. 磁盘访问速度提高一倍
9. 将外部设备与主存统一编址, 一般是指 (C)。
- A.每台设备占一个地址码 B.每个外设接口占一个地址码
C.接口中的有关寄存器各占一个地址码 D.每台外设由一个主存单元管理
10. 某磁盘的转速为 7200r/min, 传输速度为 4MB/s, 控制器开销为 1ms。要保证读或写一个 512B 的扇区的平均时间为 11.3ms。该磁盘的平均寻道时间不超过 (D)。
- A. 3.9ms B.4.7ms C.5.5ms D.6.1ms
11. 在中断周期, CPU 完成的主要工作是(A)。
- A.关中断, 保护断点, 发中断响应信号并形成中断服务程序入口地址
B.开中断, 保护断点, 发中断响应信号并形成中断服务程序入口地址
C.关中断, 执行中断服务程序
D.开中断, 执行中断服务程序

12. 在 CPU 响应中断时,要保护的两个关键的硬件状态是 (B)。
A.PC 和 IR B. PC 和 PSW C.AR 和 IR D.AR 和 PSW
13. 以下关于程序中断方式和 DMA 方式的叙述中错误的是 (C)。
I.若同时接到 DMA 请求和中断请求,CPU 优先响应 DMA 请求
II.程序中断需要保护现场,DMA 方式不需要保护现场
III.程序中断方式的中断请求是为了报告 CPU 数据的传输结束,而 DMA 方式的中断请求完全是为了传送数据
IV.相较于 DMA 方式,快速 I/O 设备更适合采用中断方式传递数据
A. II、IV B. II、III、IV C. III、IV D. I、II、IV
14. 某计算机字长 16 位,主存地址空间大小是 64KB,按字节编址,则寻址范围是(A)。
A.0~(64K-1) B.0~(32K-1) C.0~(64KB-1) D.0~(32KB-1)
15. 下面有关半导体存储器的叙述中,错误的是 (A)。
A. 半导体存储器都采用随机存取方式进行读写
B. ROM 芯片属于半导体随机存储器芯片
C. SRAM 是半导体静态随机访问存储器,可用作 cache
D. DRAM 是半导体动态随机访问存储器,可用作主存
16. 在关于主存与 Cache 的地址映射方式中, (D)是正确的。
A. 全相联映射方式适用于大容量 Cache
B. 直接映射是一对一的映射关系,组相联映射是多对一的映射关系
C. 在 Cache 容量相等条件下,直接映射方式的命中率比组相联映射方式有更高的命中率
D. 在 Cache 容量相等条件下,组相联映射比直接映射方式有更高的命中率
17. 内存按字节编址,地址从 90000H 到 CFFFFH,若用存储容量为 16K×8 位芯片构成该内存,至少需要的芯片数是(D)。
A. 2 B. 4 C. 8 D. 16
18. 某计算机使用 4 体交叉编址存储器,假定在存储器总线上出现的主存地址(十进制)序列为 8005、8006、8007、8008、8001、8002、8003、8004、8000,则可能发生访存冲突的地址对是 (D)。
A.8004 和 8008 B.8002 和 8007 C.8001 和 8008 D.8000 和 8004
19. 有如下 C 语言程序段
for(k=0;k<1000;k++)
 a[k]=a[k]+32;
若数组 a 及变量 k 均为 int 型,int 型数据占 4B,数据 Cache 采用直接映射方式,数据区大小为 1KB,块大小为 16B,该程序段执行前 Cache 为空,则该程序段执行过程中访问数组 a 的 Cache 缺失率约为 (C)。
A.1.25% B.2.5% C.12.5% D.25%
20. 若数据在存储器中采用以低字节地址为字地址的存放方式,则十六进制数 12345678H

的存储字节顺序按地址由小到大依次为 (B)。

A.12345678 B.78563412 C.87654321 D.34127856

21. 下面关于主存储器性能的说法中不正确的是 (D)。
- A. 主存储器的性能指标主要有主存容量、存储器存取时间和存取周期
 - B. 指令中地址码的位数决定了主存储器可以直接寻址的空间
 - C. 存储器存取时间是指从启动一次存储器操作到完成该操作所经历的时间
 - D. 存取周期是指连续启动两次独立的存储器操作所需间隔的最小时间, 通常存取周期小于存取时间
22. 某 SRAM 芯片容量为 1024×8 位, 除电源和接地端外, 该芯片最少引出线数为 (C)。
- A.16 B.18 C.20 D.21
23. 地址总线 A0 (高位) ~ A15 (低位), 用 $4K \times 4$ 位的存储芯片组成 16KB 存储器, 则产生选片信号的译码器的输入地址线应该是 (A)。
- A. A₂A₃ B. A₀A₁ C. A₁₂A₁₃ D. A₁₄A₁₅
24. 已知 Cache 命中率 $H=0.98$, 主存的读写速度是 Cache 的 $1/4$, 主存的存取周期为 200ns, 假设 Cache 访问和主存访问是同时启动的, 则 Cache-主存的效率是 (B)。
- A.0.92 B.0.94 C.0.96 D.0.98
25. 下列关于 Cache 写策略的论述中错误的是 (D)。
- A. 直写法充分保证了 Cache 与主存的一致性
 - B. 采用直写法时, 不需要为 Cache 行设置脏位 / 修改位
 - C. 写回法减少了 Cache 与主存之间的通信量
 - D. 多处理器系统通常采用写回法
26. 下列机器数中, 真值最大的是 (D)。
- A. $[X]_{\text{补}}=1000\ 0011$ B. $[X]_{\text{原}}=1000\ 0011$ C. $[X]_{\text{反}}=1000\ 0011$ D. $[X]_{\text{移}}=1000\ 0011$
27. 计算机内部的定点数大多用补码表示。以下是一些关于补码特点的叙述, 其中正确的是 (D)。
- I. 0 的表示是唯一的
 - II. 符号位可以和数值部分一起参与运算
 - III. 与其真值的对应关系简单、直观
 - IV. 减法可用加法来实现
- A. I 和 II B. I 和 III C. I、II、III D. I、II、IV
28. 考虑以下 C 语言程序:
- ```
short si=-8196;
unsigned short usi=si;
```
- 执行上述程序段后, usi 的值是 ( D )。
- A.8196      B. 34 572      C.57 339      D.57 340
29. 假定采用 IEEE 754 单精度浮点数格式表示一个数为 45100000H, 则该数的值是 ( B )。
- A.  $(+1.125)_{10} \times 2^{10}$       B.  $(+1.125)_{10} \times 2^{11}$       C.  $(+0.125)_{10} \times 2^{11}$       D.  $(+0.125)_{10} \times 2^{10}$

30. 若浮点数尾数用补码表示, 则下列数中为规格化尾数形式的是 ( D )。

A. 1.1100000      B. 0.0111000      C. 0.0101000      D. 1.0001000

## 二、分析计算 (共 40 分)

1. (6 分) 假设某个频繁使用的程序 P 在计算机 M1 上运行时间需要 10s, M1 的时钟频率为 2GHz。设计人员想开发一台与 M1 具有相同指令系统架构的新计算机 M2。采用新技术可使 M2 的时钟频率增加, 但同时也会使 CPI 增加。假定程序 P 在 M2 上的时钟周期数是在 M1 上的 1.5 倍, 则 M2 的时钟频率至少达到多少, 才能使程序 P 在 M2 上的运行时间缩短为 6s?

程序 P 在计算机 M1 上运行的时钟周期数为

$$\text{CPU 执行时间} \times \text{时钟频率} = 10\text{s} \times 2\text{GHz} = 2 \times 10^{10}$$

因此, 程序 P 在计算机 M2 上运行的时钟周期数为  $1.5 \times 2 \times 10^{10} = 3 \times 10^{10}$ 。

要使程序 P 在 M2 上的运行时间缩短为 6s, 则 M2 的时钟频率至少应为

$$\text{程序所含时钟周期数} \div \text{CPU 执行时间} = 3 \times 10^{10} \div 6\text{s} = 5\text{GHz}$$

由此可见, M2 的时钟频率是 M1 的 2.5 倍, 但 M2 的速度只是 M1 的 1.67 倍。

2. (10 分) 设浮点数字长 16 位, 其中阶码 4 位(含 1 位阶符), 尾数 12 位(含 1 位数符)。

(1) 将  $(51/128)_{10}$  转换成二进制规格化浮点数及机器数 (其中阶码采用移码, 基值为 2, 尾数采用补码) (6 分)

(2) 回答此浮点格式的规格化数表示范围。(4 分)

$$(51/128)_{10} = 0.0110011 = 2^{-1} \times 0.1100110$$

阶码采用移码、基值为 2、尾数采用补码的机器数为 0,111; 0.110011000000。按题目给定的浮点格式的规格化数表示范围是: 最大正数为  $2^7 \times (1-2^{-11})$ ; 最小正数为  $2^{-9}$ ; 最大负数为  $-2^{-8} \times (2^{-1}+2^{-11})$ ; 最小负数为  $-2^7$ 。

3. (12 分) 设某微机的寻址范围为 64K, 接有 8 片 8K 的存储芯片, 存储芯片的片选信号为  $\overline{CS}$ , 要求:

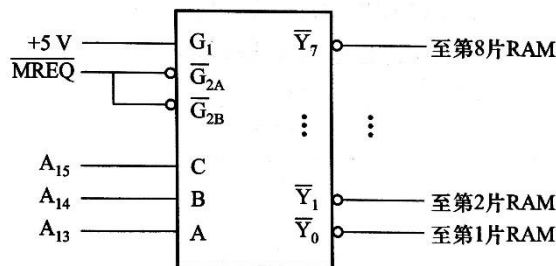
(1) 画出选片译码逻辑电路 (可选用 74138 译码器)。(3 分)

(2) 写出每片 RAM 的地址范围。(3 分)

(3) 如果运行时发现只有以 0000H 为起始地址的一片存储芯片不能读写, 分析故障原因, 如何解决? (3 分)

(4) 如果发现只能对第 1-4 片 RAM 进行读写, 试分析故障原因。(3 分)

(1) 8 片 8K 存储芯片的选片逻辑电路如图所示。 $\overline{Y}_i$  ( $i=0\sim7$ ) 分别为每片 RAM 的片选信号。



(2) 8 片 RAM 的寻址范围分别是：0000H~1FFFH；2000H~3FFFH；4000H~5FFFH；6000H~7FFFH；8000H~9FFFH；A000H~BFFFH；C000H~DFFFH；E000H~FFFFH。

(3) 说明 74138 译码器的  $\overline{Y}_0$  输出始终为高。因 RAM 的片选信号是低电平有效，故用  $\overline{Y}_0$  作为片选信号的存储芯片（对应 0000H~3FFFH 地址范围）不能读写，而其他存储芯片可以读写。解决方法可以换一片 74138 译码器。

(4) 说明译码器 C 端始终为低，可检查一下  $A_{15}$  是否搭接到低电平上。

4. （12 分）假设主存容量为 512K×16 位，Cache 容量为 4K×16 位，块长为 4 个 16 位的字，访存地址为字地址。

(1) 在直接映射方式下，设计主存的地址格式。（3 分）

(2) 在全相联映射方式下，设计主存的地址格式。（3 分）

(3) 在 2 路组相联映射方式下，设计主存的地址格式。（3 分）

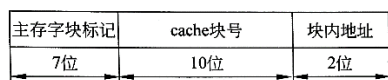
(4) 若主存容量为 512K×32 位，块长不变，在 4 路组相联映射方式下，设计主存的地址格式。（3 分）

根据 Cache 容量为 4096 字，得 Cache 地址为 12 位。根据块长为 4 个 16 位的字，且访存地址为字地址，可知块内地址为 2 位，且 Cache 共有 1024 块（4096÷4）。根据主存容量为 512K 字，主存地址为 19 位。在直接映射方式下主存字块标记为 7 位（19-12），主存地址格式如图（a）所示。

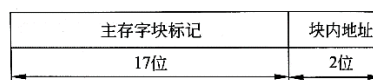
(2) 在全相联映射方式下，主存字块标记为 17 位（19-2），主存地址格式如图（b）所示。

(3) 根据 2 路组相联映射的条件，一组内有 2 块，Cache 共分 512 组，主存字块标记为 8 位，主存地址格式如图（c）所示。

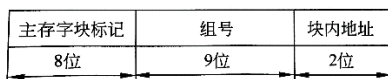
(4) 若主存容量改为 512K×32 位，即双字宽存储器，块长不变，访存仍为字地址，则主存容量可写为 1024K×16 位，得出主存地址为 20 位。在 4 路组相联映射方式下，Cache 共分为 256 组。主存字块标记为 10 位，主存地址格式如图（d）所示。



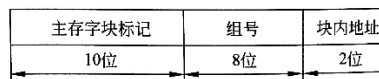
(a) 直接映射方式



(b) 全相联映射方式



(c) 2路组相联映射方式



(d) 主存容量改变后的4路组相联映射方式