

数字电路与逻辑设计

第四章 触发器

主讲：李雷达、毛莎莎

邮箱：ssmao@xidian.edu.cn

2024年春季

第四章 触发器

- 基本RS触发器
- 钟控触发器
- 主从触发器和边沿触发器
- 触发器的逻辑符号及时序图

第四章 触发器

- 基本RS触发器
- 钟控触发器
- 主从触发器和边沿触发器
- 触发器的逻辑符号及时序图

4.1 基本RS触发器

- 基本RS触发器的构成及工作原理
- 基本RS触发器的描述方法
- 基本RS触发器的应用举例

4.1 基本RS触发器

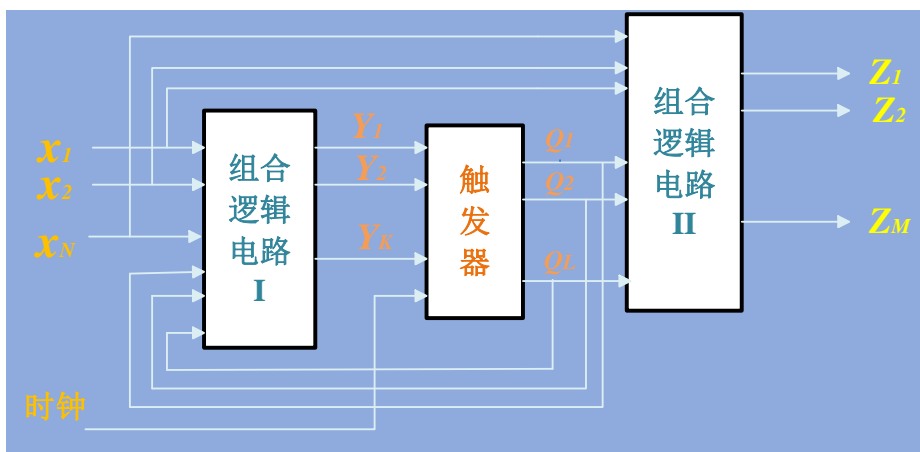
触发器概述：

组合电路：输出只与当前的输入有关。

时序电路：输出不仅与当前的输入有关，而且与过去的状态有关。

过去的状态是如何保存的？ 触发器

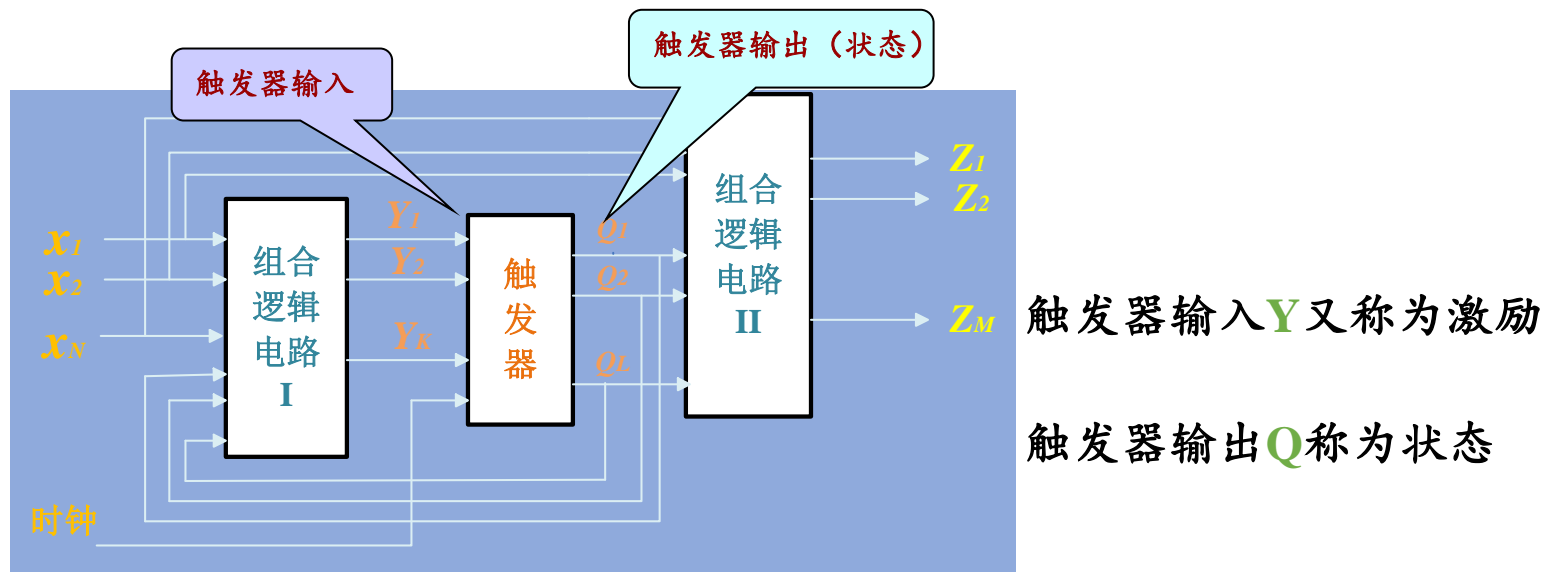
➤ 时序电路结构



触发器是时序电路的核心

➤ 触发器的定义

触发器（Flip-Flop）：具有**记忆**功能的**双稳**态电路。

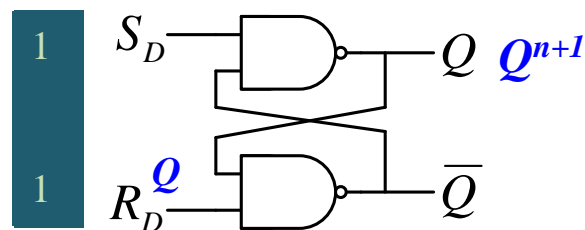


现态 (Q^n) — 表示触发器现在的状态;

注意: Q^n 常省略写成Q

次态 (Q^{n+1}) — 表示触发器的下一个状态;

4.1.1 基本RS触发器电路及工作原理



逻辑电路

R_D	S_D	Q^{n+1}	\overline{Q}^{n+1}	功能
0	0	1	1	不允许
0	1	0	1	清0 (Rset)
1	0	1	0	置1(set)
1	1	Q	\overline{Q}	保持(记忆)

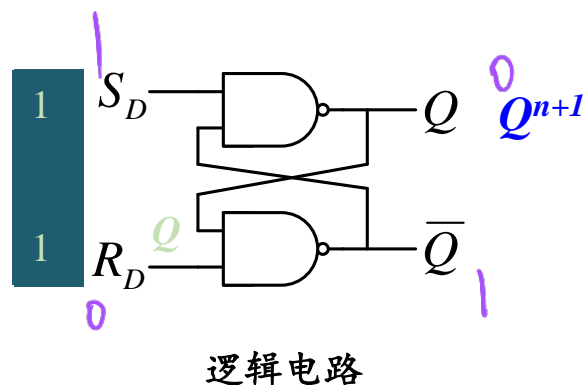
(1) 当 $R_D = 0$ 、 $S_D = 0$ 时,从电路上可以看出, $Q^{n+1} = \overline{Q}^{n+1} = 1$,而基本触发器的 Q 、 \overline{Q} 是两个互补的输出,现在两个输出相等,故这种输入情况对于基本 RS 触发器来讲是不允许出现的,通常称其为不允许状态;

(2) 当 $R_D = 0$ 、 $S_D = 1$ 时,由于 $R_D = 0$,无论触发器原来的状态是什么,都有 $\overline{Q}^{n+1} = 1$,故 $Q^{n+1} = 0$,即当 $R_D = 0$ 、 $S_D = 1$ 时触发器被置 0,称为复位状态;

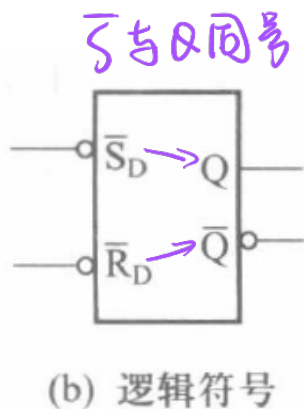
(3) 当 $R_D = 1$ 、 $S_D = 0$ 时,由于 $S_D = 0$,无论触发器原来的状态是什么,都有 $Q^{n+1} = 1$ 、 $\overline{Q}^{n+1} = 0$,即触发器被置 1,称为置位状态;

(4) 当 $R_D = 1$ 、 $S_D = 1$ 时,由于 RS 的输入为低电平有效,而现在两个输入皆为高电平,故 $Q^{n+1} = Q$ 、 $\overline{Q}^{n+1} = \overline{Q}$,其输出状态保持不变,称为保持状态。

4.1.1 基本RS触发器电路及工作原理

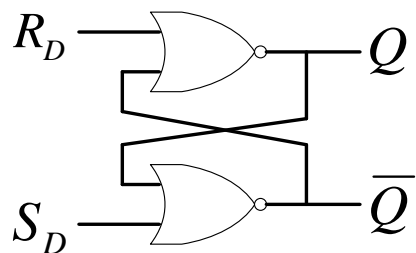


R_D	S_D	Q^{n+1}	\overline{Q}^{n+1}	功能
0	0	1	1	不允许
<u>0</u>	1	<u>0</u>	<u>1</u>	清0 (Rset)
1	<u>0</u>	<u>1</u>	0	置1(set)
1	1	Q	\overline{Q}	保持 (记忆)



R_D 和 S_D 为高电平时输出状态不发生变化，仅当其中一个为低电平时，输出才发生变化，称 R_D 、 S_D 为 **低电平有效**，在逻辑符号中用字符上加一横提示为 \bar{R}_D 、 \bar{S}_D ，并且在输入端加上小圆圈。

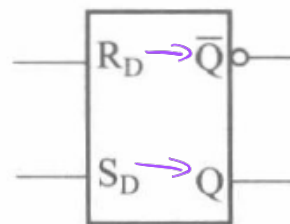
问题1： 用或非门构成的基本RS触发器如图所示。其真值表和逻辑符号如何表示？



逻辑电路

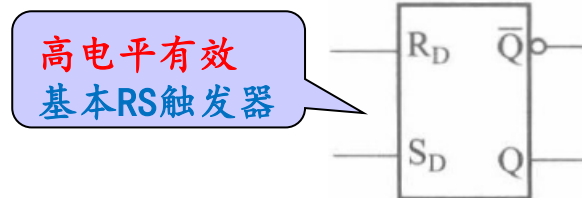
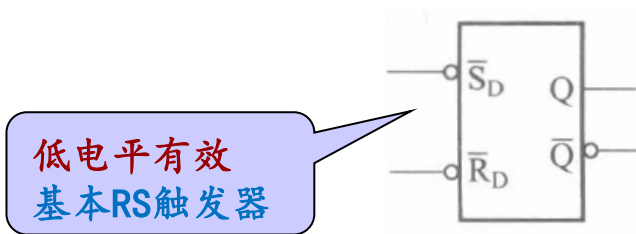
R_D	S_D	Q^{n+1}	\overline{Q}^{n+1}	功能
0	0	Q	\overline{Q}	保持 (记忆)
0	1	1	0	置1(set)
1	0	0	1	清0 (Rset)
1	1	0	0	不允许

R与Q同号



(b) 逻辑符号

问题2： 两个基本RS触发器逻辑符号如图所示。它们的区别是什么？



4.1.2 基本RS触发器的描述方法

☆ 状态转移真值表

☆ 特征方程

☆ 激励表

☆ 状态转移图

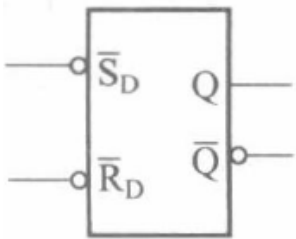
☆ 时序波形图

- ☆ 状态转移真值表
- ☆ 特征方程
- ☆ 激励表
- ☆ 状态转移图
- ☆ 时序波形图

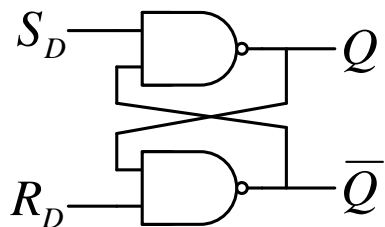
4.1.2 基本RS触发器的描述方法

一、状态转移真值表

低电平有效
基本RS逻辑符号



状态转移真值表：表示了触发器的**次态**与**现态**及**输入信息**之间的逻辑关系。



功能表

R_D	S_D	Q^{n+1}
0	0	X
0	1	0
1	0	1
1	1	Q

R_D	S_D	Q	Q^{n+1}
0	0	0	X
0	0	1	X
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1

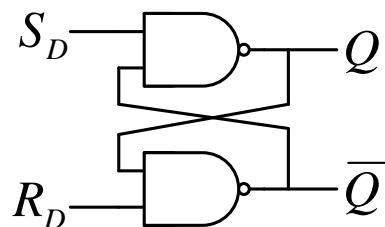
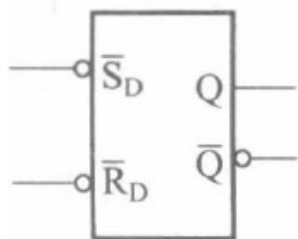
- ☆ 状态转移真值表
- ☆ 特征方程
- ☆ 激励表
- ☆ 状态转移图
- ☆ 时序波形图

4.1.2 基本RS触发器的描述方法

二、特征方程

特征方程：使用逻辑表达式来描述基本的逻辑功能。

低电平有效
基本RS逻辑符号



状态转移真值表

R_D	S_D	Q	Q^{n+1}
0	0	0	X
0	0	1	X
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1

Q^{n+1} 卡诺图

$R_D S_D$	00	01	11	10
0	X	0	0	1
1	X	0	1	1

$$\overline{R_D} \overline{S_D} = 0$$

特征方程

$$\begin{cases} Q^{n+1} = \overline{S_D} + R_D Q \\ R_D + S_D = 1 \end{cases}$$

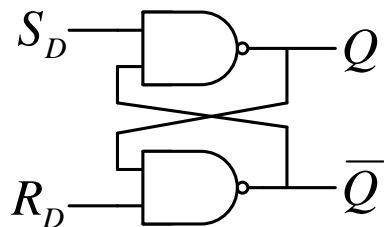
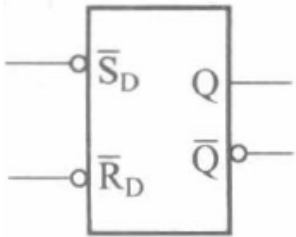
(约束条件)

- ☆ 状态转移真值表
- ☆ 特征方程
- ☆ 激励表
- ☆ 状态转移图
- ☆ 时序波形图

4.1.2 基本RS触发器的描述方法

三、激励表

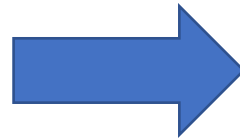
低电平有效
基本RS逻辑符号



激励表强调触发器由当前状态转移到确定的下一状态时对输入信号的要求。

状态转移真值表

R_D	S_D	Q	Q^{n+1}
0	0	0	X
0	0	1	X
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1



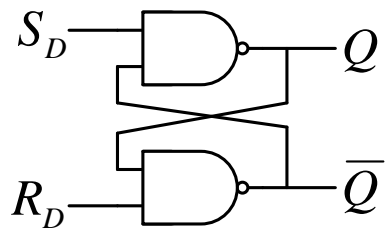
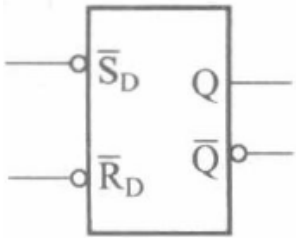
$Q \rightarrow Q^{n+1}$	R_D	S_D
0	0	×
0	1	1
1	0	0
1	1	×

- ☆ 状态转移真值表
- ☆ 特征方程
- ☆ 激励表
- ☆ 状态转移图
- ☆ 时序波形图

4.1.2 基本RS触发器的描述方法

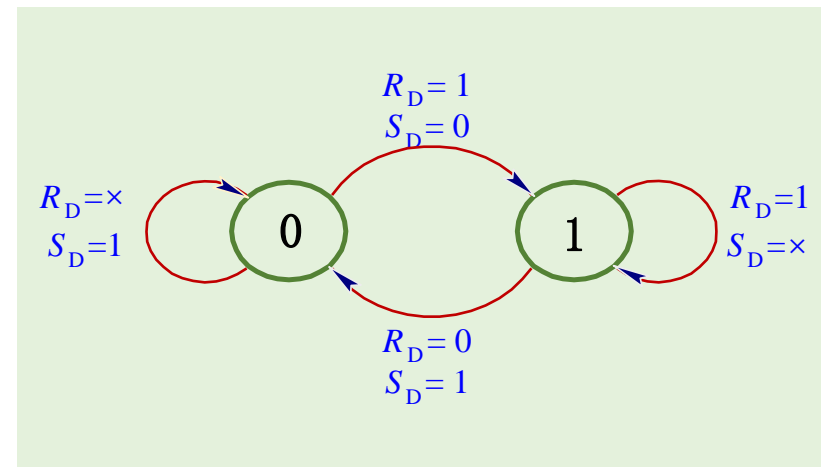
四、状态转移图

低电平有效
基本RS逻辑符号



激励表

$Q \rightarrow Q^{n+1}$		R_D	S_D
0	0	×	1
0	1	1	0
1	0	0	1
1	1	1	×



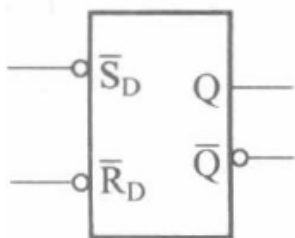
状态转移图是**使用图形的方式**来描述触发器的**状态转移规律**。

- ☆ 状态转移真值表
- ☆ 特征方程
- ☆ 激励表
- ☆ 状态转移图
- ☆ 时序波形图

4.1.2 基本RS触发器的描述方法

五、时序波形图

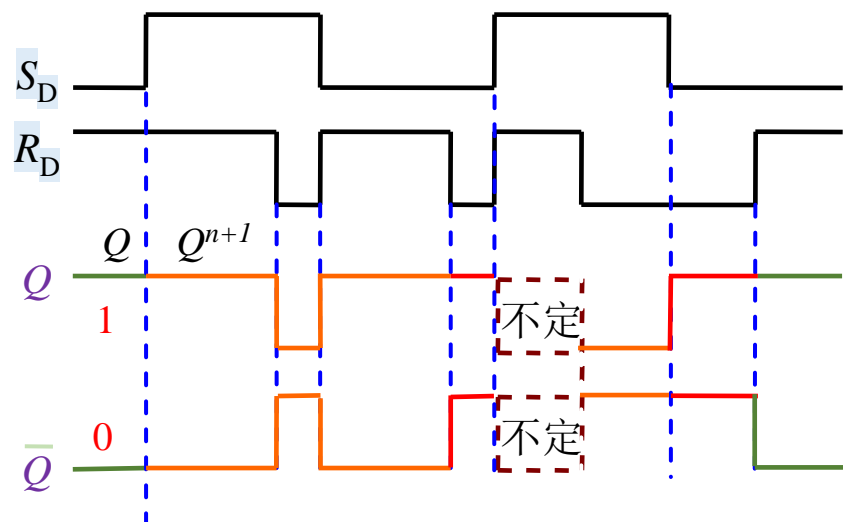
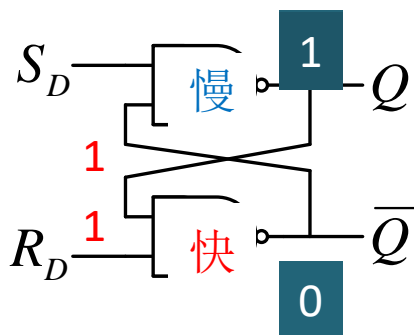
低电平有效
基本RS逻辑符号



状态转移真值表

R_D	S_D	Q	Q^{n+1}
0	0	0	X
0	0	1	X
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1

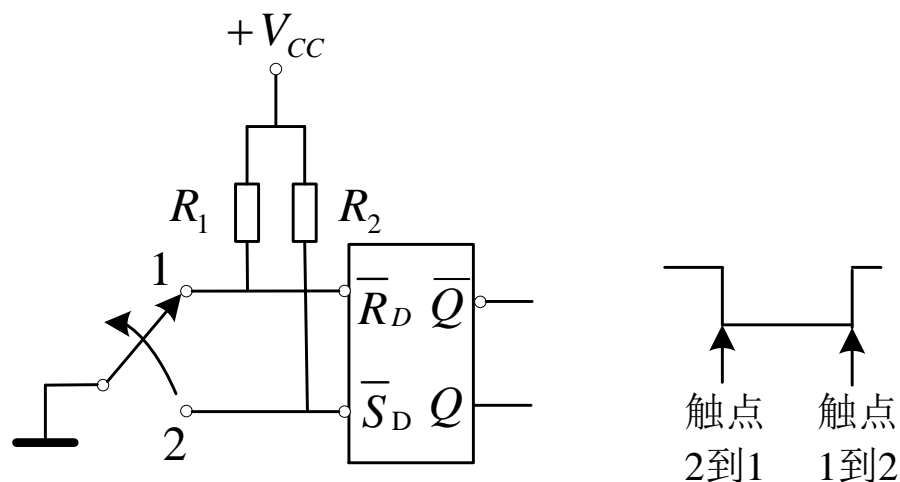
时序图是能够更全面、更明晰地反映触发器动作特点和变化规律的时间波形。



状态转移真值表、特征方程、激励表、状态图、时序图是描述时序电路的基本方法，之间可以项目转换。

4.1.3 基本RS触发器的应用举例

开关闭合输出低电平时，用基本RS触发器实现开关抖动消除功能。



功能表

R_D	S_D	Q^{n+1}
0	0	X
0	1	0
1	0	1
1	1	Q

图1 消除开关抖动电路

第四章 触发器

➤ 基本RS触发器

➤ 钟控触发器

➤ 主从触发器和边沿触发器

➤ 触发器的逻辑符号及时序图

4.2 钟控触发器

- 钟控RS触发器
- 钟控D触发器
- 钟控JK触发器
- 钟控T和T'触发器
- 钟控触发器存在的空翻现象

4.2 钟控触发器

在数字系统中，为了协调各部分的工作状态，常常需要多个触发器在同一时刻工作。

同步信号



但是基本RS触发器在输入信号控制下随时可改变输出状态！

使多个触发器只有在同步信号到达时才按输入信号改变状态。

4.2 钟控触发器

在数字系统中，为了协调各部分的工作状态，常常需要多个触发器在同一时刻工作。

同步信号



但是基本RS触发器在输入信号控制下随时可改变输出状态！

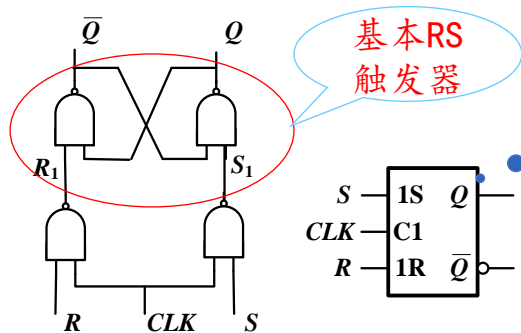
使多个触发器只有在同步信号到达时才按输入信号改变状态。

钟控触发器：

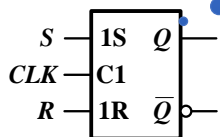
由同步信号控制的基本触发器称为钟控触发器，也称同步触发器。其中，同步信号也称时钟信号，用CLOCK表示，简写CLK。

4.2.1 常用钟控触发器

1. 钟控RS触发器



如何理解
逻辑符号?



功能表

R_D	S_D	Q^{n+1}
0	0	X
0	1	0
1	0	1
1	1	Q

基本RS触发器特征方程

$$\begin{cases} Q^{n+1} = \bar{S}_1 + R_1 Q \\ S_1 + R_1 = 1 \end{cases}$$

钟控RS触发器特征方程

当 $CLK=0$ 时, $R_1=1$ $S_1=1$, 触发器为保持状态

当 $CLK=1$ 时, $R_1 = \bar{R}$ $S_1 = \bar{S}$

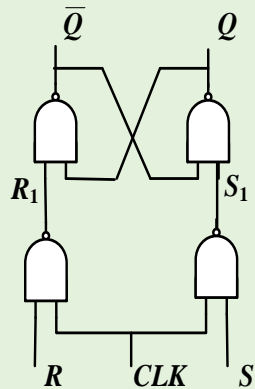
$$\begin{cases} Q^{n+1} = S + \bar{R}Q \\ SR=0 \end{cases}$$

为什么要引入钟控信号 CLK ?

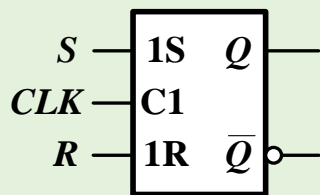
数字系统中, 为了协调各触发器的工作状态, 引入同步信号, 使这些触发器只有在同步信号到达时才按输入信号改变状态。同步信号也叫做时钟信号, 简写成 CLK 。

[返回](#)

钟控RS触发器



逻辑电路



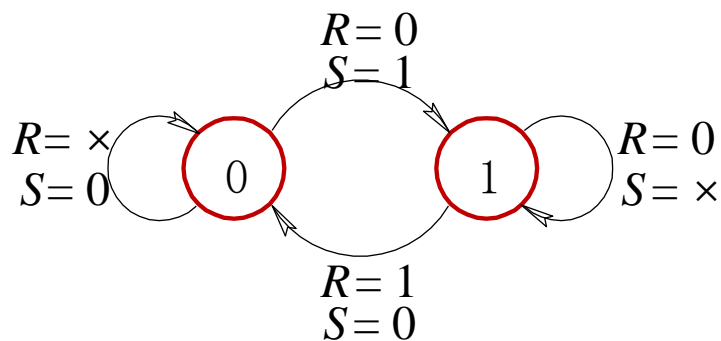
逻辑符号

状态表

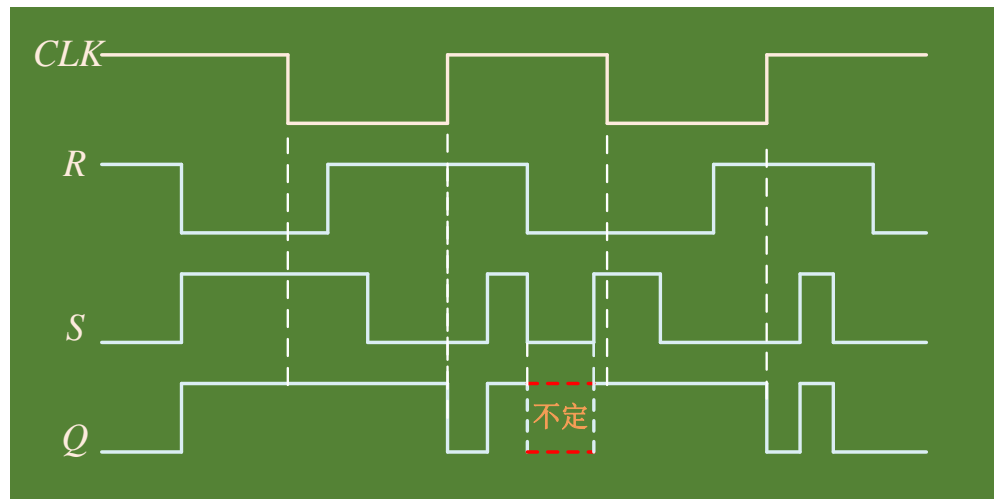
表 4-2-1 钟控 RS 触发器状态表

S	R	Q^{n+1}	说明
0	0	Q	保持
0	1	0	置 0
1	0	1	置 1
1	1	×	不允许

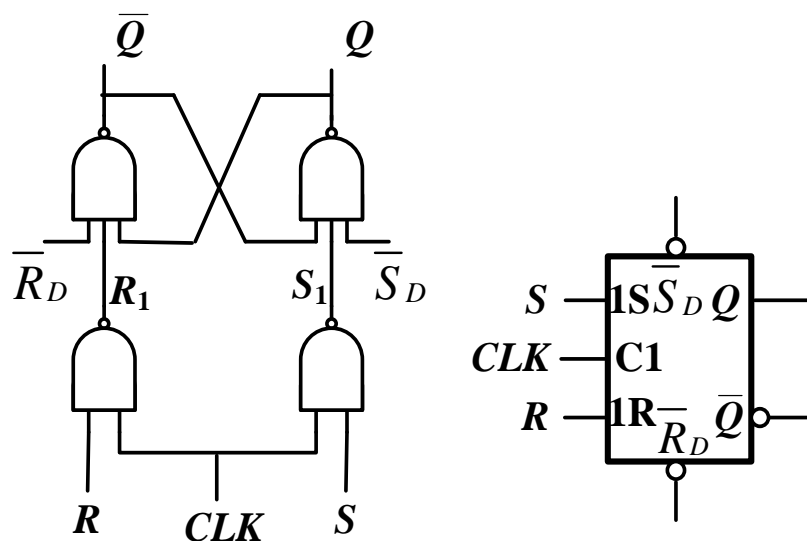
状态转移图



时序波形图



在实际应用中，有时需要在不受 CLK 控制的情况下把触发器置成指定的状态，为此，触发器电路还设置有异步置1输入端 S_D 和异步清0（即复位）输入端 R_D ，如图所示：



问题：逻辑符号中的异步清0和置1输入端都用字符上加一横和外加小圆圈标注，其表示高电平还是低电平有效？

4-2 画出图 P4-2 所示的触发器电路 Q 和 \bar{Q} 的波形, 设触发器的初始状态为 0 。

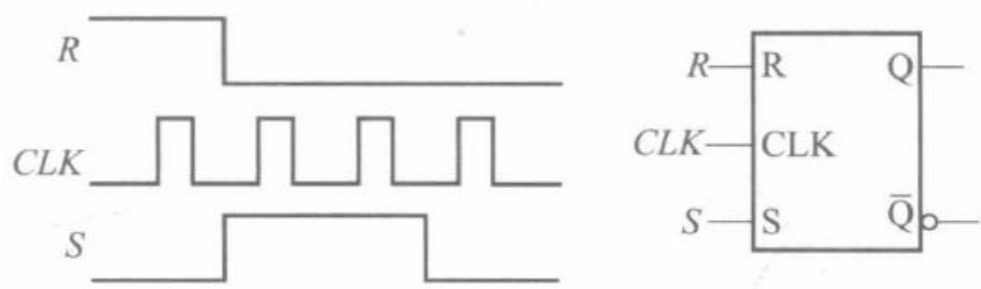


图 P4-2

[返回](#)

逻辑电路

钟控RS触发器

逻辑符号

表 4-2-1 钟控 RS 触发器状态表

S	R	Q^{n+1}	说明
0	0	Q	保持
0	1	0	置 0
1	0	1	置 1
1	1	×	不允许

4-2 画出图 P4-2 所示的触发器电路 Q 和 \bar{Q} 的波形, 设触发器的初始状态为 0 。

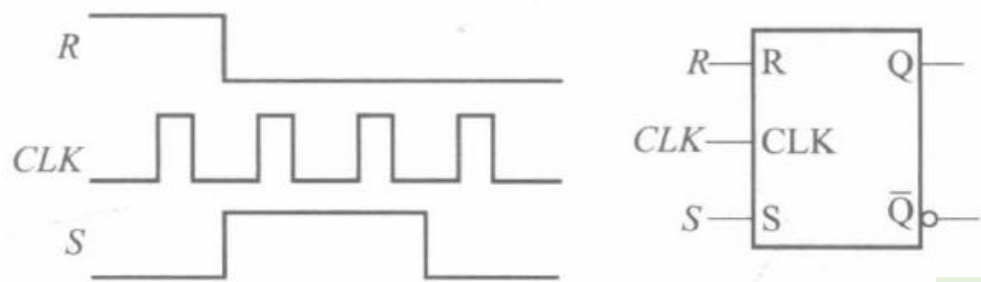
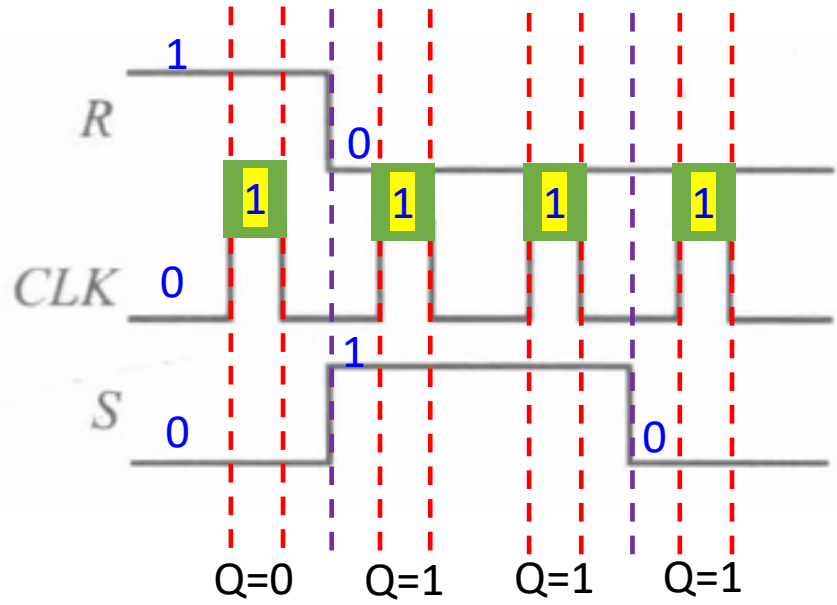


图 P4-2

[返回](#)



$$\begin{cases} Q^{n+1} = S + \bar{R}Q \\ SR=0 \end{cases}$$

CLK=0 保持

CLK=1:

- R = 0, S=1 置1
- R = 1, S=0 置0
- R = 0, S=0, 保持

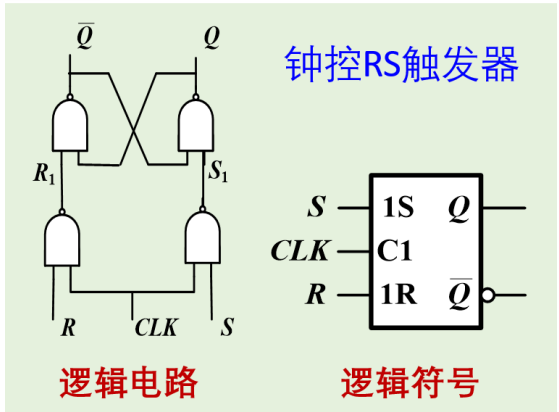


表 4-2-1 钟控 RS 触发器状态表

S	R	Q^{n+1}	说明
0	0	Q	保持
0	1	0	置 0
1	0	1	置 1
1	1	×	不允许

4-2 画出图 P4-2 所示的触发器电路 Q 和 \bar{Q} 的波形, 设触发器的初始状态为 0 。

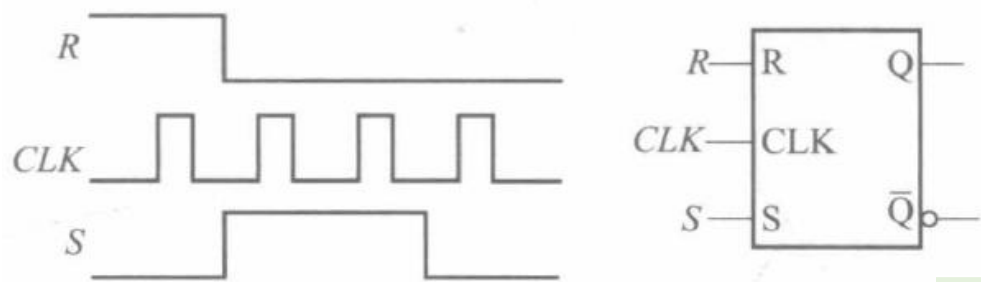
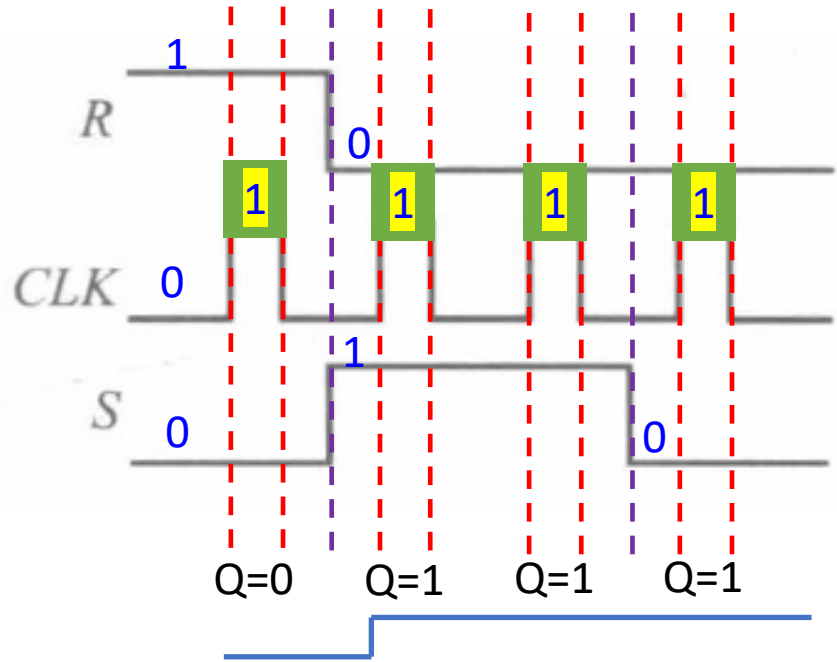


图 P4-2

[返回](#)



$$\begin{cases} Q^{n+1} = S + \bar{R}Q \\ SR=0 \end{cases}$$

CLK=0 保持

CLK=1:

- R = 0, S=1 置1
- R = 1, S=0 置0
- R = 0, S=0, 保持

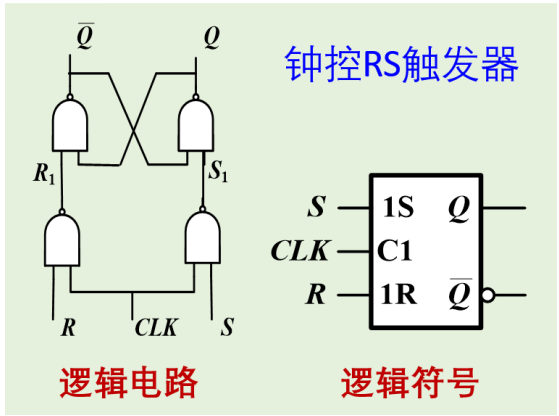
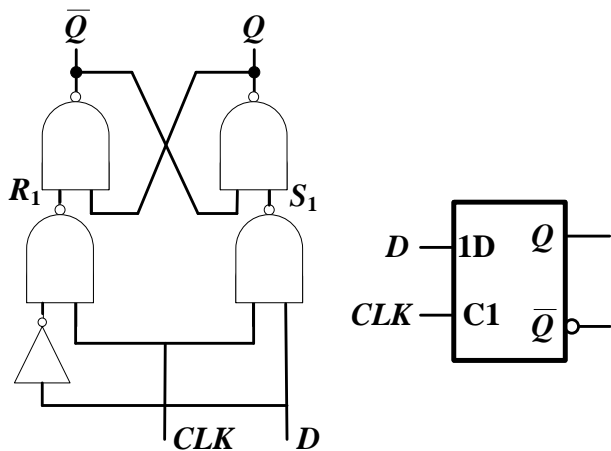


表 4-2-1 钟控 RS 触发器状态表

S	R	Q^{n+1}	说明
0	0	Q	保持
0	1	0	置 0
1	0	1	置 1
1	1	×	不允许

2. 钟控D触发器



逻辑电路与逻辑符号

基本RS触发器 特征方程

$$\begin{cases} Q^{n+1} = \bar{S}_1 + R_1 Q \\ S_1 + R_1 = 1 \end{cases}$$

钟控D触发器特征方程

当 $CLK=0$ 时, $R_1=1$ $S_1=1$ 触发器为保持状态

$$CLK=1 \quad R_1=D \quad S_1=\bar{D}$$

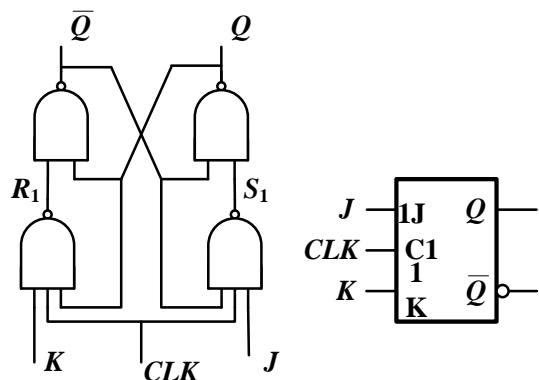
$$Q^{n+1}_{t+1} = D_t$$

状态转移真值表

D触发器为什么能够保存过去的的数据？为什么没有约束条件？

D	Q^{n+1}
0	0
1	1

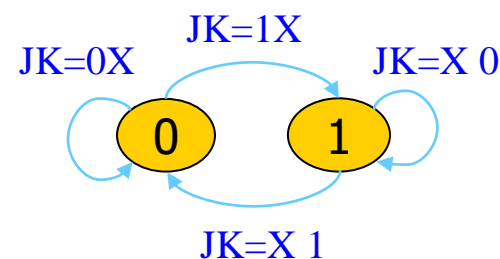
3. 钟控JK触发器



逻辑电路与逻辑符号

问题：如何列出JK触发器状态转移真值表、画出状态图？

J	K	Q^{n+1}
0	0	Q
0	1	0
1	0	$\frac{1}{Q}$
1	1	\bar{Q}



基本RS触发器
特征方程

$$\begin{cases} Q^{n+1} = \bar{S}_1 + R_1 Q \\ S_1 + R_1 = 1 \end{cases}$$

JK触发器特征方程

$$\left. \begin{array}{l} R_1 = \overline{KQ} \\ S_1 = \overline{JQ} \end{array} \right\} \Rightarrow Q^{n+1} = J\bar{Q} + \bar{K}Q$$

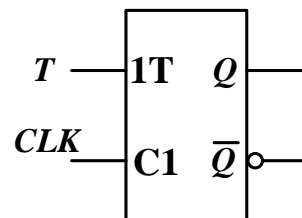
4. 钟控T触发器和T' 触发器

1. T触发器

T触发器特征方程

$$J = K = T$$

$$Q^{n+1} = T\bar{Q} + \bar{T}Q = T \oplus Q$$

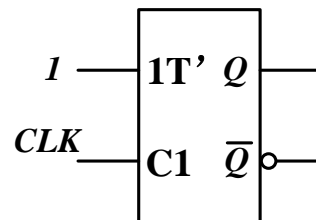


2. T' 触发器

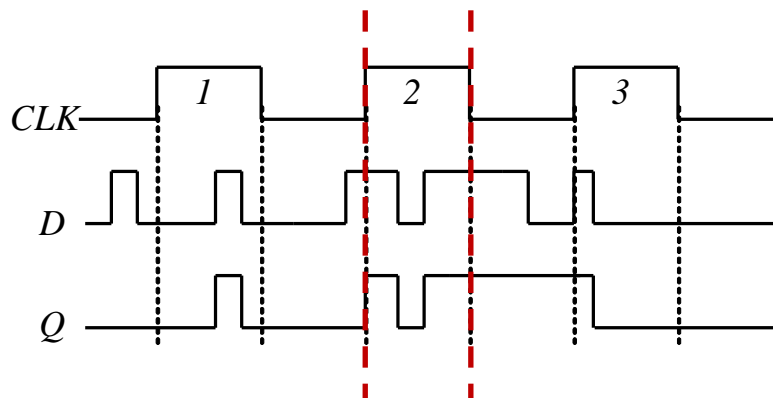
T' 触发器特征方程

$$T=1$$

$$Q^{n+1} = 1 \oplus Q = \bar{Q}$$



5. 电平钟控触发器存在的空翻现象



空翻：把在一个 CLK 脉冲周期内触发器两次或更多次翻转的现象称为空翻。

钟控JK触发器，当 $J=K=1$ 时

$$Q^{n+1} = J\bar{Q} + \bar{K}Q = \bar{Q}$$

空翻现象的发生使时钟的控制失效，这样就达不到同步的目的！

同步就要求每来一个 CLK 脉冲，触发器仅翻转一次，这样就要求：

- (1) 输入信号在时钟有效期间不能改变；
- (2) 要求时钟的有效宽度要足够的小。

这样的要求实际很难满足！

第四章 触发器

➤ 基本RS触发器

➤ 钟控触发器

➤ 主从触发器和边沿触发器

➤ 触发器的逻辑符号及时序图

4.3 主从触发器和边沿触发器

- 主从D触发器
- 主从JK触发器
- 边沿JK触发器

4.3 主从触发器和边沿触发器

空翻： 在一个CLK脉冲周期内触发器进行两次或者多次翻转

为了避免空翻现象，对电平触发的钟控触发器在电路结构上进行改进。

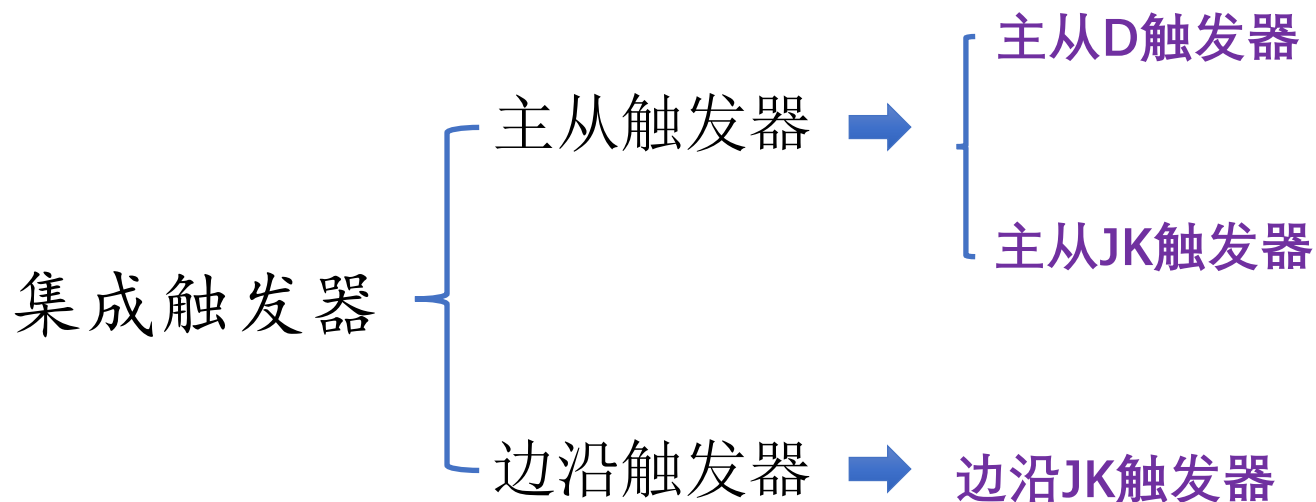


集成触发器

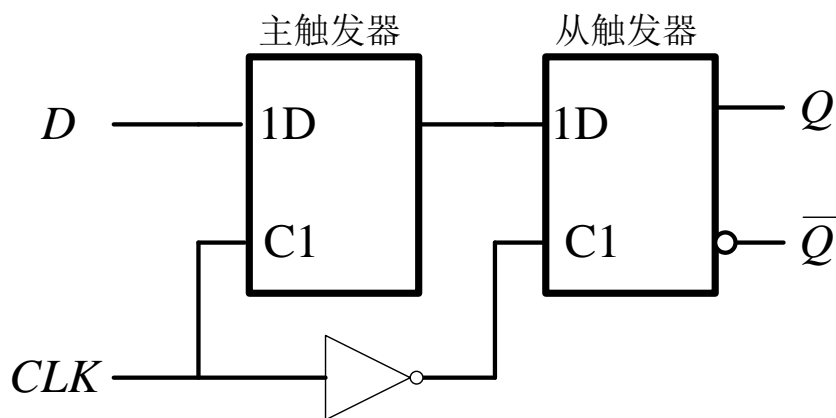
常用的钟控触发器主要是边沿触发器和主从触发器

{ 主从触发器
边沿触发器

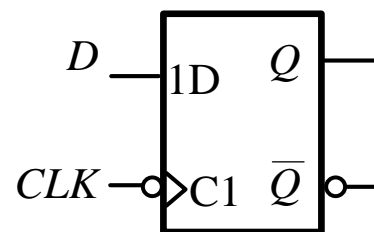
4.3 主从触发器和边沿触发器



1. 主从D触发器



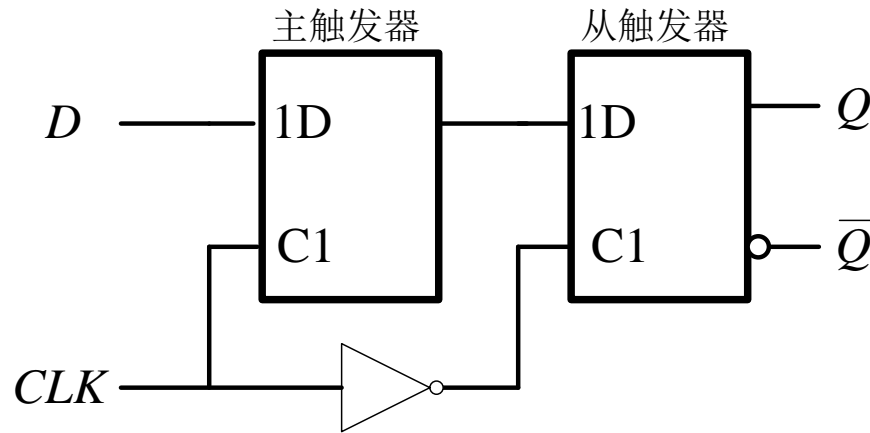
逻辑电路



逻辑符号

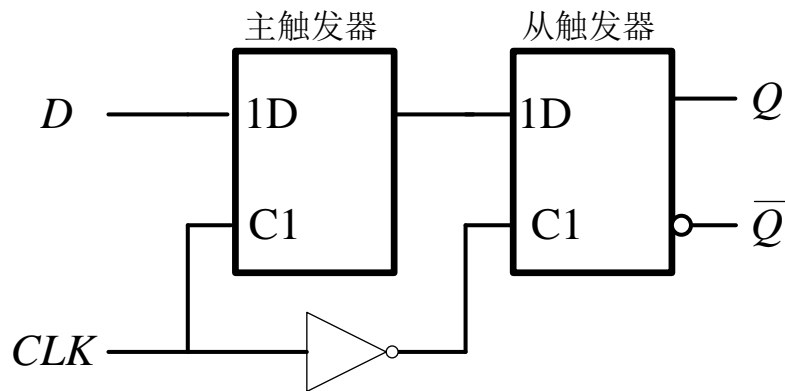
主从D触发器由两个钟控D触发器和一个非门构成

1. 主从D触发器



- (1) $CLK=1$ 期间，主触发器打开，接收输入信号，从触发器的时钟为低电平，保持不变；
- (2) CLK 从1变到0的瞬间，主触发器接收1变到0前一瞬间的输入信号被保存；
- (3) $CLK=0$ 期间，主触发器保持，从触发器的输出为1变到0前一瞬间的输入信号。

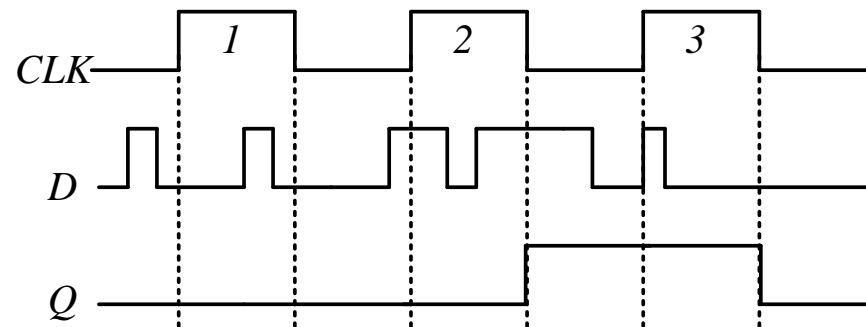
1. 主从D触发器



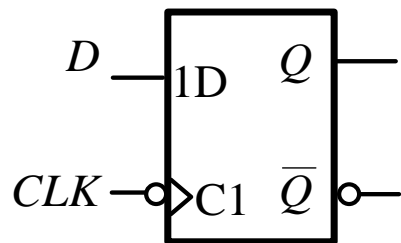
特征方程:

$$Q^{n+1} = D$$

**主从D触发器仅在时钟
CLK下降沿改变输出状态!**

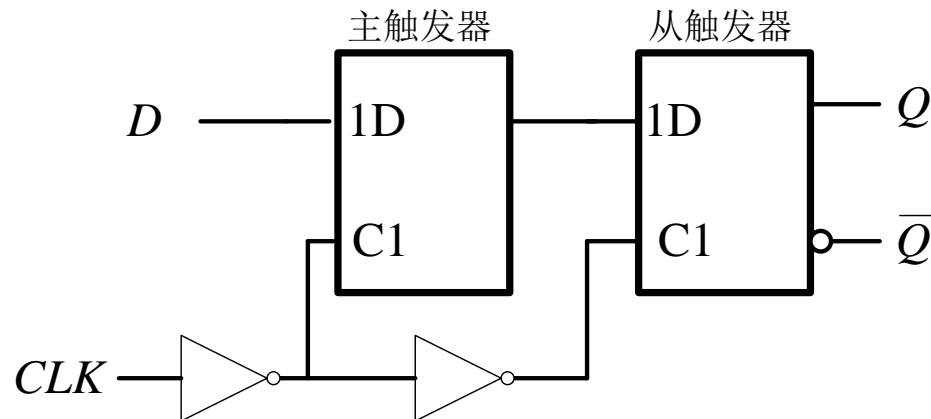


结论: 主从结构的触发器状态改变是在时钟脉冲边沿完成, 因此这种结构无空翻现象。

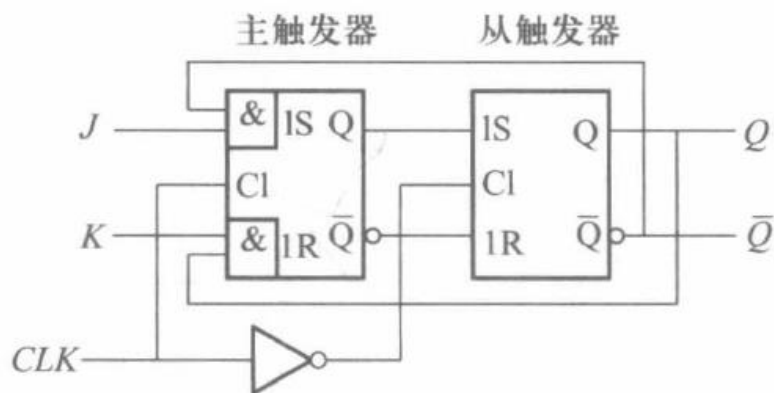


C1输入处的三角表明了边沿触发特性，称为动态输入标志，C1输入端加有红圈时，表示下降沿有效，否则表示上升沿有效。

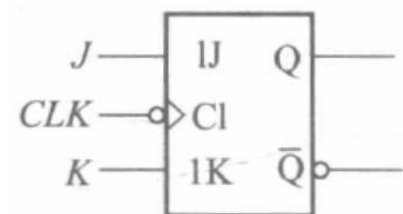
问题：主从D触发器变成上升沿触发的边沿触发器，应该如何改动电路。



2. 主从JK触发器

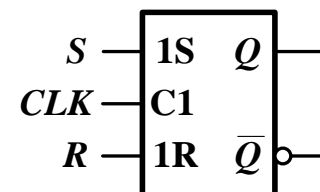
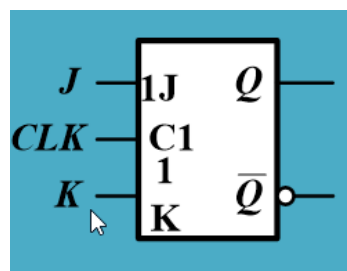


逻辑电路

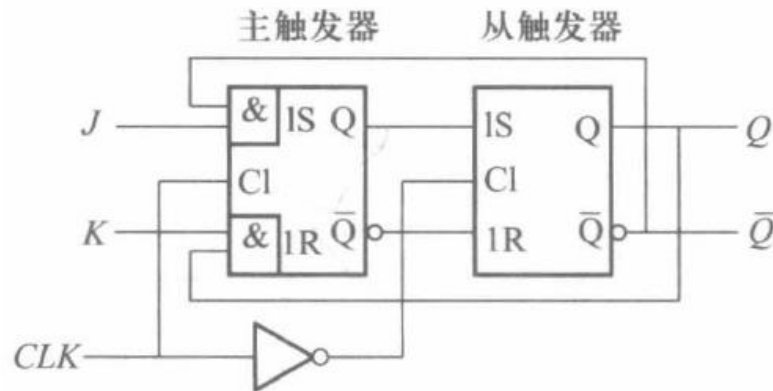


逻辑符号

主从JK触发器由一个钟控JK触发器和一个钟控RS触发器构成



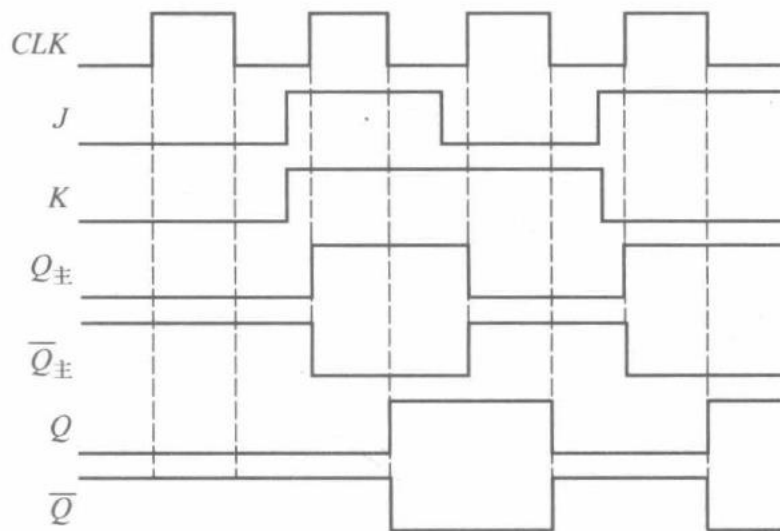
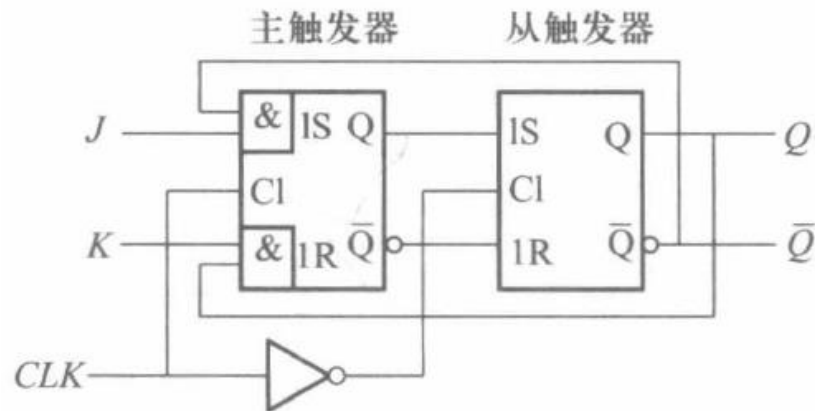
2. 主从JK触发器



注意：主触发器的输入1S和1R在 $J=1$ ， $K=1$ ， $Q=1$ 时才有效

- (1) $CLK=1$ 期间，**主触发器**打开，接收输入信号，**从触发器**的时钟为低电平，保持不变；
- (2) CLK 从1变到0的瞬间，**主触发器**接收1变到0前一瞬间的输入信号被保存；
- (3) $CLK=0$ 期间，**主触发器保持**，**从触发器**的状态与主触发器的输出状态相同。

2. 主从JK触发器



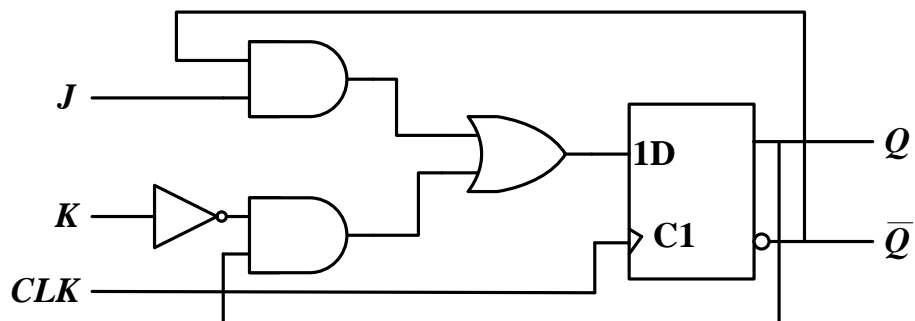
钟控JK触发器: $Q^{n+1} = J\bar{Q} + \bar{K}Q$

钟控RS触发器: $\begin{cases} Q^{n+1} = S + \bar{R}Q \\ SR=0 \end{cases}$

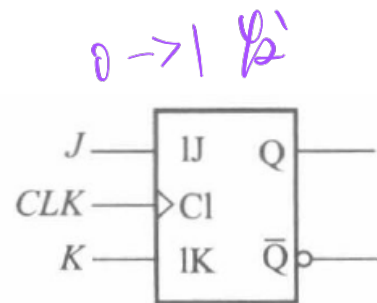


$$Q^{n+1} = Q_{\text{主}}^{n+1} = J\bar{Q} + \bar{K}Q$$

3. 边沿JK触发器



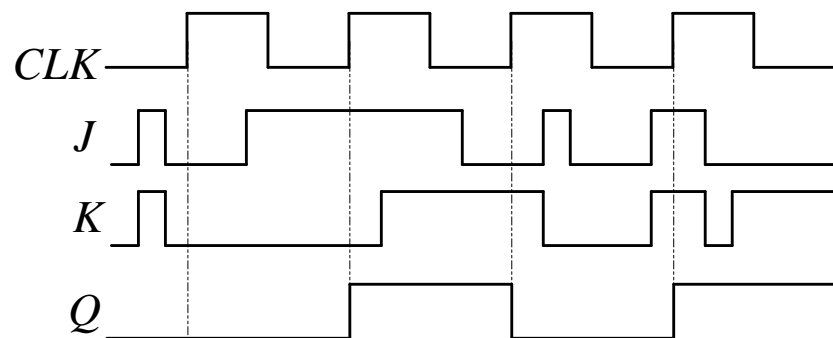
➤ 逻辑电路



➤ 逻辑符号

➤ 特征方程:

$$Q^{n+1} = D = J\bar{Q} + \bar{K}Q$$



➤ 时序图

问题：总结出基本、钟控、主从和边沿触发器动作特点？

类型	动作特点
基本触发器	随时
钟控触发器	有效电平
主从触发器	有效边沿
边沿触发器	有效边沿

第四章 触发器

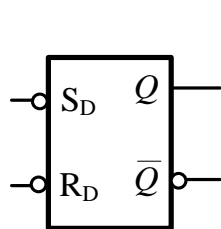
- 基本RS触发器
- 钟控触发器
- 主从触发器和边沿触发器
- 触发器的逻辑符号及时序图

4.4 触发器的逻辑符号及时序图

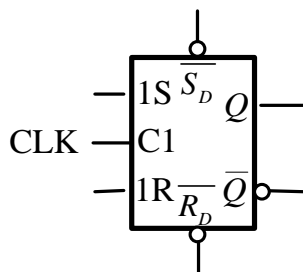
- 触发器的逻辑符号
- 触发器的时序图
- 实例分析

4.4 触发器的逻辑符号及时序图

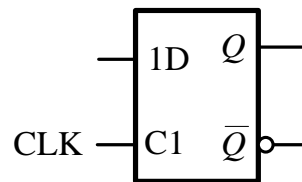
4.4.1 触发器的逻辑符号



基本RS触发器



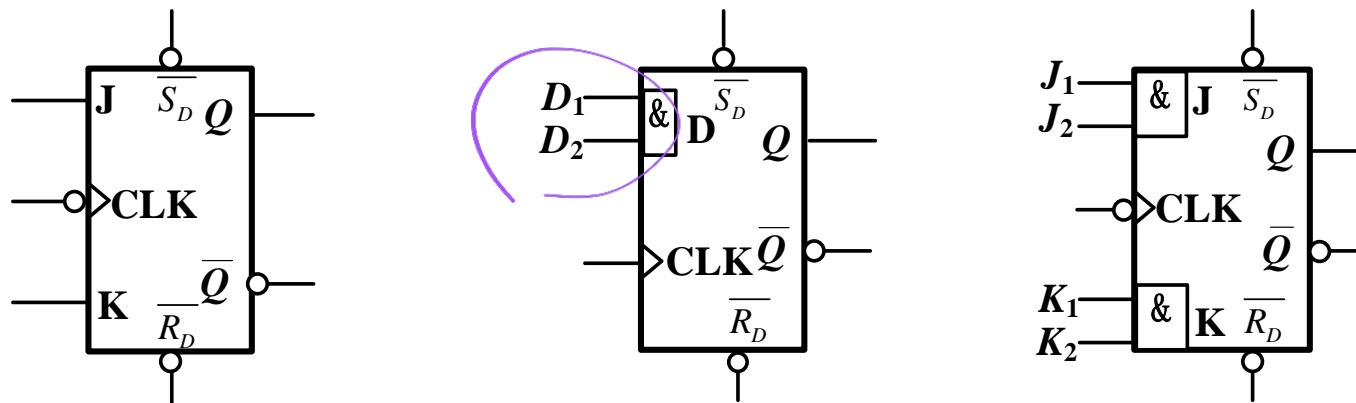
钟控RS触发器



钟控D触发器

注意1: 异步置1和清0端具有最高优先权，触发器正常工作时，其异步置1和清0端都应加无效电平。

注意2: 为了与国际流行软件相适应，后续触发器逻辑符号中**C1**直接标注时钟**CLK**、而受时钟**CLK**控制的R、S、D、J、K等输入端的1省略。



集成边沿触发器逻辑符号

集成触发器也有异步置0和置1端，不受时钟和输入信号控制。

注意：有些输入端由多个输入信号相与而成。

4.4.2 触发器的时序图

时序波形的画法步骤：

- ① 以 CLK 和触发器动作特点为基准，确定同步变化时刻（或时段）；
- ② 按时间顺序，当触发器能够改变状态时，根据触发器的状态方程或状态转移真值表确定其次态；
- ③ 如有异步清0、置1端，画波形时要随时注意其是否有效，一旦有效，立刻改变触发器状态，直至异步控制端无效。

例4-4-1:

边沿触发器的逻辑符号与输入波形如图4-4-4（92页）所示，完成Q和Q非输出时序图，设触发器的初始状态为0。

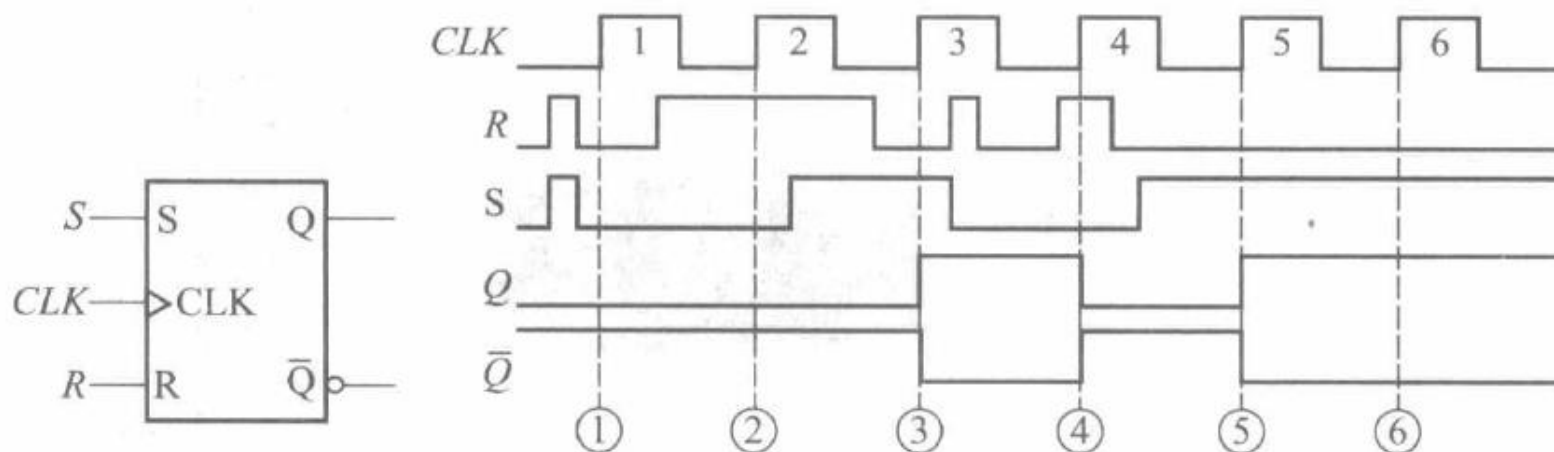


图 4-4-4 例 4-4-1 逻辑符号及时序图

例4-4-1:

边沿触发器的逻辑符号与输入波形如图4-4-4（92页）所示，完成Q和Q非输出时序图，设触发器的初始状态为0。

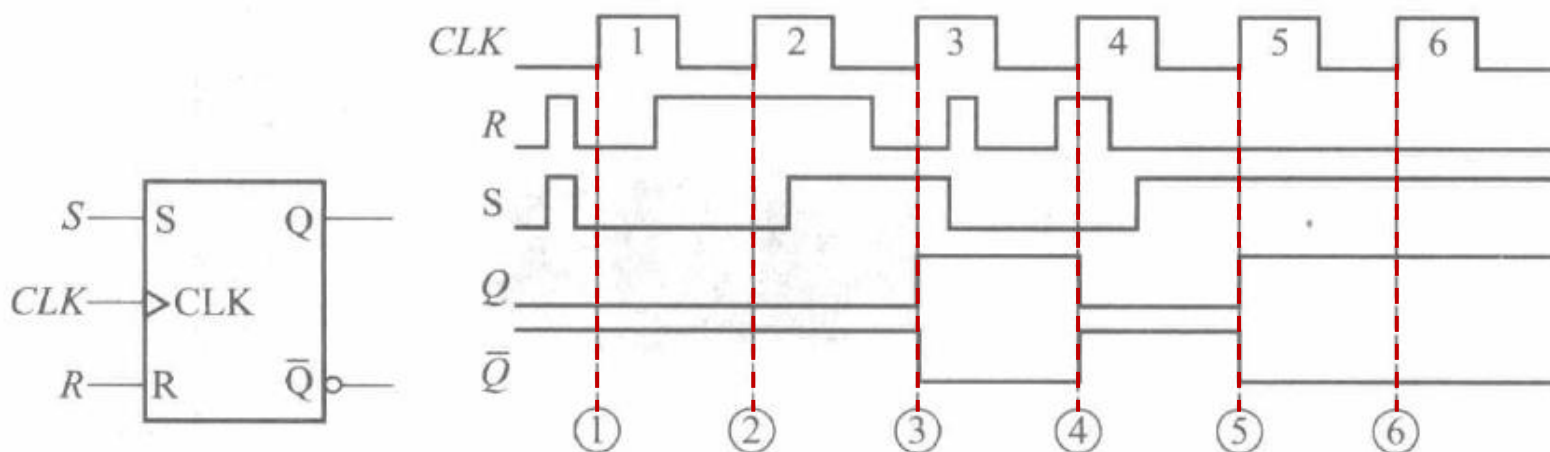


图 4-4-4 例 4-4-1 逻辑符号及时序图

上升沿有效

$$\begin{cases} Q^{n+1} = S + \bar{R}Q \\ SR=0 \end{cases}$$

R	S	Q
0	0	保持
1	0	清0
0	1	置1
1	1	x

例4-4-2:

如图所示的电路中触发器都为边沿触发器， FF_1 为JK触发器， FF_2 为D触发器，初始状态均为0，试画出在 CLK 的作用下 Q_1 、 Q_2 的波形。

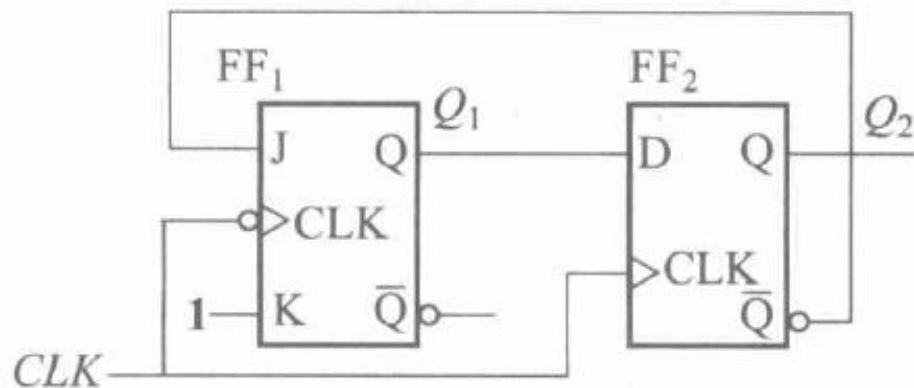


图 4-4-5 例 4-4-2 电路

解：JK触发器改变在 CLK 下降沿，次态方程为

$$J = \bar{Q}_2 \quad K = 1 \quad Q_1^{n+1} = J\bar{Q}_1 + \bar{K}Q_1 = \bar{Q}_2\bar{Q}_1$$

D触发器改变在 CLK 上升沿，次态方程为

$$D = Q_1 \quad Q_2^{n+1} = D = Q_1$$

$$Q_1^{n+1} = J\bar{Q}_1 + \bar{K}Q_1 = \bar{Q}_2\bar{Q}_1$$

$$Q_2^{n+1} = D = Q_1$$

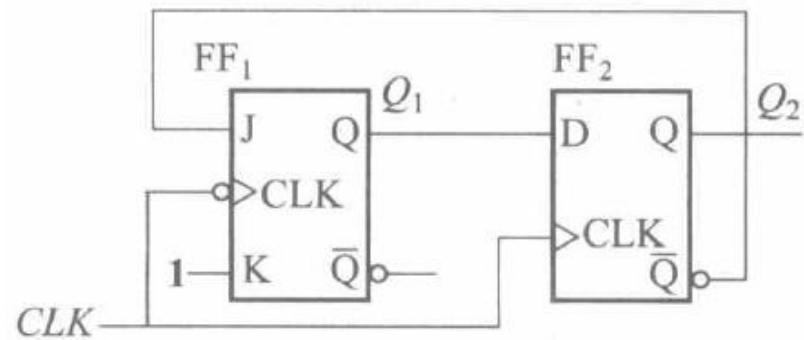
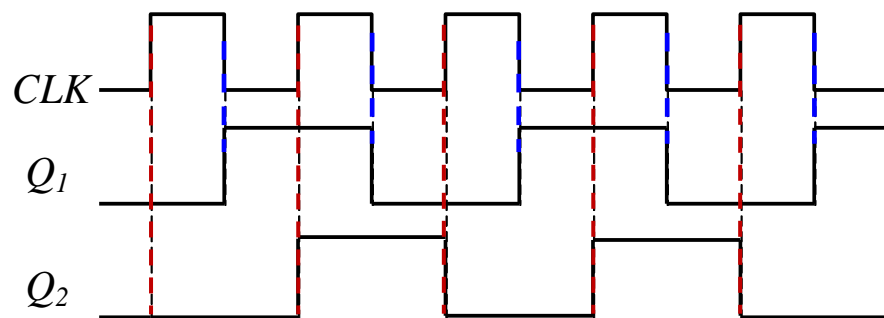


图 4-4-5 例 4-4-2 电路



例4-4-3:

完成Q输出时序图，JK触发器的输入如图4-4-7所示，设初态为0.

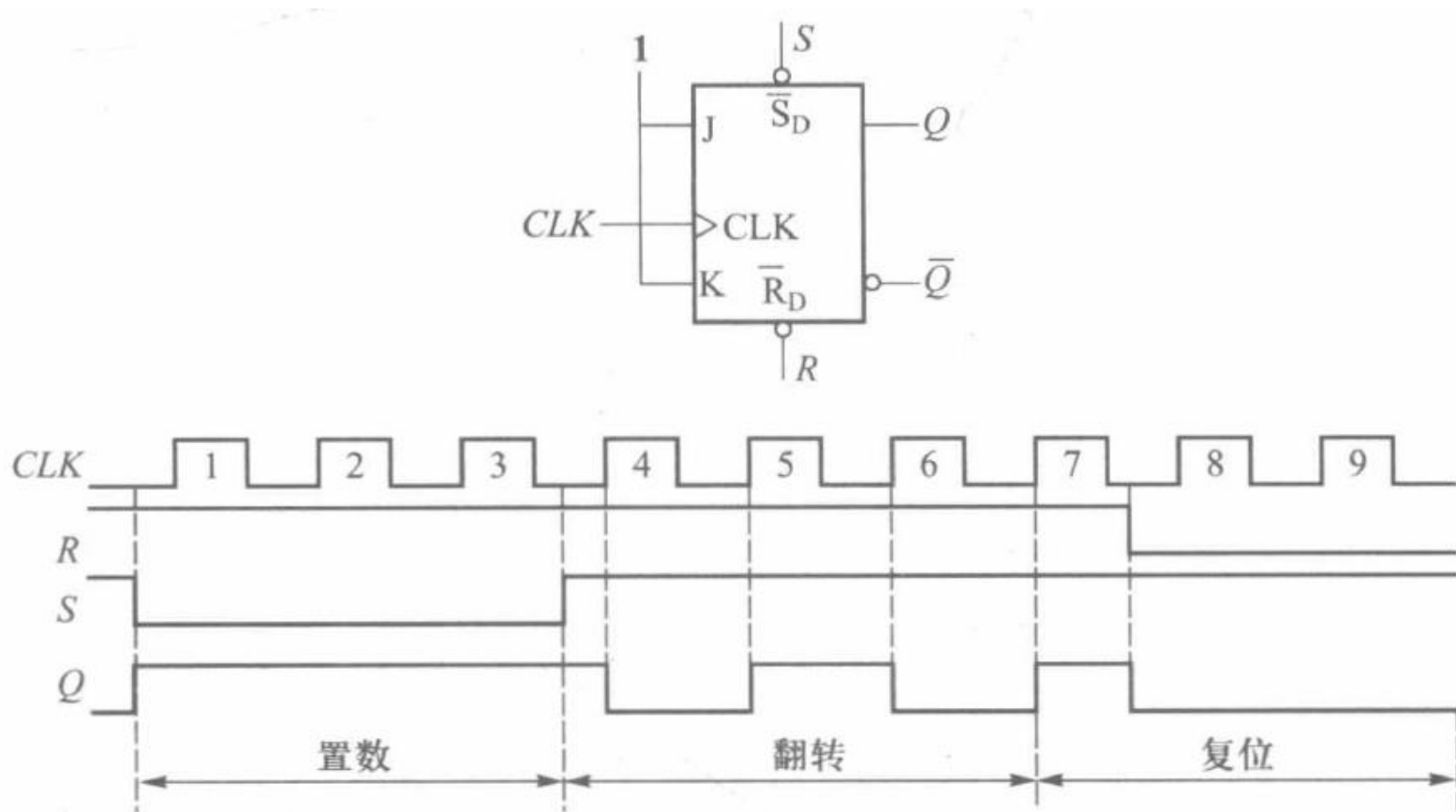


图 4-4-7 例 4-4-3 电路及时序图

例4-4-3:

完成Q输出时序图，JK触发器的输入如图4-4-7所示，设初态为0.

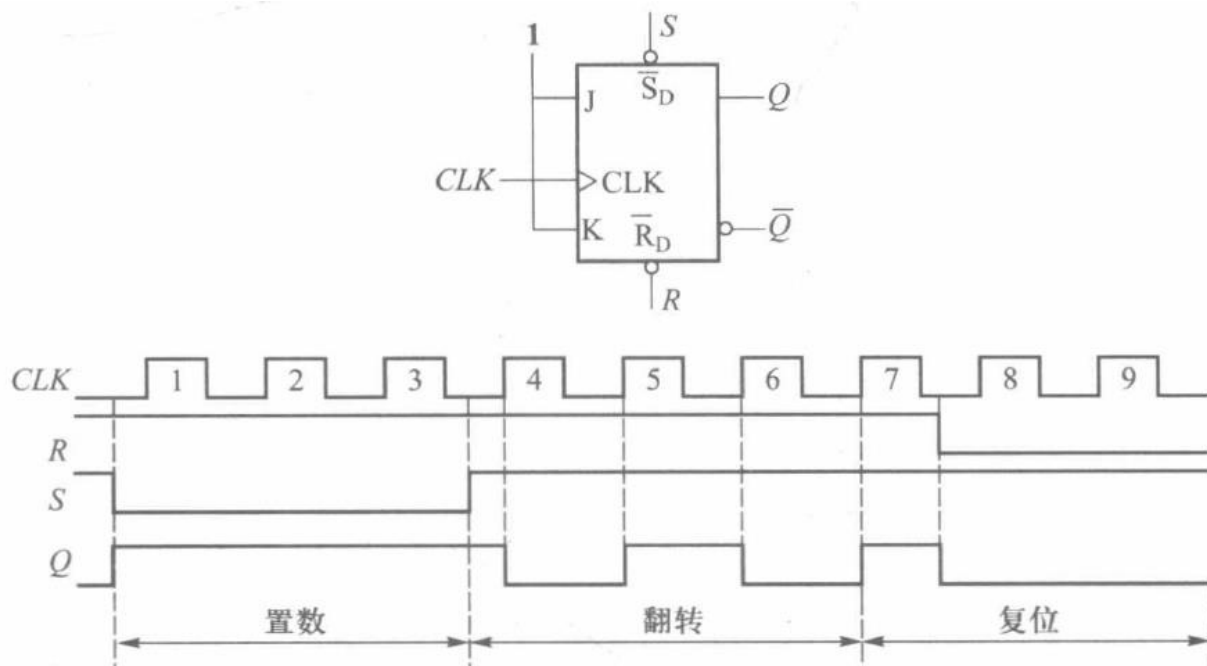


图 4-4-7 例 4-4-3 电路及时序图

$$R=1, S=1$$

S=0 —— 置1

R=0 —— 清0

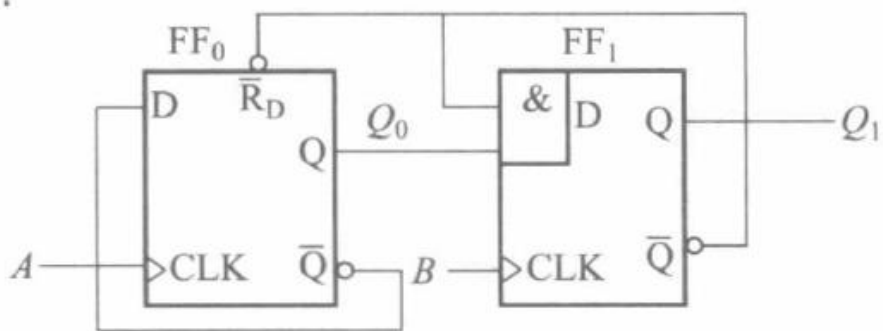


$$\begin{matrix} J=1 \\ K=1 \end{matrix}$$

$$Q^{n+1} = J\bar{Q} + \bar{K}Q = \bar{Q}$$

例4-4-4:

在图4-4-8所示的触发器电路中，A和B的波形已知，对应画出 Q_0 和 Q_1 的波形，设触发器的初始状态都为0。



解：对于触发器FF0:

$$CLK = A, \text{ 上升沿有效} \\ D_0 = \bar{Q}_0, \quad \bar{R}_D = \bar{Q}_1, \quad Q_0^{n+1} = \bar{Q}_0$$

对于触发器FF1:

$$CLK = B, \quad D_1 = Q_0 \bar{Q}_1, \quad Q_1^{n+1} = Q_0 \bar{Q}_1 \\ \text{上升沿有效}$$

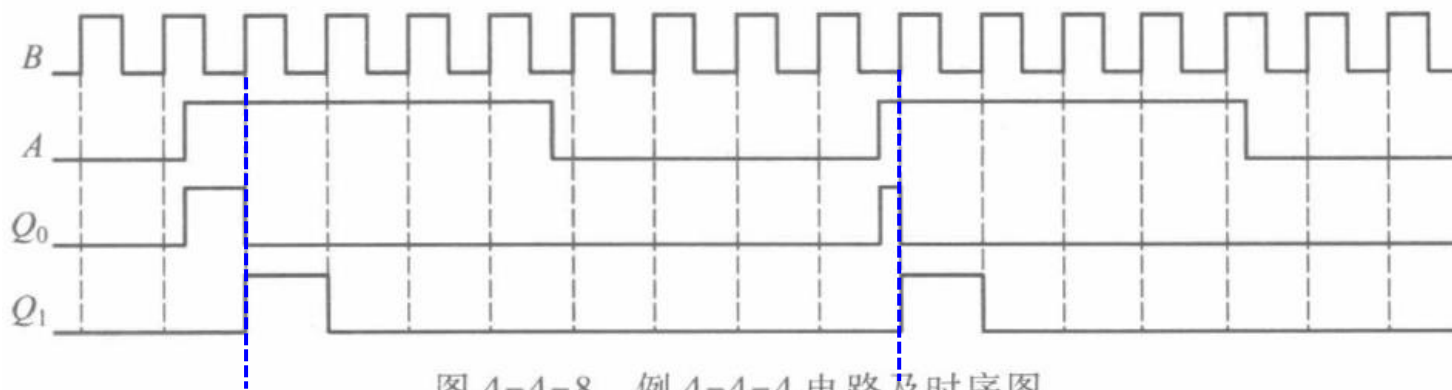


图 4-4-8 例 4-4-4 电路及时序图

$\bar{R}_D = \bar{Q}_1 = 0$ 低电平——置0

例4-4-5:

触发器电路如图4-4-9所示，画出 Q_C 、 Q_B 和 Q_A 的波形并说明 $Q_CQ_BQ_A$ 代表的二进制状态序列，设各触发器的初始状态均为0。

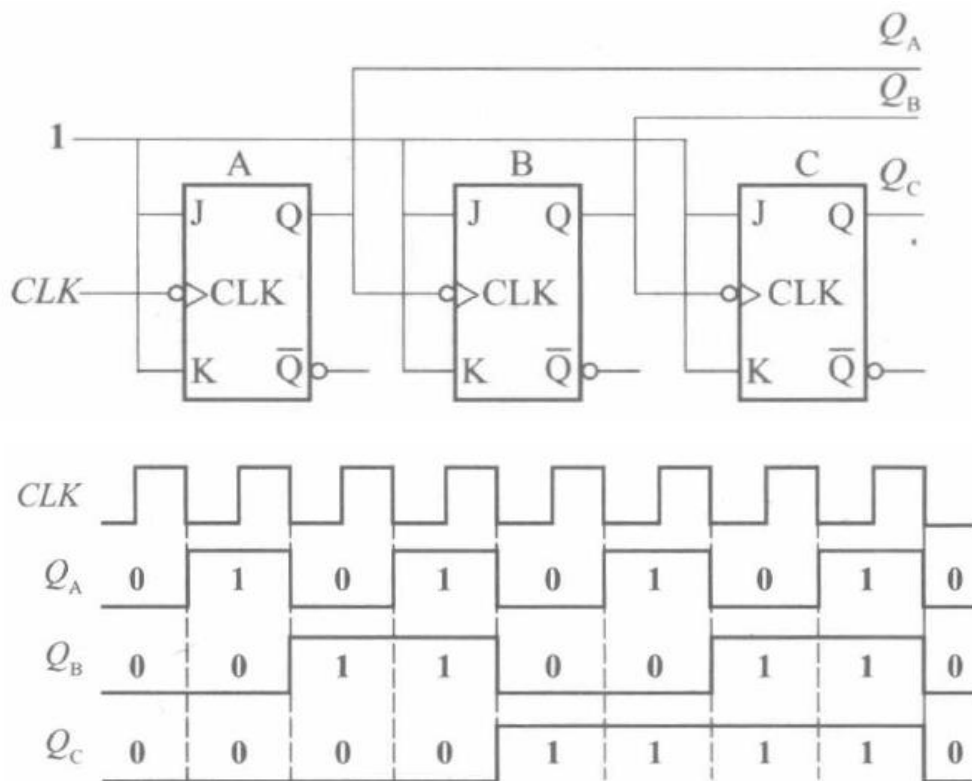


图 4-4-9 例 4-4-5 电路和时序图

$$J=K=1$$

$$Q_C^{n+1} = \bar{Q}_C$$

$$Q_B^{n+1} = \bar{Q}_B$$

$$Q_A^{n+1} = \bar{Q}_A$$

数字计数器