

# 第五章 时序逻辑电路的分析和设计

- 时序逻辑电路的基本概念
- 同步时序逻辑电路的分析
- 异步时序逻辑电路的分析
- 同步时序逻辑电路的设计
- 集成计数器
- 集成寄存器
- 中规模时序电路的综合应用

# 第五章 时序逻辑电路的分析和设计

- 时序逻辑电路的基本概念
- 同步时序逻辑电路的分析
- 异步时序逻辑电路的分析
- 同步时序逻辑电路的设计
- 集成计数器
- 集成寄存器
- 中规模时序电路的综合应用

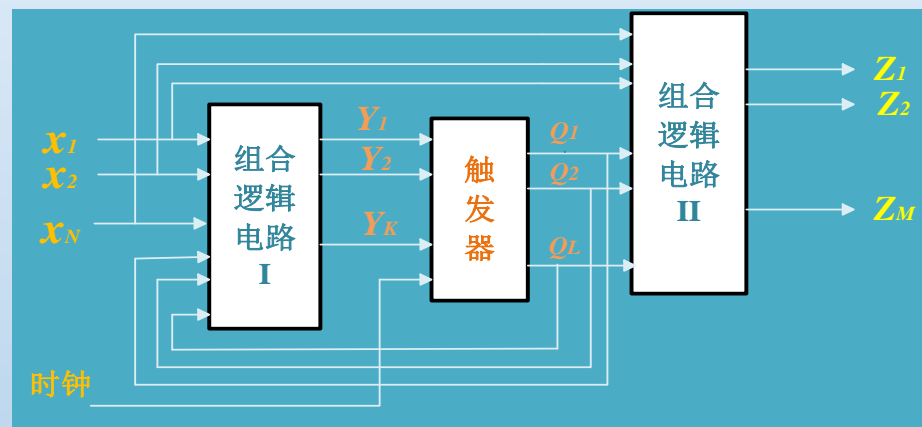
## 5.1 时序逻辑电路的基本概念

- 5.1.1 时序逻辑电路的结构
- 5.1.2 时序逻辑电路的分类

# 5.1 时序逻辑电路的基本概念

## 5.1.1 时序逻辑电路的结构

时序逻辑电路由组合逻辑电路与一个或多个触发器组成

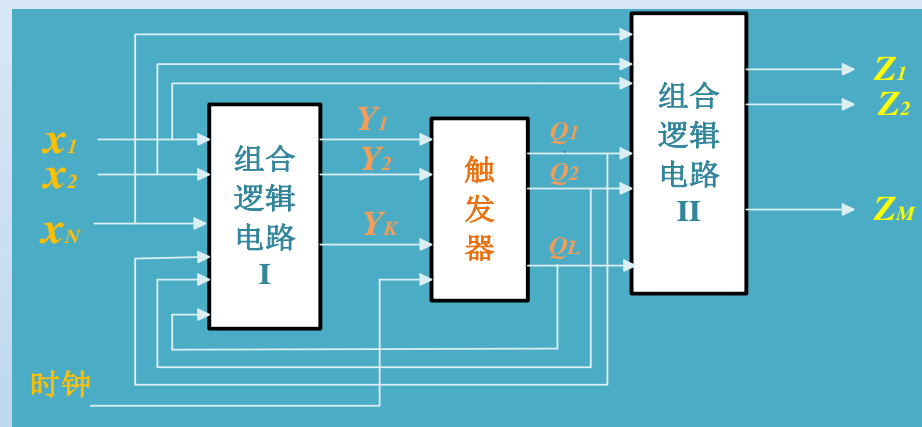


时序电路的类型不同，分析与设计的方法会有所不同。

# 5.1 时序逻辑电路的基本概念

## 5.1.1 时序逻辑电路的结构

时序逻辑电路由组合逻辑电路与一个或多个触发器组成

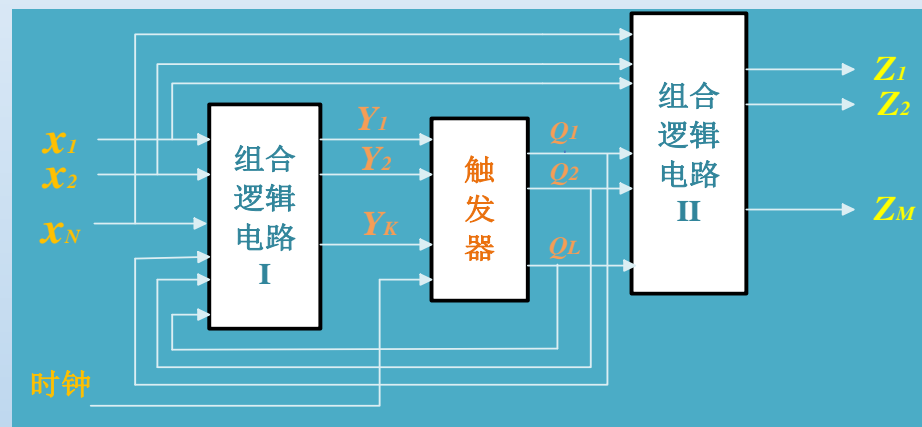


对于触发器，每一位输出 $Q_i$  ( $i=1, 2, \dots, L$ ) 称为一个状态变量， $L$ 个状态变量可以组成 $2^L$ 个不同的状态，触发器状态变量的不同取值反映了时序电路对于输入变量的记忆情况，即不同的状态代表不同输入变量的历史。

# 5.1 时序逻辑电路的基本概念

## 5.1.1 时序逻辑电路的结构

时序逻辑电路由组合逻辑电路与一个或多个触发器组成



输出方程:  $Z_i = f(x_1, x_2, \dots, x_N, Q_1, Q_2, \dots, Q_L) \quad i = 1, 2, \dots, M$

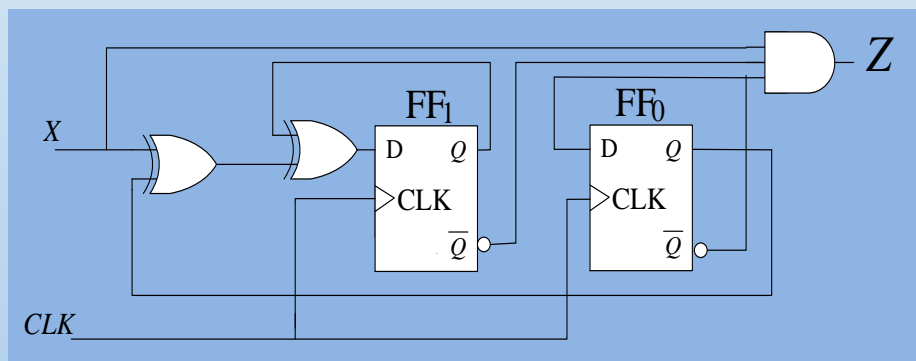
触发器输入方程:  $Y_j = g(x_1, x_2, \dots, x_N, Q_1, Q_2, \dots, Q_L) \quad j = 1, 2, \dots, K$   
(激励方程)

状态方程:  $Q_r^{n+1} = h(Y_1, Y_2, \dots, Y_K, Q_1, Q_2, \dots, Q_L) \quad r = 1, 2, \dots, L$   
(次态方程)

## 5.1.2 时序逻辑电路的分类

➤ 按时钟控制分类：同步和异步时序电路

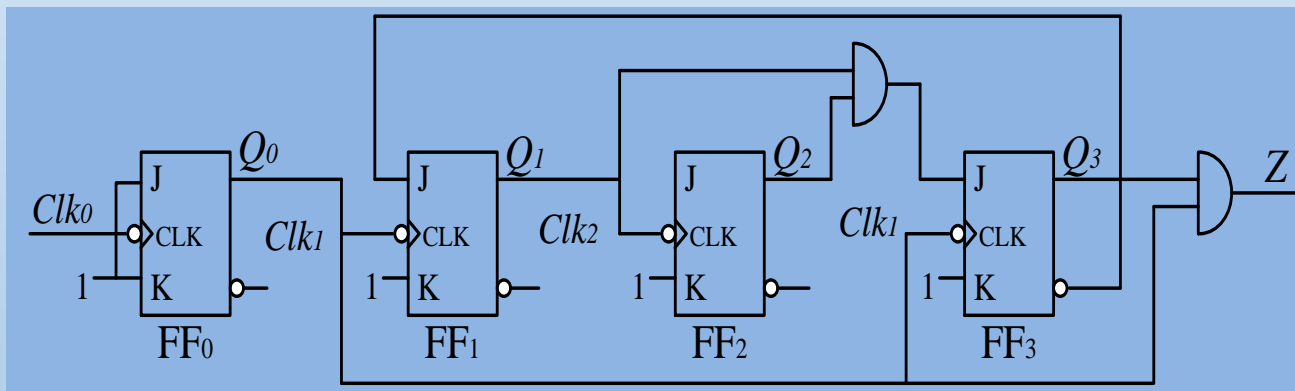
**同步时序电路：**时序电路中，所有触发器的状态变化都是在同一时钟信号控制下同时发生的，即状态改变同步完成。



## 5.1.2 时序逻辑电路的分类

► 按时钟控制分类：同步和异步时序电路

**异步时序电路：**时序电路中，各触发器不使用同一个时钟信号控制，各触发器状态的转换是非同时完成的。



## 5.1.2 时序逻辑电路的分类

➤ 按时钟控制分类：同步和异步时序电路

**同步时序电路：**时序电路中，所有触发器的状态变化都是在同一时钟信号控制下同时发生的，即状态改变同步完成。

**异步时序电路：**时序电路中，各触发器不使用同一个时钟信号控制，各触发器状态的转换是非同时完成的。

	同步时序电路	异步时序电路
时钟信号	同一时钟信号	不是同一信号
状态改变	同时	不同时



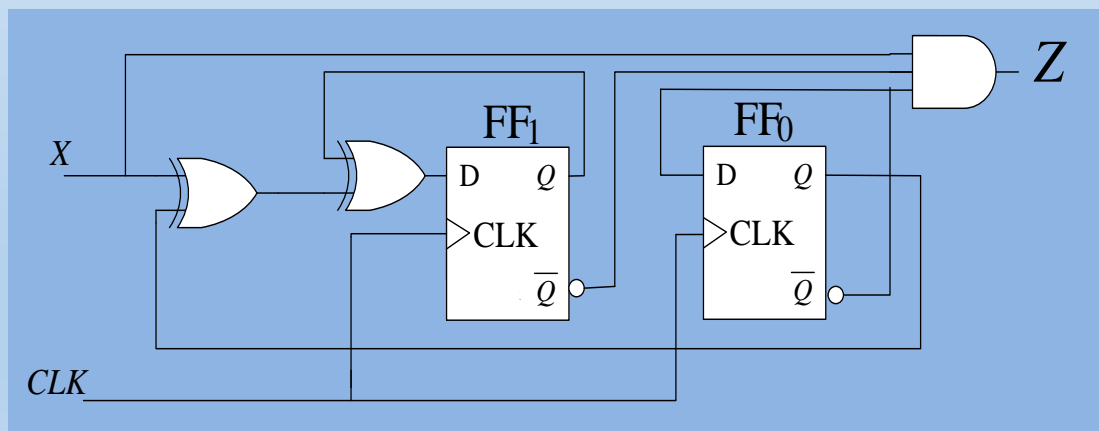
➤ 按外输出与外输入的关系分类：

—— 米里型 (Mealy) 和摩尔型 (Moore)

米里型

**Mealy型 (米里型) :**

时序电路的输出取决于该时刻的**外部输入X**和当前的状态 $Q$ 。输出函数表示为 $Z=F(X,Q)$ 。



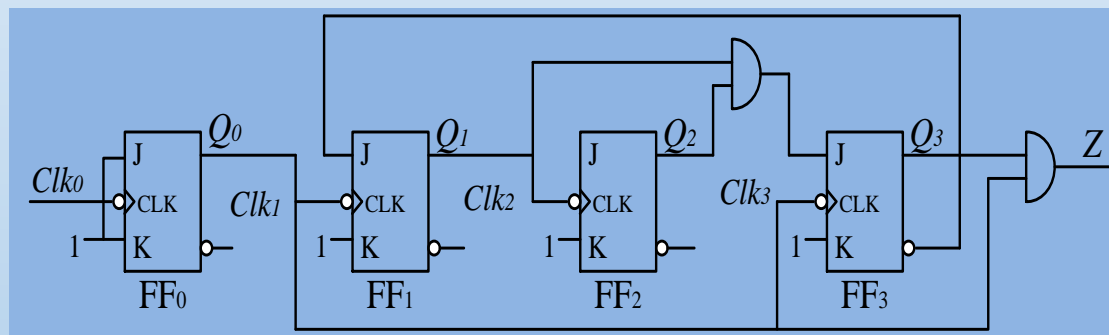
$$Z = X \overline{Q_1} \overline{Q_0}$$

➤ 按外输出与外输入的关系分类：

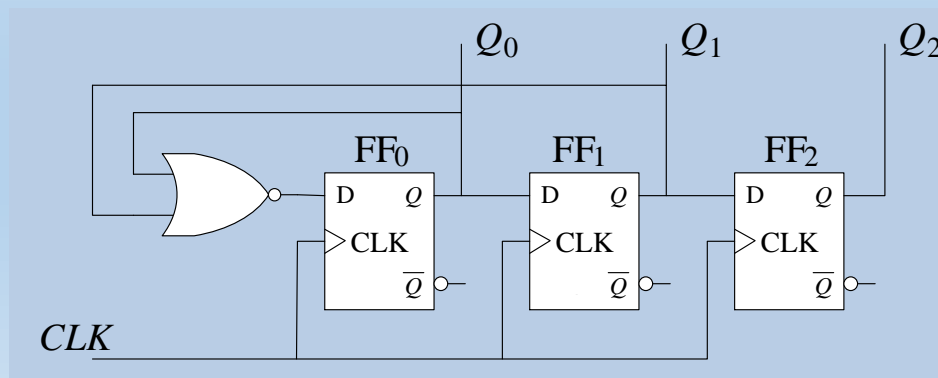
— 米里型 (Mealy) 和摩尔型 (Moore)

**Moore型：**

时序电路的输出只取决当前的状态 $Q$ 与外部输入 $X$ 无关。输出函数可表示为 $Z=F(Q)$ 或无外部输出。



$$Z = Q_3 Q_0$$



无外部输出 $Z$

问题：如图所示状态图中x为外输入，Z为外输出。哪个状态图表示的是Mealy型时序电路，哪个状态图表示的是Moore型时序电路？

米里

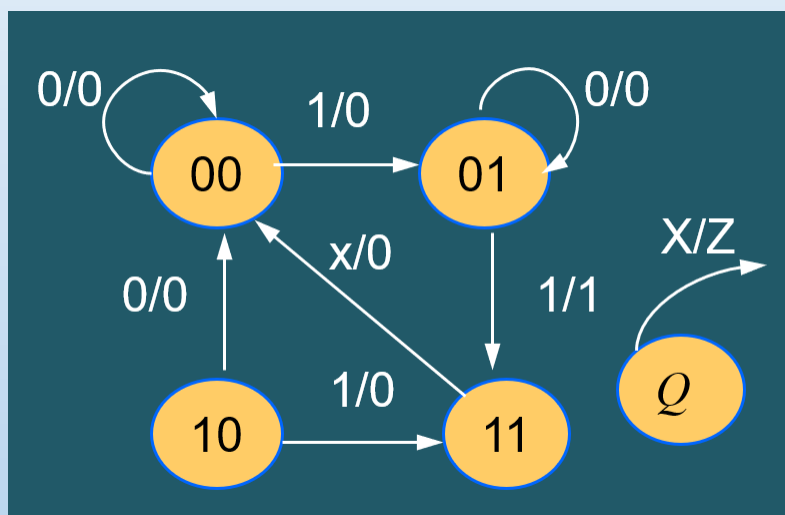


图1

Mealy型

摩尔

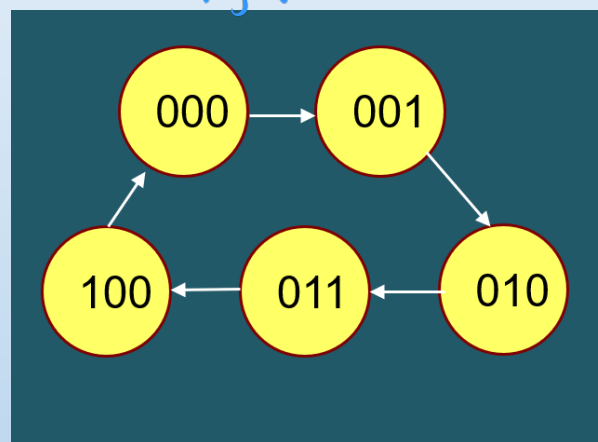


图2

Moore型

# 第五章 时序逻辑电路的分析和设计

- 时序逻辑电路的基本概念
- 同步时序逻辑电路的分析
- 异步时序逻辑电路的分析
- 同步时序逻辑电路的设计
- 集成计数器
- 集成寄存器
- 中规模时序电路的综合应用

## 5.2 同步时序逻辑电路的分析

- 5.2.1 同步时序逻辑电路的一般分析过程
- 5.2.2 同步时序逻辑电路的分析举例

## 5.2 同步时序电路的分析

同步时序电路的分析，就是找出一个同步时序电路的变化规律，确定逻辑功能。

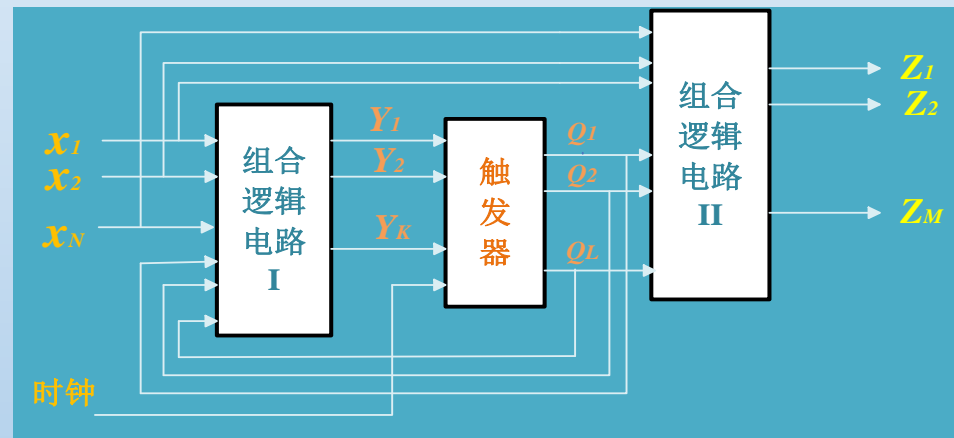
### 5.2.1 同步时序电路的分析过程

分析同步时序电路的关键在于：

- 确定给定电路的输出方程；
- 每一个触发器的输入方程；
- 每一个触发器的状态方程；



根据这三个方程组，能够在任何给定输入变量的取值和触发器的状态下求出该电路的输出和下一状态，进而得出时序电路的状态转移规律和逻辑功能。



## 5.2 同步时序电路的分析

同步时序电路的分析，就是找出一个同步时序电路的变化规律，确定逻辑功能。

### 5.2.1 同步时序电路的分析过程

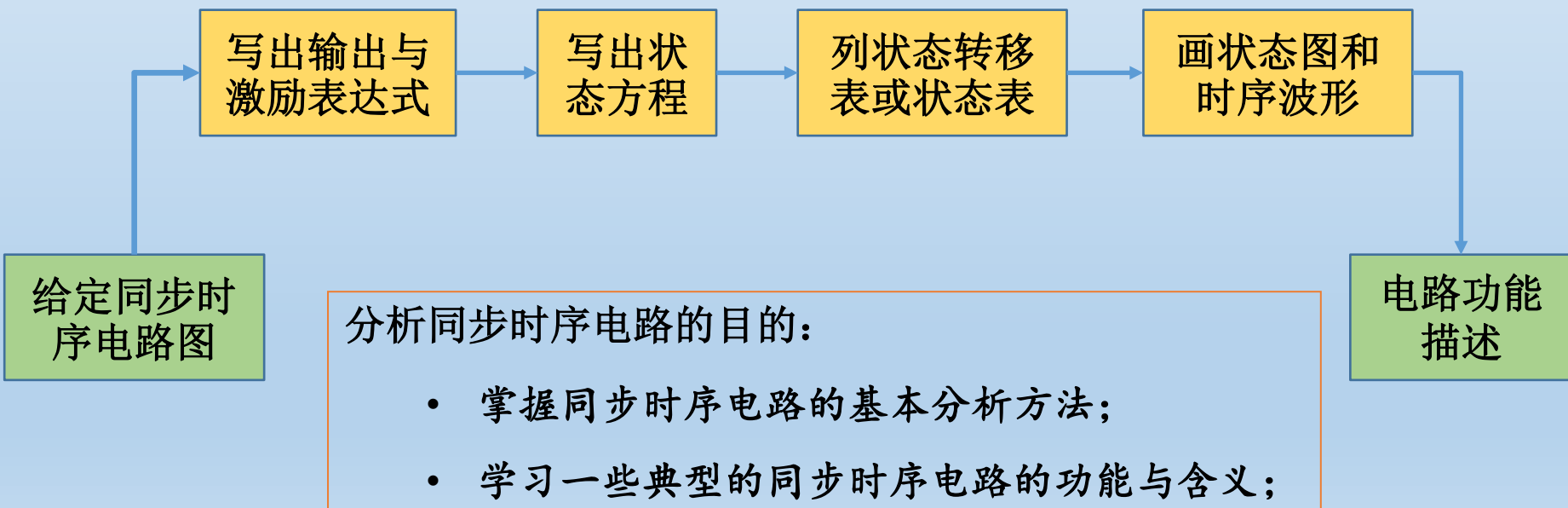
分析步骤如下：

- ① 根据时序电路图写出该电路的输出方程和各触发器的输入（激励）方程。
- ② 根据触发器的输入方程和触发器的特征方程，获得时序电路的状态方程。
- ③ 根据状态方程和输出方程，建立状态转移表（或状态表），画出状态图和时序波形图。
- ④ 描述电路的逻辑功能。

## 5.2 同步时序电路的分析

同步时序电路的分析，就是找出一个同步时序电路的变化规律，确定逻辑功能。

### 5.2.1 同步时序电路的分析过程







## ② 写状态方程

$$Q^{n+1} = J\bar{Q} + \bar{K}Q$$

根据JK触发器的特征方程 可得

$$J_2 = K_2 = Q_1Q_0$$

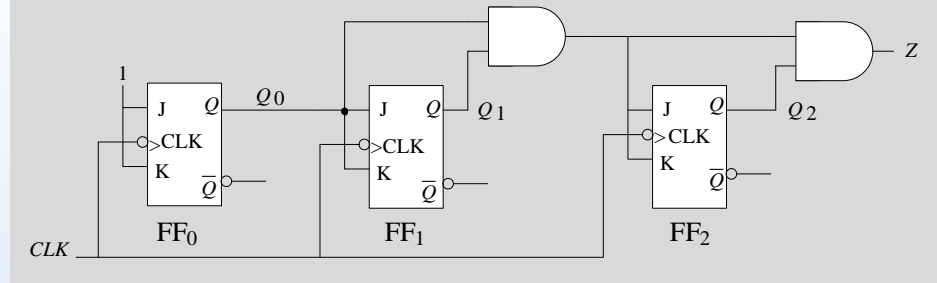
$$Q_2^{n+1} = J_2\bar{Q}_2 + \bar{K}_2Q_2 = Q_1Q_0\bar{Q}_2 + \bar{Q}_1\bar{Q}_0Q_2 = (Q_1Q_0) \oplus Q_2$$

$$J_1 = K_1 = Q_0$$

$$Q_1^{n+1} = J_1\bar{Q}_1 + \bar{K}_1Q_1 = Q_0\bar{Q}_1 + \bar{Q}_0Q_1 = Q_1 \oplus Q_0$$

$$J_0 = K_0 = 1$$

$$Q_0^{n+1} = J_0\bar{Q}_0 + \bar{K}_0Q_0 = 1 \cdot \bar{Q}_0 + \bar{1} \cdot Q_0 = \bar{Q}_0$$

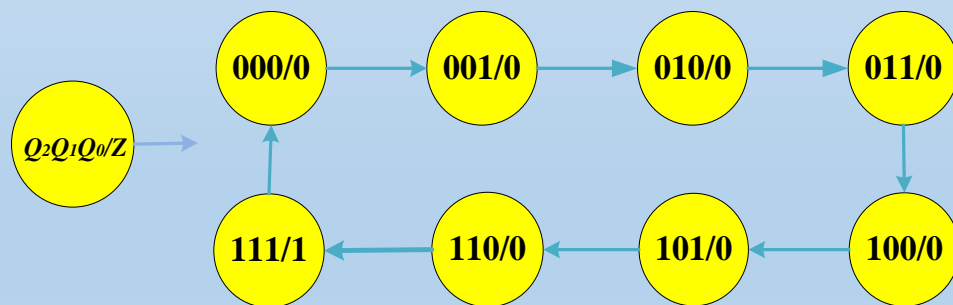


## ③ 列状态转移表

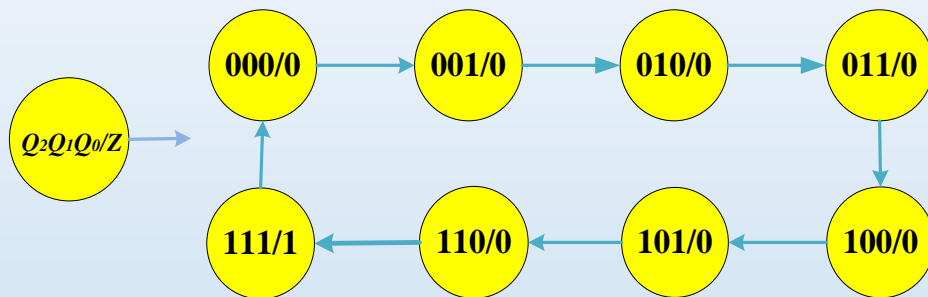
$$Z = Q_2Q_1Q_0$$

$Q_2$	$Q_1$	$Q_0$	$Q_2^{n+1}$	$Q_1^{n+1}$	$Q_0^{n+1}$	$Z$
0	0	0	0	0	1	0
0	0	1	0	1	0	0
0	1	0	0	1	1	0
0	1	1	1	0	0	0
1	0	0	1	0	1	0
1	0	1	1	1	0	0
1	1	0	1	1	1	0
1	1	1	0	0	0	1

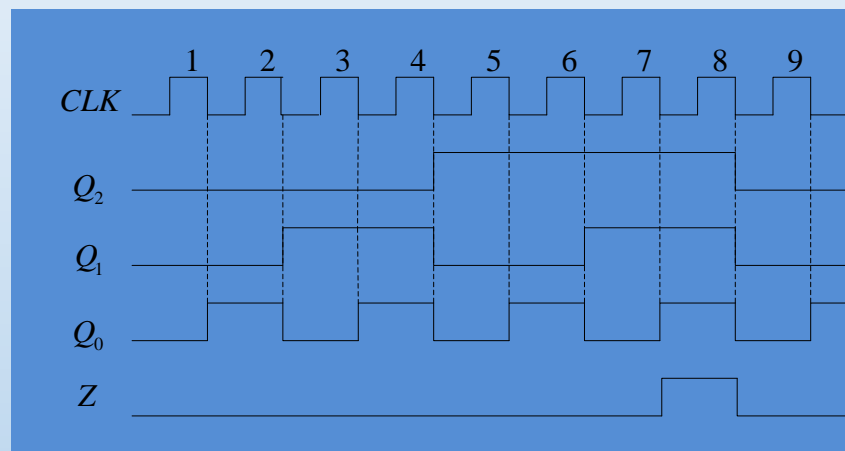
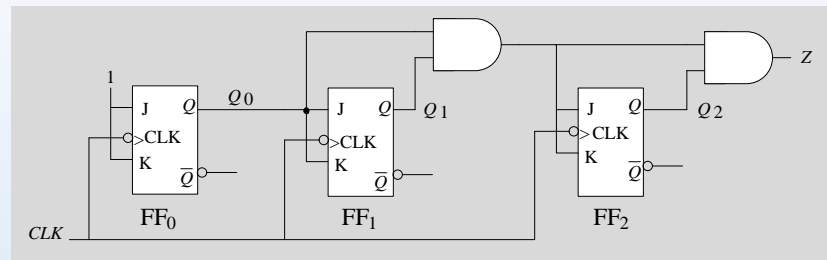
画状态图



#### ④ 画波形图



$$Z = Q_2 Q_1 Q_0$$



#### ⑤ 逻辑功能分析

在CLK控制下状态转移按**000→001→010→011→100→101→110→111→000**的规律循环。

该电路是3位二进制**加1计数器** (称为**模8加1计数器**)。

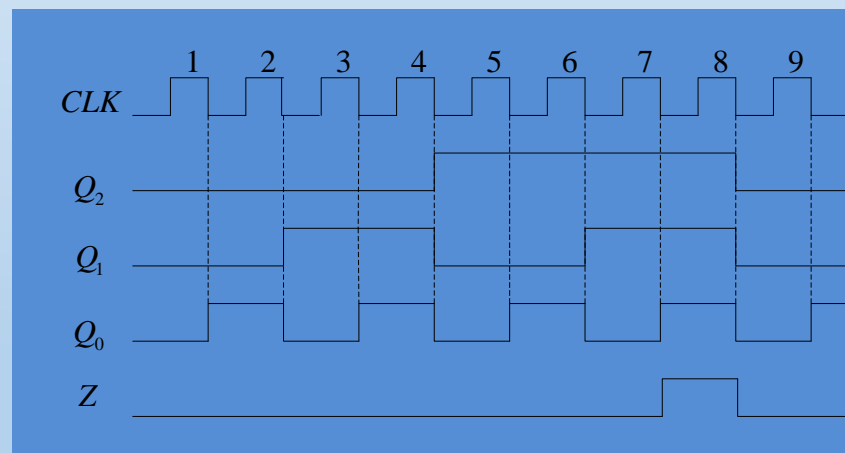
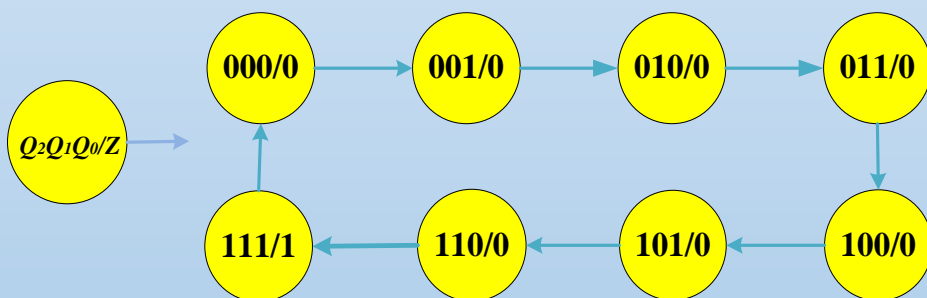
输出Z为进位标志，当计数器计到111时Z=1。

# 计数器

计数器是数字系统中应用最广泛的时序逻辑部件之一，它不仅可以用来计数、分频，还可以对系统进行定时、顺序控制等。

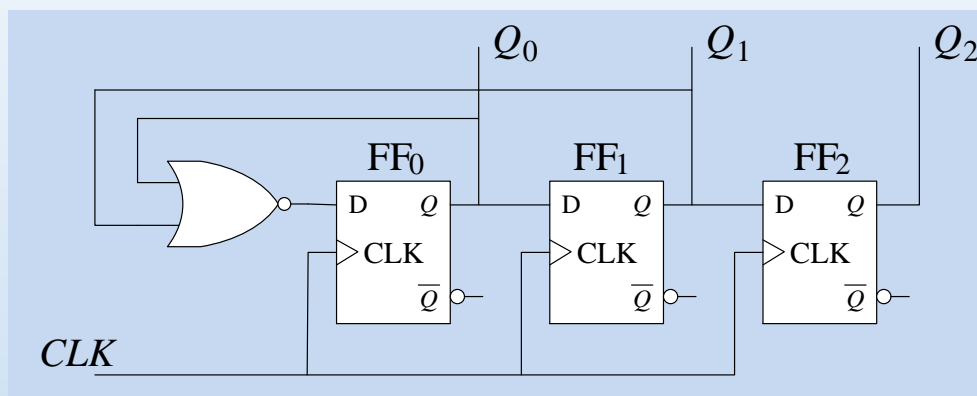
**计数器功能：**累计输入脉冲的个数。

**计数器模值：**计数器是一个周期循环的时序电路，其状态图有一个闭合环，循环一次所需要的时钟脉冲的个数称为**计数器的模值 $M$** 。



- ★ 加法器是两组数据相加，可立即得到数据；
- ✦ 计数器是累加的过程，时钟脉冲信号；

例5-2 分析如图所示同步时序电路的逻辑功能。



$$\begin{aligned}
 D_0 &= \overline{Q_0 + Q_1} = \overline{Q_0} \overline{Q_1} \\
 D_1 &= Q_0 \\
 D_2 &= Q_1 \\
 Q_0^{n+1} &= D_0 = \overline{Q_0^n} \overline{Q_1^n} \\
 Q_1^{n+1} &= Q_0^n \\
 Q_2^{n+1} &= Q_1^n
 \end{aligned}$$

解：该电路无外部输入和外部的输出，属于Moore型时序电路。

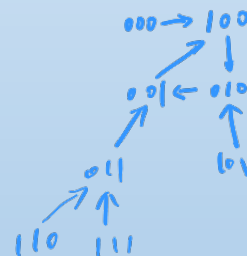
① 写激励函数为：

$$D_0 = \overline{Q_1 + Q_0}$$

$$D_1 = Q_0$$

$$D_2 = Q_1$$

0	1	2	0'	1'	2'	
0	0	0	1	0	0	✓
0	0	1	1	0	0	✓
0	1	0	0	0	1	✓
0	1	1	0	0	1	✓
1	0	0	0	1	0	✓
1	0	1	0	1	0	✓
1	1	0	0	1	1	
1	1	1	0	1	1	



② 求状态方程

$$Q_0^{n+1} = D_0 = \overline{Q_1 + Q_0}$$

$$Q_1^{n+1} = D_1 = Q_0$$

$$Q_2^{n+1} = D_2 = Q_1$$

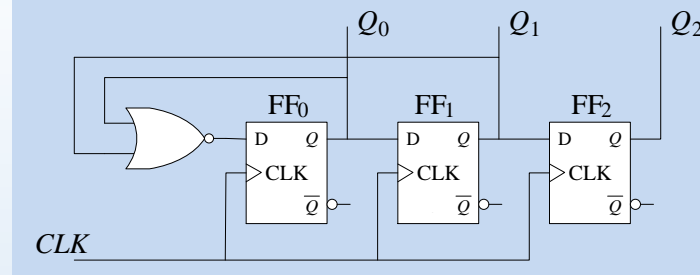
### ③ 列状态转移表

$$Q_0^{n+1} = \overline{Q_1 + Q_0}$$

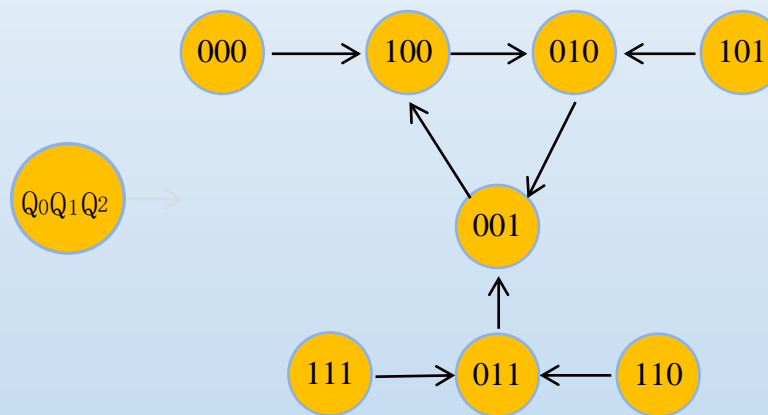
$$Q_1^{n+1} = Q_0$$

$$Q_2^{n+1} = Q_1$$

$Q_0$	$Q_1$	$Q_2$	$Q_0^{n+1}$	$Q_1^{n+1}$	$Q_2^{n+1}$
0	0	0	1	0	0
0	0	1	1	0	0
0	1	0	0	0	1
0	1	1	0	0	1
1	0	0	0	1	0
1	0	1	0	1	0
1	1	0	0	1	1
1	1	1	0	1	1



画状态图



### ③ 列状态转移表

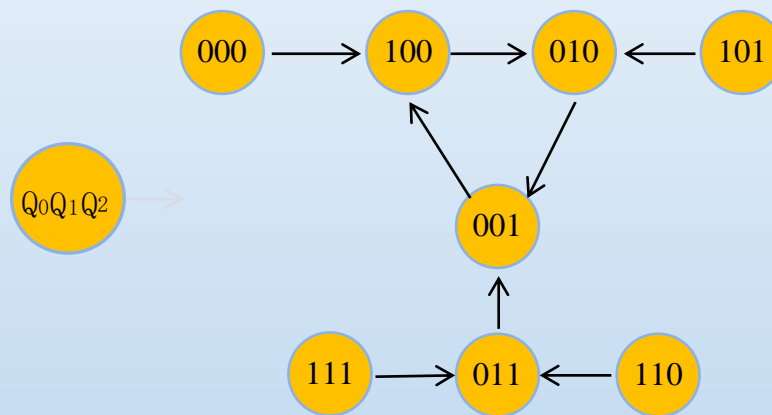
$$Q_0^{n+1} = \overline{Q_1 + Q_0}$$

$$Q_1^{n+1} = Q_0$$

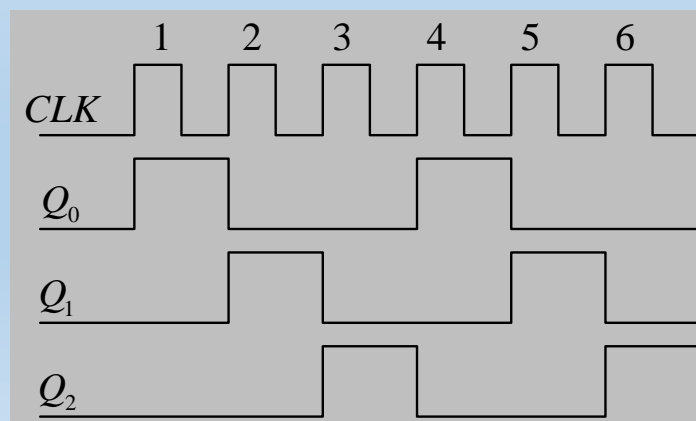
$$Q_2^{n+1} = Q_1$$

$Q_0$	$Q_1$	$Q_2$	$Q_0^{n+1}$	$Q_1^{n+1}$	$Q_2^{n+1}$
0	0	0	1	0	0
0	0	1	1	0	0
0	1	0	0	0	1
0	1	1	0	0	1
1	0	0	0	1	0
1	0	1	0	1	0
1	1	0	0	1	1
1	1	1	0	1	1

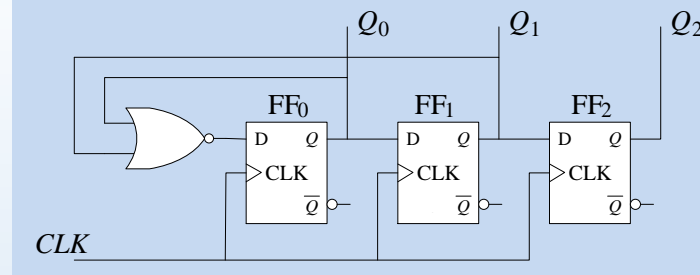
### 画状态图



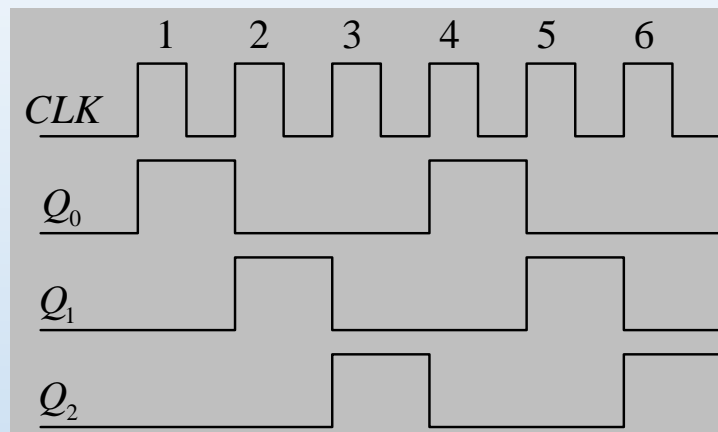
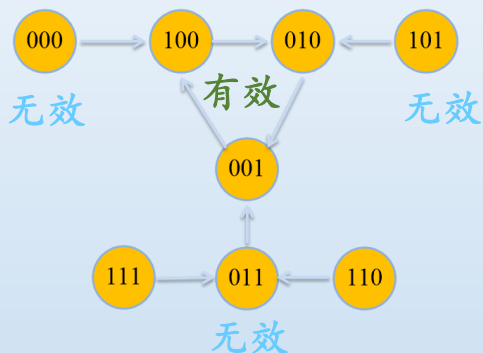
### ④ 画波形图



由波形图看出：当电路正常工作时，各输出端依次出现正脉冲，其脉冲宽度等于一个CLK周期T，循环周期为3T



## ⑤ 逻辑功能分析



a. 模3计数器，其特点是“1”在三个触发器中右移循环，因此是一种特殊的计数器，称为**环形计数器**。

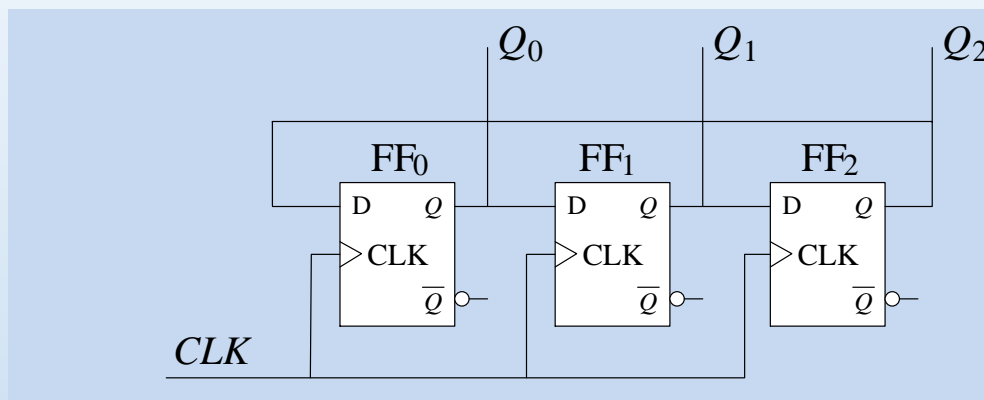
b. 另外，时序波形分析看出：该电路在时钟脉冲 $CLK$ 作用下，把宽度为 $T$ 的脉冲依次分配给 $Q_0Q_1Q_2$ 电路也是一个**脉冲分配器**。

## 自启动功能

自启动又称自校正，是电路能从**无效**的状态自动进入**有效**状态。

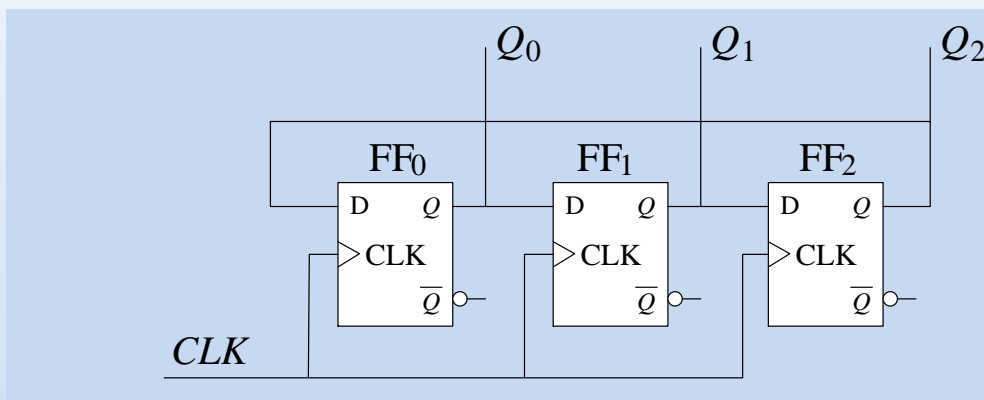
如果在一个时序电路中所有的无效状态都能转换到有效状态，则称该时序电路具有自启动功能

问题：如图所示电路为环形计数器电路，分析该电路存在的问题？





问题：如图所示电路为环形计数器电路，分析该电路存在的问题？



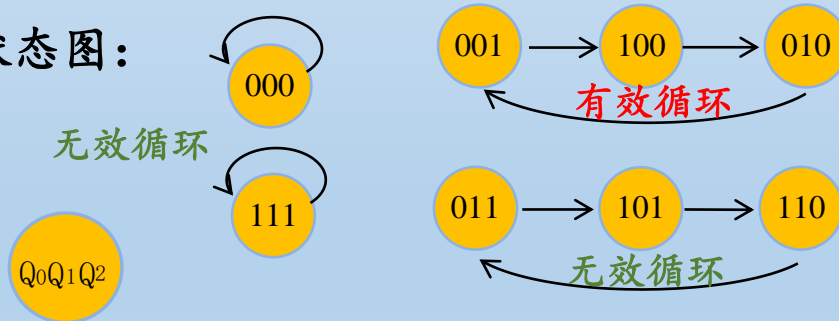
**分析：**该电路构成的是一个右移环形计数器。状态方程：

$$Q_0^{n+1} = D_0 = Q_2$$

$$Q_1^{n+1} = D_1 = Q_0$$

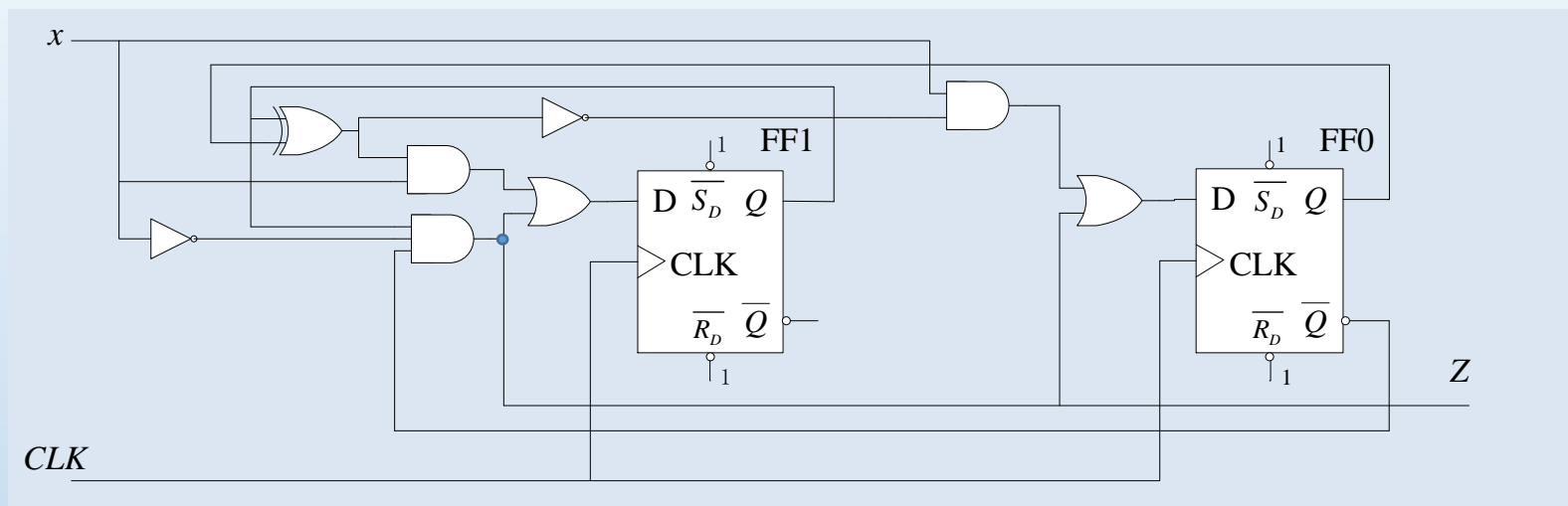
$$Q_2^{n+1} = D_2 = Q_1$$

画状态图：

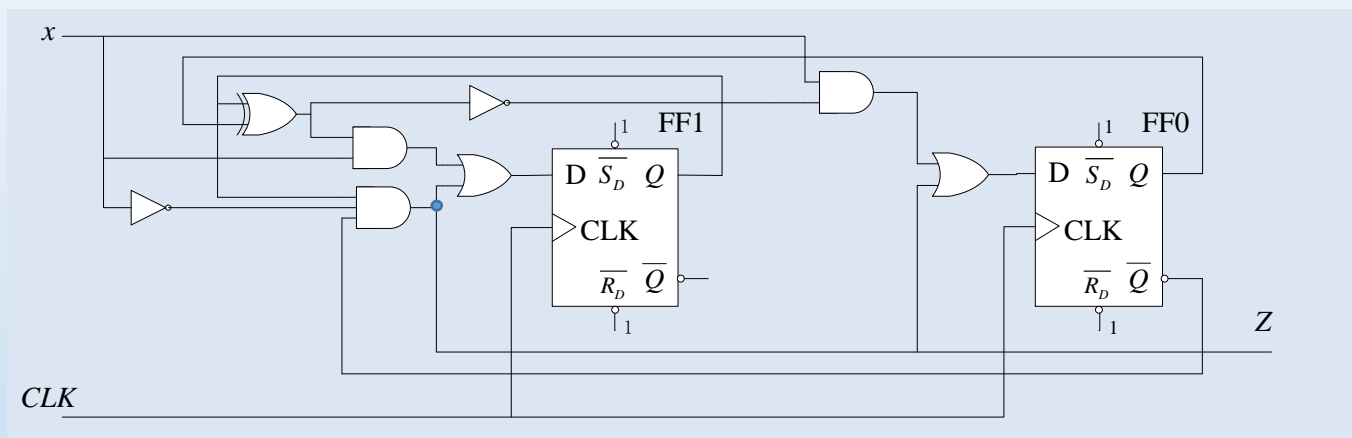


该电路**不能自启动**，  
不具有实际应用价值。

**例5-3** 分析如图所示同步时序逻辑电路的功能。



### 例5-3 分析如图所示同步时序逻辑电路的功能。



解：① 写激励和输出函数

$$D_1 = \bar{x}Q_1\bar{Q}_0 + x(Q_1 \oplus Q_0)$$

$$Z = \bar{x}Q_1\bar{Q}_0$$

$$D_0 = \bar{x}Q_1\bar{Q}_0 + x(\overline{Q_1 \oplus Q_0})$$

输出Z与外输入x有关，该电路为Mealy型电路。

② 求状态方程

$$Q_1^{n+1} = D_1 = \bar{x}Q_1\bar{Q}_0 + x(Q_1 \oplus Q_0) \quad Q_0^{n+1} = D_0 = \bar{x}Q_1\bar{Q}_0 + x(\overline{Q_1 \oplus Q_0})$$

### ③ 列状态表、画状态图

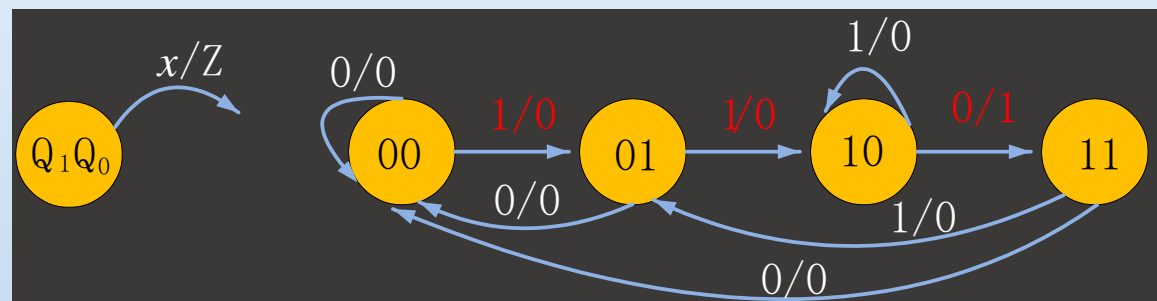
$$Q_1^{n+1} = \bar{x}Q_1\bar{Q}_0 + x(Q_1 \oplus Q_0)$$

$$Z = \bar{x}Q_1\bar{Q}_0$$

$$Q_0^{n+1} = \bar{x}Q_1\bar{Q}_0 + x(\overline{Q_1 \oplus Q_0})$$

输出Z与外输入x有关，该电路为Mealy型电路。

$x$		$Q_1^{n+1} Q_0^{n+1} / Z$	
		0	1
$Q_1 Q_0$	0 0	00/0	01/0
	0 1	00/0	10/0
	1 1	00/0	01/0
	1 0	11/1	10/0



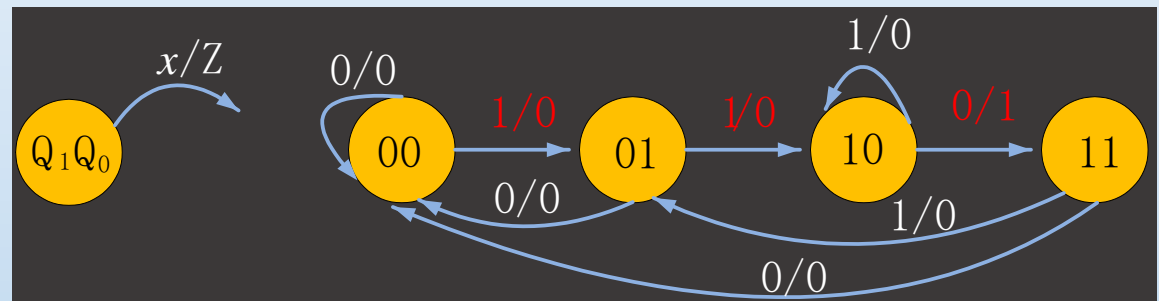
### ③ 列状态表、画状态图

$$Q_1^{n+1} = \bar{x}Q_1\bar{Q}_0 + x(Q_1 \oplus Q_0)$$

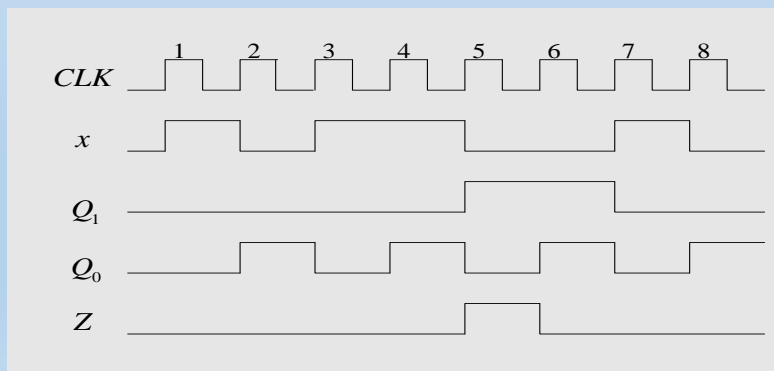
$$Z = \bar{x}Q_1\bar{Q}_0$$

$$Q_0^{n+1} = \bar{x}Q_1\bar{Q}_0 + x(\overline{Q_1 \oplus Q_0})$$

$x$		$Q_1^{n+1} Q_0^{n+1} / Z$	
		0	1
$Q_1 Q_0$	0 0	00/0	01/0
	0 1	00/0	10/0
	1 1	00/0	01/0
	1 0	11/1	10/0



### ④ 画波形图



$$Z = \bar{x}Q_1\bar{Q}_0$$

### ⑤ 逻辑功能描述

电路是一个输入为**110序列**检测电路。

输出Z只有在输入x为**110序列**时输出Z=1，其余Z=0。

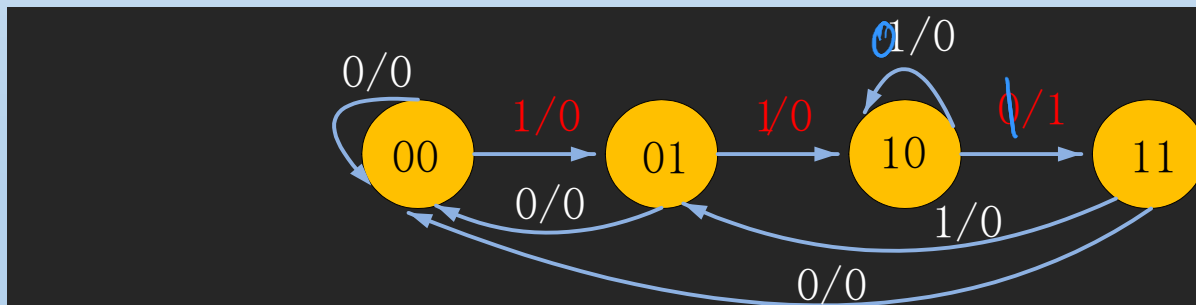
## 110序列检测电路的输入、输出关系

输入串行序列  $x$  : 0 1 0 **1 1 0** 0 1 **1 1 0** 1 1 **1 1 0** 0 0

输出标志  $Z$ : 0 0 0 0 0 **1** 0 0 0 0 **1** 0 0 0 0 1 0

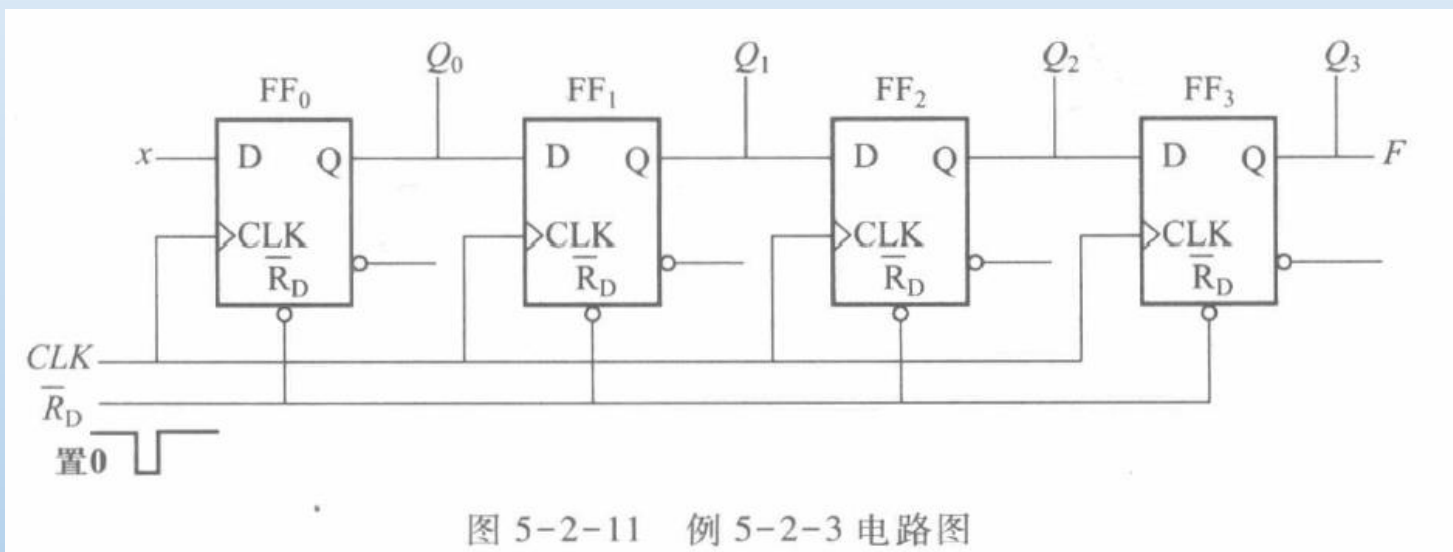
问题：例5-3电路检测的是**110**序列，为什么不是**1110**或**11110**序列？

序列检测原则：从初态开始，走最短的路径到输出标志出现。



**例 5-2-4** 由四个D触发器串接在一起的同步时序电路如图5-2-11所示，图中的置0负脉冲表示电路在开始工作前先置0，即触发器的状态全为0。

- (1) 分析电路在输入x为11010001序列时，各触发器的状态转移真值表；
- (2) 画出电路在输入x为11010001序列时的时序波形；
- (3) 描述电路功能。



**例 5-2-4** 由四个D触发器串接在一起的同步时序电路如图5-2-11所示，图中的置0负脉冲表示电路在开始工作前先置0，即触发器的状态全为0。

- (1) 分析电路在输入x为11010001序列时，各触发器的状态转移真值表；
- (2) 画出电路在输入x为11010001序列时的时序波形；
- (3) 描述电路功能。

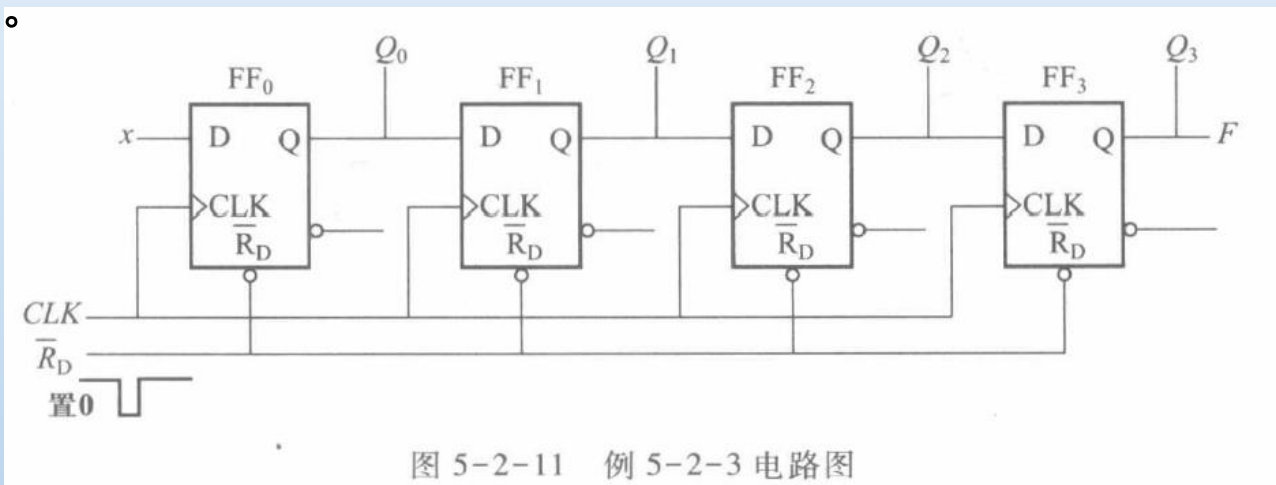


图 5-2-11 例 5-2-3 电路图

解：① 写出输出方程和触发器的输入方程：  $F = Q_3$        $D_0 = x$

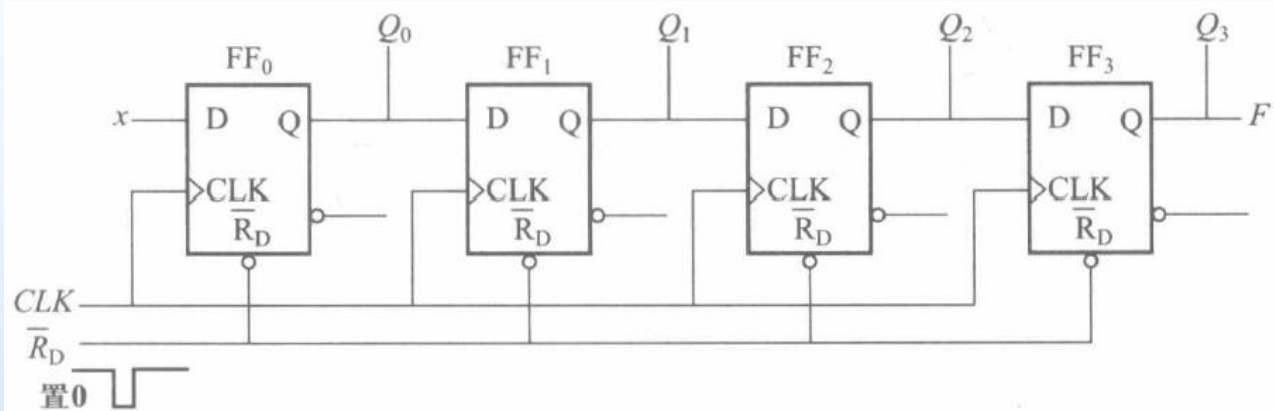
② 状态方程：  $Q_0^{n+1} = D_0 = x$        $D_1 = Q_0$

$Q_1^{n+1} = D_1 = Q_0$        $D_2 = Q_1$

$Q_2^{n+1} = D_2 = Q_1$        $D_3 = Q_2$

$Q_3^{n+1} = D_3 = Q_2$





$$Q_0^{n+1} = D_0 = x$$

$$Q_1^{n+1} = D_1 = Q_0$$

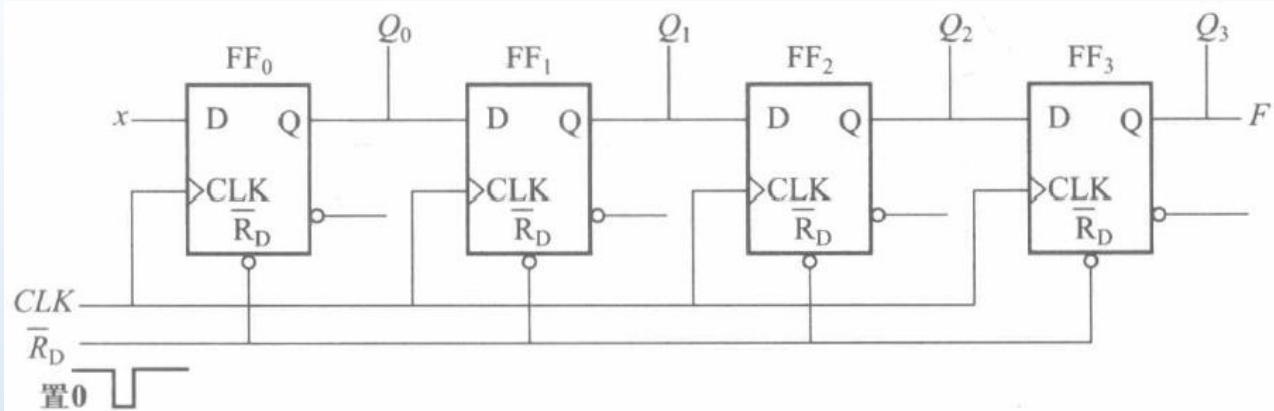
$$Q_2^{n+1} = D_2 = Q_1$$

$$Q_3^{n+1} = D_3 = Q_2$$

表 5-2-5 移位寄存状态表

$F = Q_3$

$\overline{R_D}$	CLK	x	$Q_0$	$Q_1$	$Q_2$	$Q_3$	$Q_0^{n+1}$	$Q_1^{n+1}$	$Q_2^{n+1}$	$Q_3^{n+1}$	F
0	×	×	0	0	0	0	0	0	0	0	0
1	1	1	0	0	0	0	1	0	0	0	0
1	2	1	1	0	0	0	1	1	0	0	0
1	3	0	1	1	0	0	0	1	1	0	0
1	4	1	0	1	1	0	1	0	1	1	0
1	5	0	1	0	1	1	0	1	0	1	1
1	6	0	0	1	0	1	0	0	1	0	1
1	7	0	0	0	1	0	0	0	0	1	0
1	8	1	0	0	0	1	1	0	0	0	1



$$Q_0^{n+1} = D_0 = x$$

$$Q_1^{n+1} = D_1 = Q_0$$

$$Q_2^{n+1} = D_2 = Q_1$$

$$Q_3^{n+1} = D_3 = Q_2$$

$x$
$\times$
1
1
0
1
0
0
0
1

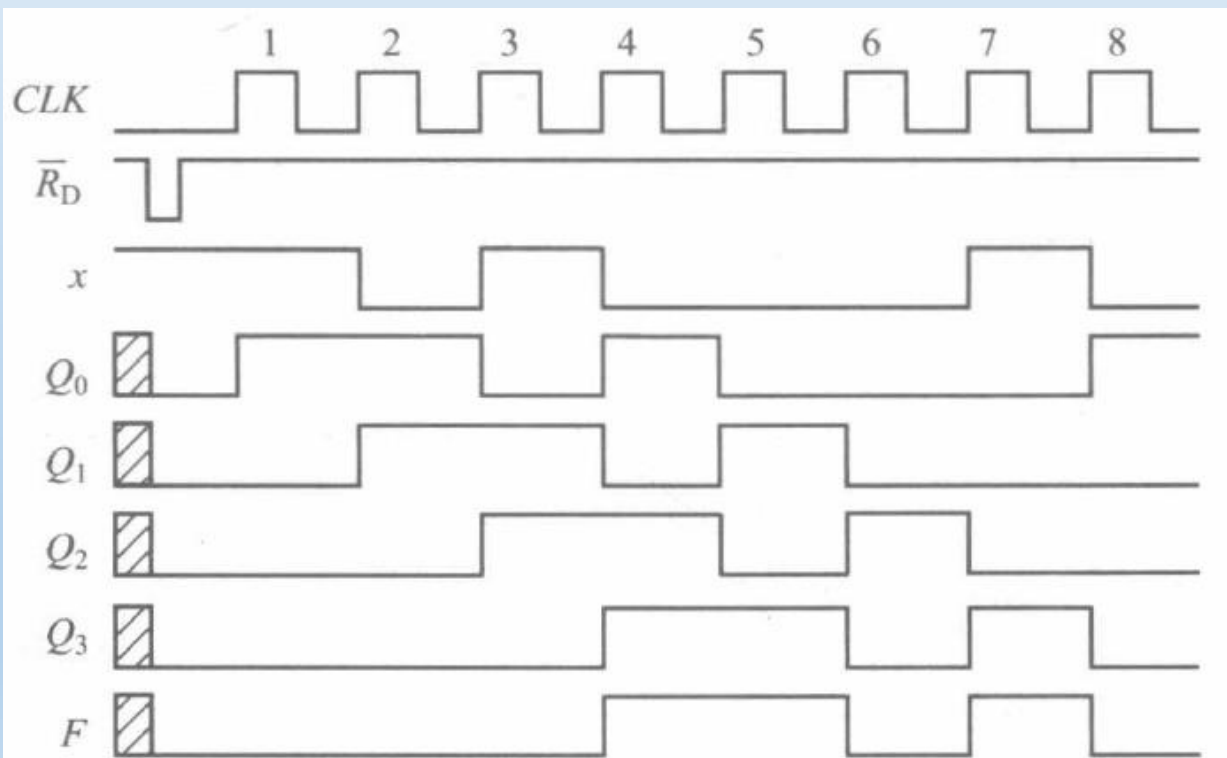


图 5-2-12 例 5-2-4 时序波形

#### ④逻辑功能分析。

由时序波形图5-2-12可以看出，经过四个CLK时钟脉冲后，x输入的4位串行数据1101恰好全部移入触发器中，此时从四个触发器输出端 $Q_0Q_1Q_2Q_3$ 可并行读出4位数据，这种功能称为串入-并出移位寄存器。

若继续加入四个CLK时钟脉冲后，x输入的8位串行数据11010001的前4位数据1101便依次由 $F = Q_3$ 串行输出，这种由x串行输入、 $Q_3$ 串行输出的功能称为串入-串出移位寄存器。

##### 寄存器串行数据的定义：

一个数据输入端或输出端每经过一个时钟周期只输入或输出1位数据的过程。例如：**1101**为串行输入数据，需要四个时钟周期输入。

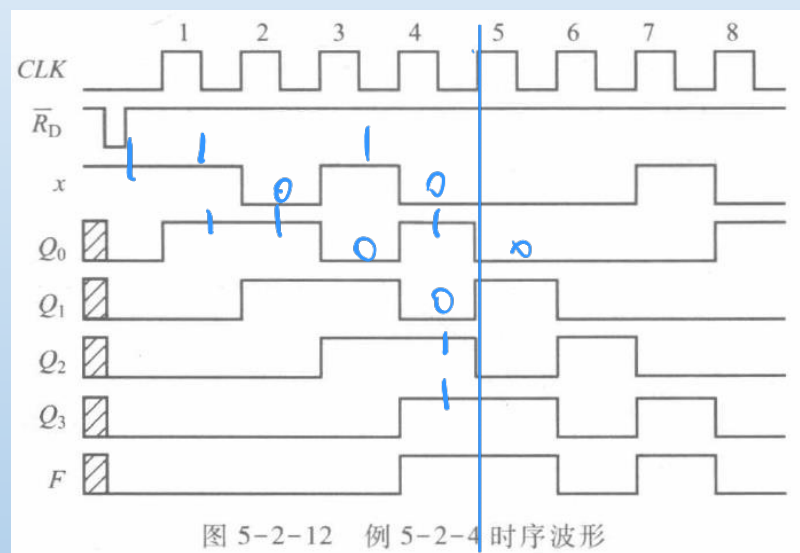


图 5-2-12 例 5-2-4 时序波形

##### 寄存器并行数据的定义：

多个数据输入端或输出端在一个时钟周期同时输入或输出多位数据的过程。

# 第五章 时序逻辑电路的分析和设计

- 时序逻辑电路的基本概念
- 同步时序逻辑电路的分析
- 异步时序逻辑电路的分析
- 同步时序逻辑电路的设计
- 集成计数器
- 集成寄存器
- 中规模时序电路的综合应用

## 5.2 异步时序逻辑电路的分析

### — 实例分析

## 5.3 异步时序逻辑电路的分析方法

异步时序电路与同步时序电路的区别：

- 电路中个触发器的时钟输入不是来自同一个时钟信号；
  - 各触发器的状态转换不是同步完成；
- 
- ◆ **优点：**由于异步时序电路中每个触发器不是同时翻转的，使得异步时序电路的**功耗相对较低**，构成异步计数器的电路结构比一般同样特性的同步计数器**简单**；
  - ◆ **缺点：**工作速度比同步电路低，分析方法比同步时序电路复杂；

## 异步时序逻辑电路的分析步骤：

- ① 根据**时序电路图**写出该电路的**输出方程**和各触发器的**输入（激励）方程**。
- ② 根据触发器的输入方程和触发器的特征方程，获得时序电路的**状态方程**。
- ③ 根据状态方程和输出方程，建立**状态转移表**（或状态表），画出**状态图**和**时序波形图**。
- ④ 描述电路的**逻辑功能**。

**注意：**需要找出每次电路状态转换时哪些触发器有时钟信号，哪些触发器没有时钟信号。

例 5-3-1 分析图5-3-1所示异步时序电路的逻辑功能。

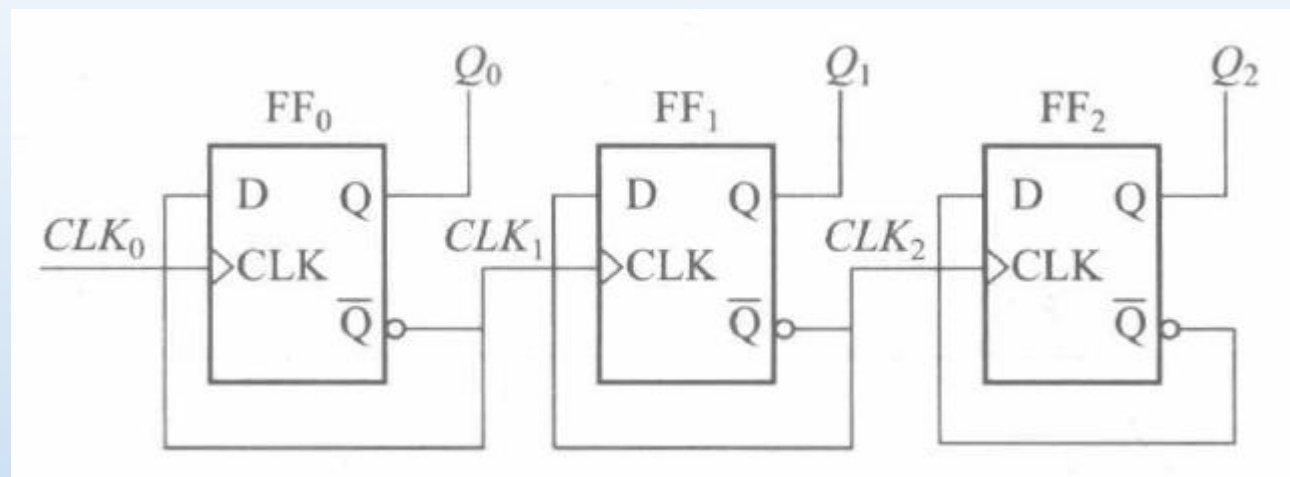


图5-3-1

例 5-3-1 分析图5-3-1所示异步时序电路的逻辑功能。

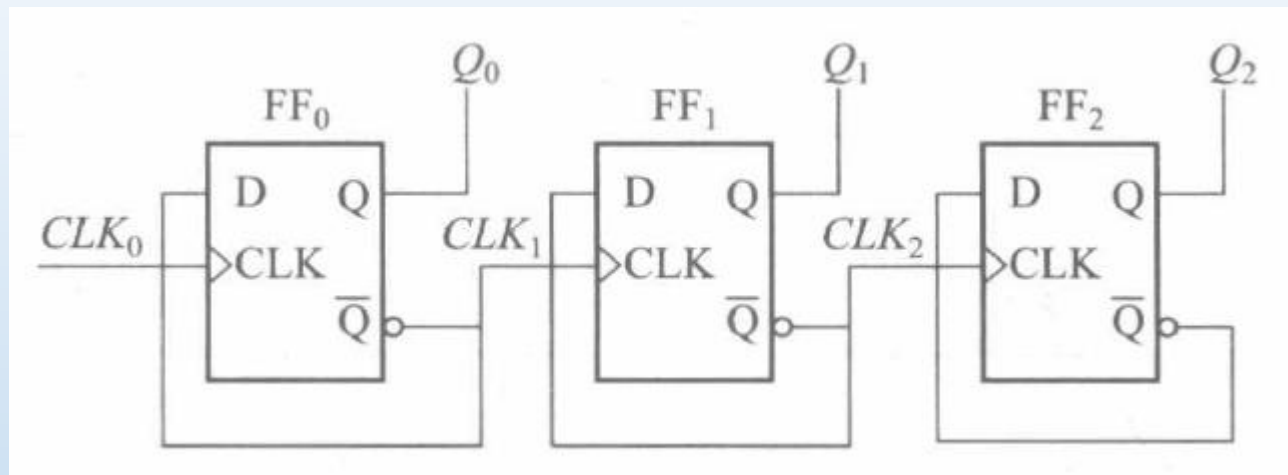


图5-3-1

解：① 写出激励函数和状态方程：  $D_0 = \overline{Q_0}$

$$D_1 = \overline{Q_1}$$

② 列状态方程：

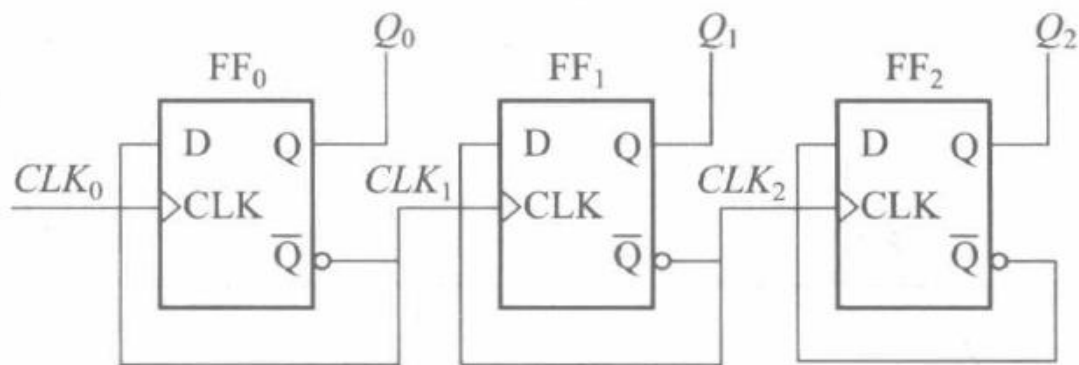
$$D_2 = \overline{Q_2}$$

$$Q_0^{n+1} = \overline{Q_0} \quad (\text{CLK}_0 \text{ 上升沿有效})$$

$$Q_1^{n+1} = \overline{Q_1} \quad (\text{CLK}_1 \text{ 上升沿有效})$$

$$Q_2^{n+1} = \overline{Q_2} \quad (\text{CLK}_2 \text{ 上升沿有效})$$





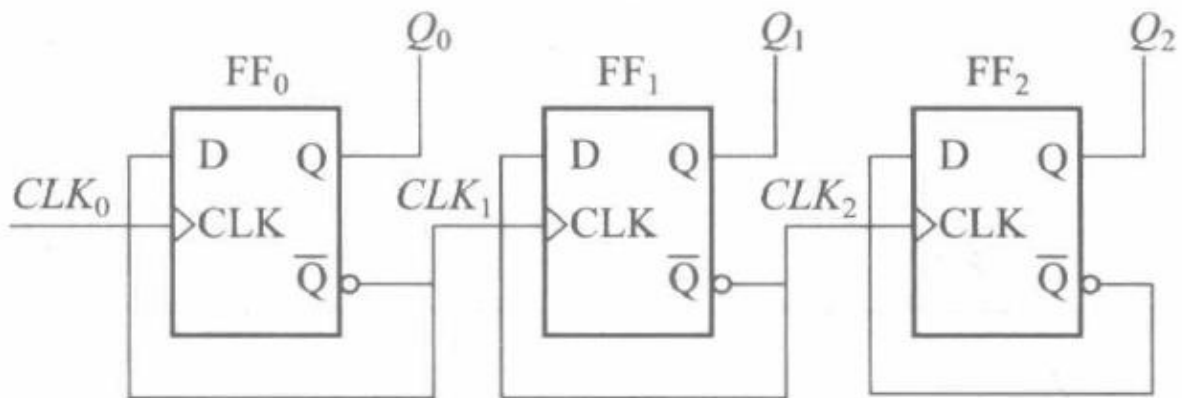
$$D_0 = \overline{Q_0} \quad D_1 = \overline{Q_1} \quad D_2 = \overline{Q_2}$$

$$Q_0^{n+1} = \overline{Q_0} \quad (\text{CLK}_0 \text{ 上升沿有效})$$

$$Q_1^{n+1} = \overline{Q_1} \quad (\text{CLK}_1 \text{ 上升沿有效})$$

$$Q_2^{n+1} = \overline{Q_2} \quad (\text{CLK}_2 \text{ 上升沿有效})$$

		$\overline{Q_0}$			$\overline{Q_1}$				
序号	$CLK_0$	$Q_0$	$Q_0^{n+1}$	$CLK_1$	$Q_1$	$Q_1^{n+1}$	$CLK_2$	$Q_2$	$Q_2^{n+1}$
1	↑	0	1	0	0	0	0	0	0
2	↑	1	0	1	0	1	0	0	0
3	↑	0	1	0	1	1	0	0	0
4	↑	1	0	1	1	0	1	0	1
5	↑	0	1	0	0	0	1	1	1
6	↑	1	0	1	0	1	0	1	1
7	↑	0	1	0	1	1	0	1	1
8	↑	1	0	1	1	0	1	1	0



$$D_0 = \overline{Q_0} \quad D_1 = \overline{Q_1} \quad D_2 = \overline{Q_2}$$

$$Q_0^{n+1} = \overline{Q_0} \quad (\text{CLK}_0 \text{ 上升沿有效})$$

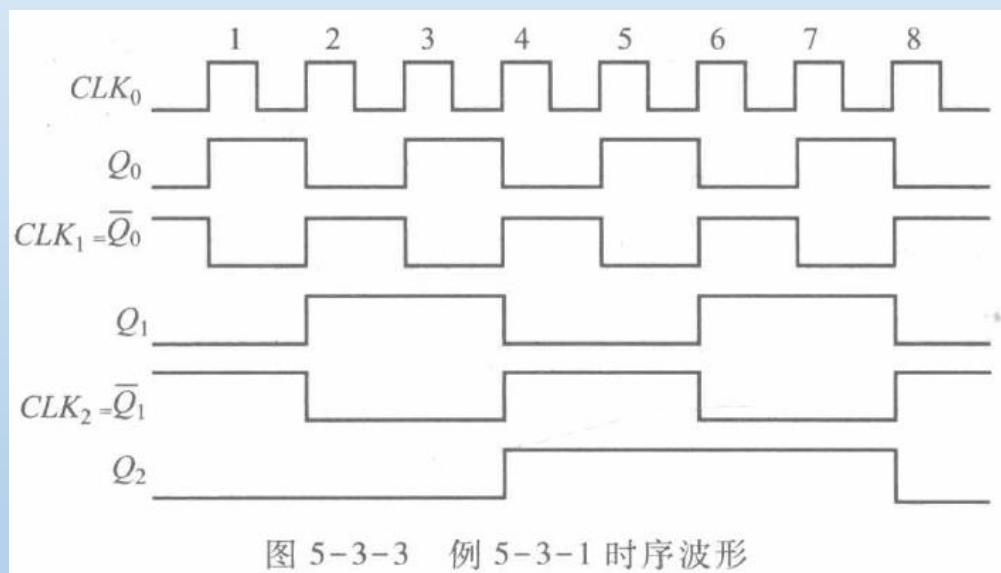
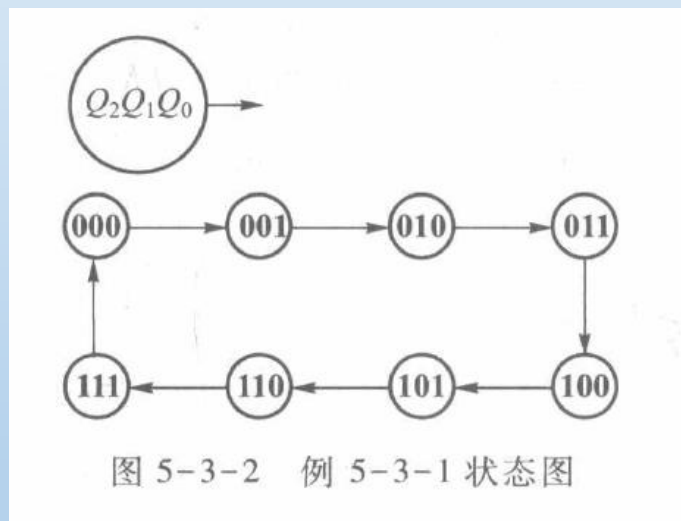
$$Q_1^{n+1} = \overline{Q_1} \quad (\text{CLK}_1 \text{ 上升沿有效})$$

$$Q_2^{n+1} = \overline{Q_2} \quad (\text{CLK}_2 \text{ 上升沿有效})$$

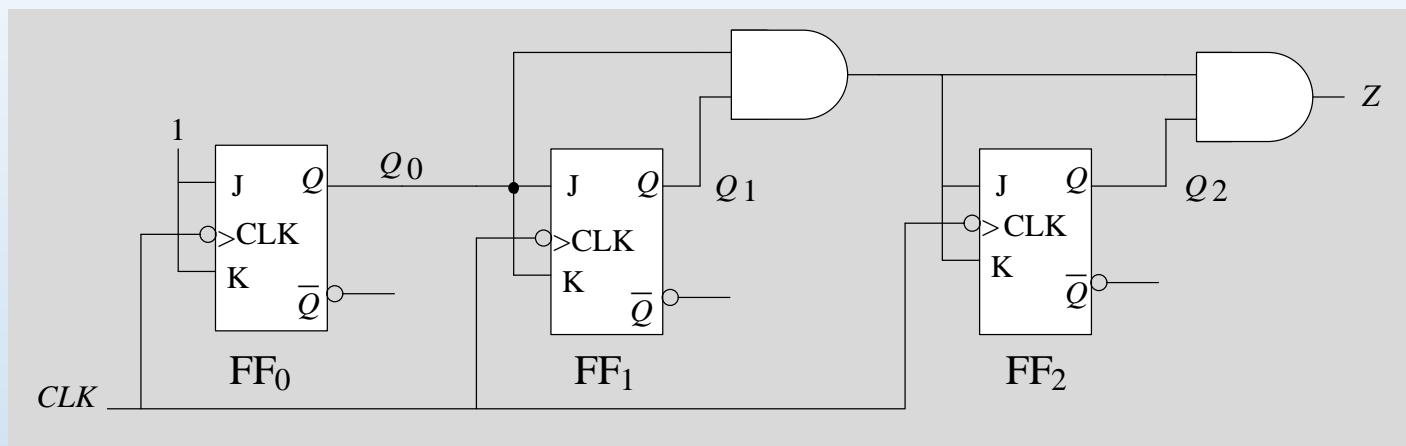
表 5-3-1 状 态 表

序号	$CLK_0$	$Q_2$	$Q_1$	$Q_0$	$Q_2^{n+1}$	$Q_1^{n+1}$	$Q_0^{n+1}$	$CLK_1$	$CLK_2$
1	↑	0	0	0	0	0	1	0	0
2	↑	0	0	1	0	1	0	↑	0
3	↑	0	1	0	0	1	1	0	0
4	↑	0	1	1	1	0	0	↑	↑
5	↑	1	0	0	1	0	1	0	0
6	↑	1	0	1	1	1	0	↑	0
7	↑	1	1	0	1	1	1	0	0
8	↑	1	1	1	0	0	0	↑	↑

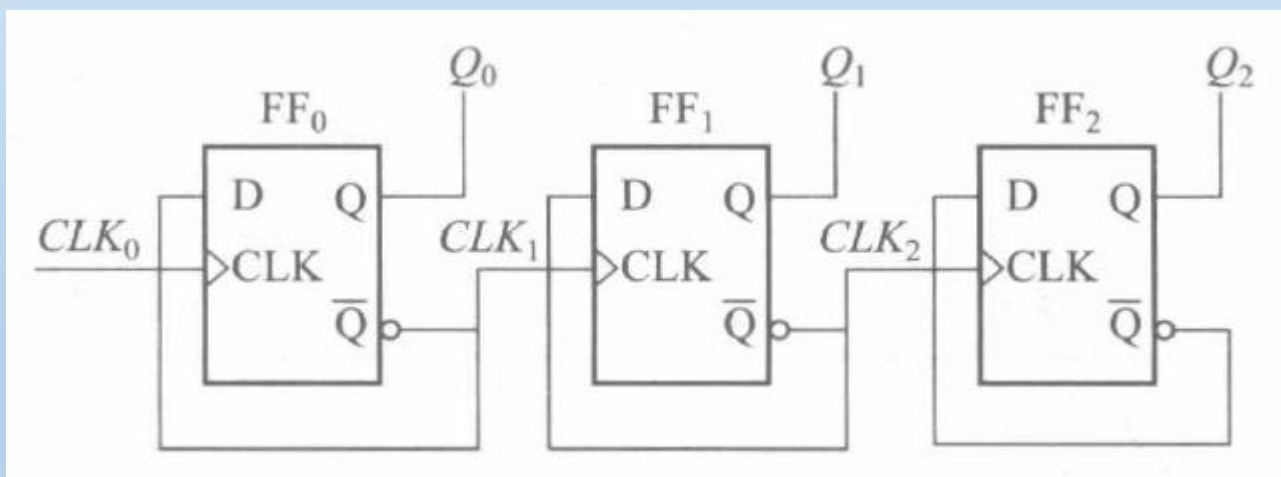
由状态表 5-3-1 可画出状态图,如图 5-3-2 所示。图 5-3-3 为该电路的时序波形图,在画时序波形图的过程中,首先画出  $Q_0$  在时钟脉冲  $CLK_0$  作用下,每来一个上升沿翻转一次 ( $Q_0^{n+1} = \overline{Q_0}$ ); 然后根据  $CLK_1 = \overline{Q_0}$ , 画出  $Q_1$  在时钟脉冲  $CLK_1$  作用下,每来一个上升沿翻转一次 ( $Q_1^{n+1} = \overline{Q_1}$ ); 最后画出  $CLK_2 = \overline{Q_1}$  和  $Q_2$  的波形。



4. 逻辑功能分析: 该电路是一个模8加法计数器, 也称八进制加法计数器。



## 模8加法计数器



同步电路

# 第五章 时序逻辑电路的分析和设计

- 时序逻辑电路的基本概念
- 同步时序逻辑电路的分析
- 异步时序逻辑电路的分析
- 同步时序逻辑电路的设计
- 集成计数器
- 集成寄存器
- 中规模时序电路的综合应用

## 5.4 同步时序逻辑电路的设计方法

- 建立原始状态图或状态表
- 状态化简
- 状态分配
- 同步时序逻辑电路的设计举例

## 5.4 同步时序逻辑电路的设计方法

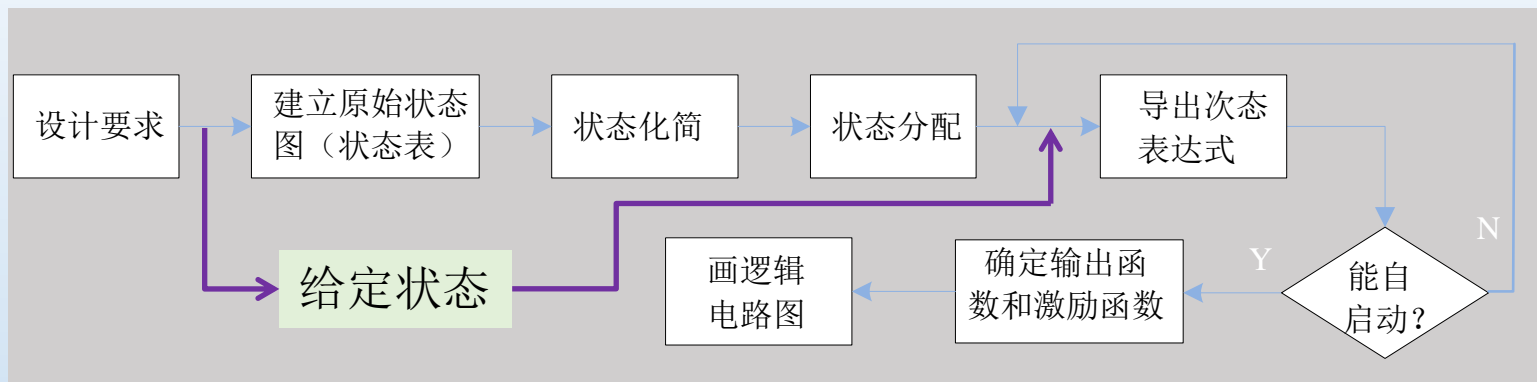
时序电路的设计过程：

把语言描述转换成符合设计要求的状态图或状态表，  
选择适当的逻辑器件，设计出时序逻辑电路。

同步时序电路的设计步骤：

- ① 根据命题的描述确定输入、输出变量和可能的状态数目；
- ② 建立原始状态图、状态表；
- ③ 状态化简；
- ④ 状态分配，得到编码状态表；
- ⑤ 填次态和输出卡诺图，根据选择的触发器，导出次态表达式；
- ⑥ 检查自启动；
- ⑦ 写出触发器输入（激励）函数和输出函数；
- ⑧ 画出时序逻辑电路图。

## 同步时序电路的设计流程图：



### 同步时序电路的设计步骤：

- ① 根据命题的描述确定输入、输出变量和可能的状态数目；
- ② 建立原始状态图、状态表；
- ③ 状态化简；
- ④ 状态分配，得到编码状态表；
- ⑤ 填次态和输出卡诺图，根据选择的触发器，导出次态表达式；
- ⑥ 检查自启动；
- ⑦ 写出触发器输入（激励）函数和输出函数；
- ⑧ 画出时序逻辑电路图。

**例5-4** 设计一个同步模为4的可逆计数器。加减控制信号为X:

当X=0时为加1计数器，计数循环过程是00→01→10→11→00；

当X=1时为减1计数器，计数循环过程是00→11→10→01→00。

Z为进位或借位输出，当X=0时加1计数器为11时Z=1，当X=1时减1计数器为00时Z=1。试设计该计数器，画出电路图。

X	$Q_1$	$Q_0$	$Q_1^{n+1}$	$Q_0^{n+1}$
0	0	0	0	1
0	0	1	1	0
0	1	0	1	1
0	1	1	0	0
1	0	0	1	1
1	0	1	0	0
1	1	0	0	1
1	1	1	1	0



**例5-4** 设计一个同步模为4的可逆计数器。加减控制信号为X:

当X=0时为加1计数器, 计数循环过程是00→01→10→11→00;

当X=1时为减1计数器, 计数循环过程是00→11→10→01→00。

Z为进位或借位输出, 当X=0时加1计数器为11时Z=1, 当X=1时减1计数器为00时Z=1。试设计该计数器, 画出电路图。

**解:** ① 确定输入、输出变量和状态数目

一个输入变量X, 一个输出变量Z, 4个状态用两个触发器表示。

② 列出二进制状态转移真值表

X	$Q_1$	$Q_0$	$Q_1^{n+1}$	$Q_0^{n+1}$	Z
0	0	0	0	1	0
0	0	1	1	0	0
0	1	0	1	1	0
0	1	1	0	0	1
1	0	0	1	1	1
1	0	1	0	0	0
1	1	0	0	1	0
1	1	1	1	0	0

### ③填次态和输出卡诺图

$X$	$Q_1$	$Q_0$	$Q_1^{n+1}$	$Q_0^{n+1}$	$Z$
0	0	0	0	1	0
0	0	1	1	0	0
0	1	0	1	1	0
0	1	1	0	0	1
1	0	0	1	1	1
1	0	1	0	0	0
1	1	0	0	1	0
1	1	1	1	0	0

$X \backslash Q_1 Q_0$	00	01	10	11
0	0	1	1	0
1	1	0	0	1

 $Q_1^{n+1}$ 

$X \backslash Q_1 Q_0$	00	01	10	11
0	1	1	0	0
1	1	1	0	0

 $Q_0^{n+1}$ 

$X \backslash Q_1 Q_0$	00	01	10	11
0	0	1	0	0
1	1	0	0	0

 $Z$ 

### ④检查自启动，写出激励函数和输出函数

4个状态，两个触发器无多余的状态，可以自启动。

#### 1) 选用D触发器实现逻辑设计

$$\begin{aligned}
 Q_1^{n+1} &= \bar{X} \cdot \bar{Q}_1 Q_0 + \bar{X} Q_1 \bar{Q}_0 + X \bar{Q}_1 \bar{Q}_0 + X Q_1 Q_0 \\
 &= \bar{X} (Q_1 \oplus Q_0) + X \overline{Q_1 \oplus Q_0} = X \oplus Q_1 \oplus Q_0
 \end{aligned}$$



$$D_1 = X \oplus Q_1 \oplus Q_0$$

$$Q_0^{n+1} = \bar{Q}_0$$



$$D_0 = \bar{Q}_0$$

$$Z = \bar{X} Q_1 Q_0 + X \bar{Q}_1 \bar{Q}_0$$

## 2) 选用JK触发器实现逻辑设计

$$Q^{n+1} = J\bar{Q} + \bar{K}Q$$

$Q_1Q_0 \backslash X$	0	1
00	0	1
01	1	0
11	0	1
10	1	0

$$Q_1^{n+1}$$

$Q_1Q_0 \backslash X$	0	1
00	1	1
01	0	0
11	0	0
10	1	1

$$Q_0^{n+1}$$

$$Q_0^{n+1} = \bar{Q}_0$$

$$\begin{aligned} Q_1^{n+1} &= \bar{X}Q_0\bar{Q}_1 + X\bar{Q}_0\bar{Q}_1 + \bar{X}\bar{Q}_0Q_1 + XQ_0Q_1 \\ &= (X \oplus Q_0)\bar{Q}_1 + \overline{X \oplus Q_0}Q_1 \end{aligned}$$



$$J_1 = K_1 = X \oplus Q_0$$

$$Q_0^{n+1} = \bar{Q}_0 + \bar{1}Q_0$$



$$J_0 = K_0 = 1$$

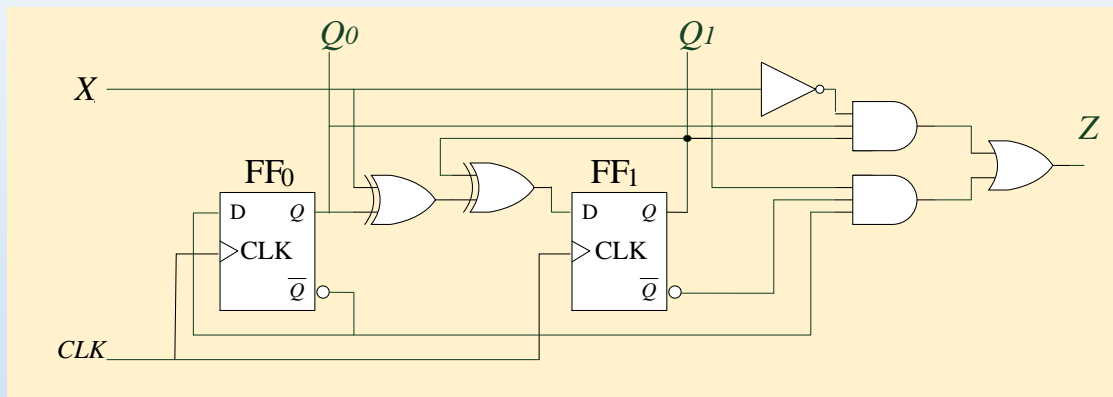
## ⑤画出时序逻辑电路图

D触发器逻辑电路：

$$D_1 = X \oplus Q_1 \oplus Q_0$$

$$D_0 = \bar{Q}_0$$

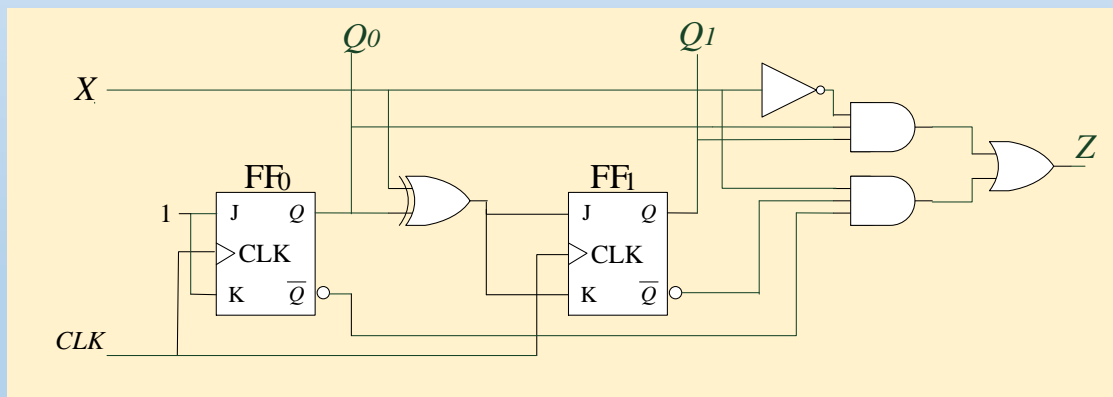
$$Z = \bar{X}Q_1Q_0 + X\bar{Q}_1\bar{Q}_0$$



JK触发器逻辑设计：

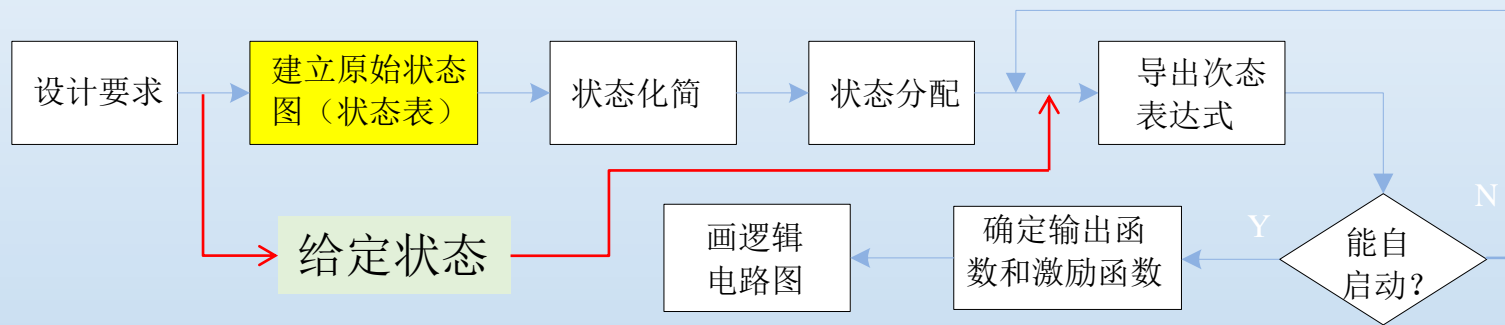
$$J_1 = K_1 = X \oplus Q_0$$

$$J_0 = K_0 = 1$$



## 5.4.1 建立原始状态图或状态表

同步时序电路的设计流程图：



原始状态图和状态表的建立是时序电路设计中最关键的一步。

一般步骤如下：

- ① 分析命题要求，确定输入、输出变量。
- ② 确定状态数目，以及每一个状态的含义，并用字母表示每一个状态信息。
- ③ 确定状态之间的转换关系，画出原始状态图，列出原始状态表。

**例1：**建立串行输入“101”序列检测电路的原始状态图和原始状态表。设该电路输入变量为X，代表输入串行序列；输出变量为Z，当检测到输入序列为“101”时Z=1，否则Z=0。要求：

- a) 设该电路为Mealy型时序电路，检测的输入序列可重叠时，输入和输出之间的关系为：

X	0	1	0	1	0	1	1	0	1	1
Z	0	0	0	0	1	0	1	0	0	0

- b) 设该电路为Mealy型时序电路，检测的输入序列不重叠时，输入和输出之间的关系为：

X	0	1	0	1	0	1	1	0	1	1
Z	0	0	0	0	1	0	0	0	0	0

解：串行输入“101”序列检测

① 确定输入变量和输出变量

设该电路的输入变量为X，输出变量为Z。

② 确定状态数目以及每一个状态的含义

根据题意，用状态来记忆输入序列情况，每一个状态的含义设为：

S0：初始状态，表示电路还没有收到一个有效的1；

S1：表示电路收到了一个1的状态；

S2：表示电路收到了10的状态；

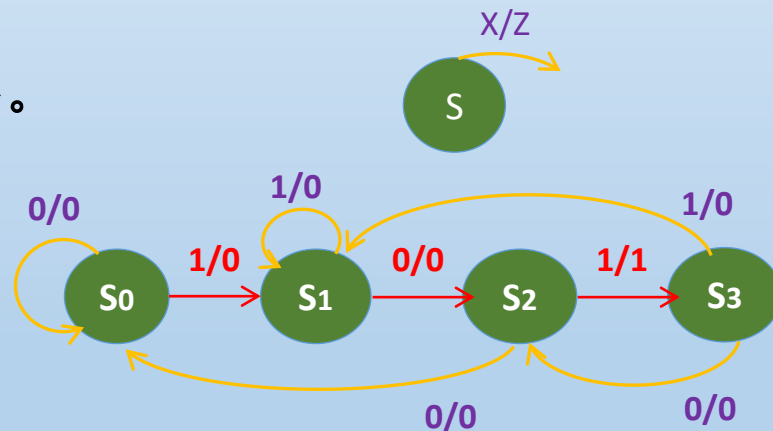
S3：表示电路收到了101的状态。

③ 画状态图、列状态表

(1) Mealy型，输入序列可重叠

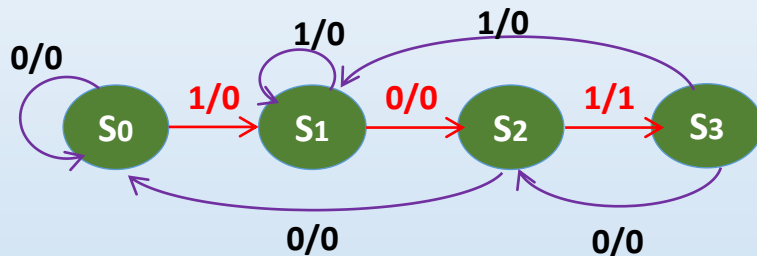
X 011010111011

Z 000010100010



### ③ 画状态图、列状态表

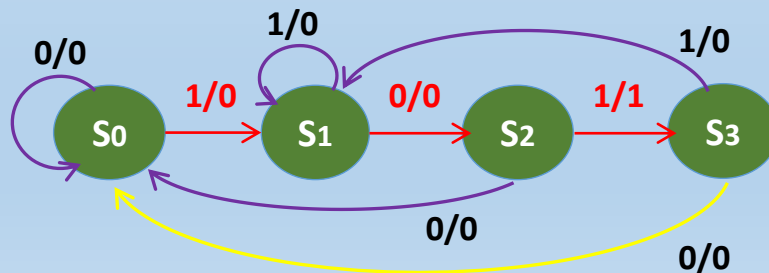
(1) Mealy型，输入序列可重叠



$S \backslash X$	$S^{n+1}/Z$	
	0	1
$S_0$	$S_0/0$	$S_1/0$
$S_1$	$S_2/0$	$S_1/0$
$S_2$	$S_0/0$	$S_3/1$
$S_3$	$S_2/0$	$S_1/0$

(2) Mealy型，输入序列不重叠

X 011010111011  
Z 000010000010



$S \backslash X$	$S^{n+1}/Z$	
	0	1
$S_0$	$S_0/0$	$S_1/0$
$S_1$	$S_2/0$	$S_1/0$
$S_2$	$S_0/0$	$S_3/1$
$S_3$	$S_0/0$	$S_1/0$



## 5.4.1 建立原始状态图或状态表举例

例2：建立Moore型时序电路状态图和表，要求检测的输入序列为可重叠“101”，输入和输出之间的关系为：

X 011010111011

Z 000001010001

解：Moore型时序电路的输出与外输入无关。

Moore型，序列可重叠

X 011010111011

Z 000001010001

Mealy型，序列可重叠

X 011010111011

Z 000010100010

**注意：**Moore型的输出Z与输入X无关；Z是在来了101后的下一个时钟周期输出为1，因此Z与下一个时钟X来0或1无关。

## ① 确定输入变量和输出变量

设该电路的输入变量为 $X$ ，输出变量为 $Z$ 。

## ② 确定状态数目以及每一个状态的含义

根据题意，每一个状态的含义设为：

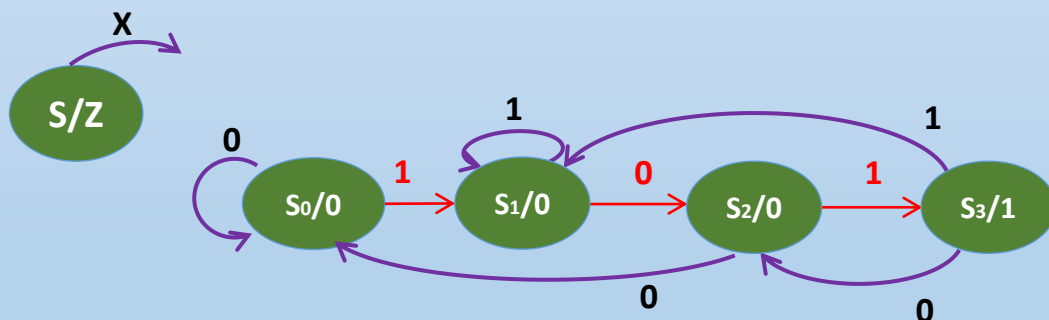
$S_0$ ：初始状态，表示电路还没有收到一个有效的1；

$S_1$ ：表示电路收到了一个1的状态；

$S_2$ ：表示电路收到了10的状态；

$S_3$ ：表示电路收到了101的状态。

$S \backslash X$	$S^{n+1}$		
	0	1	$Z$
$S_0$	$S_0$	$S_1$	0
$S_1$	$S_2$	$S_1$	0
$S_2$	$S_0$	$S_3$	0
$S_3$	$S_2$	$S_1$	1

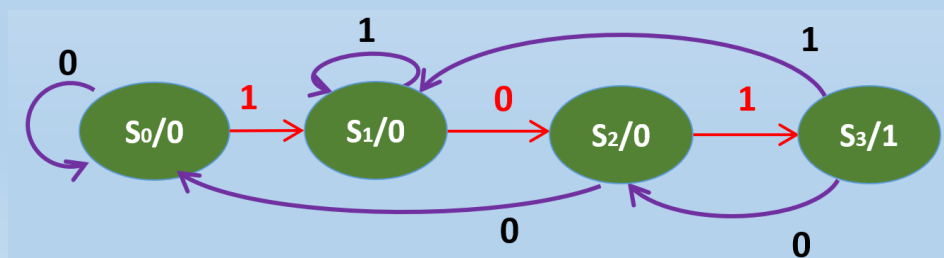
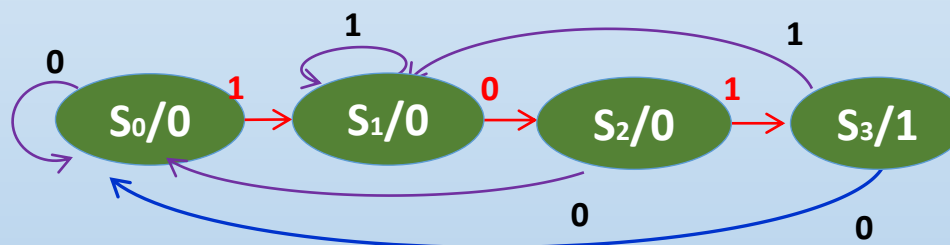


问题：建立Moore型、输入序列**不重叠**的101检测电路原始状态图。输入X和输出Z之间的关系为：

X 01**101**1011**1011**

Z 00000**1**00000**1**

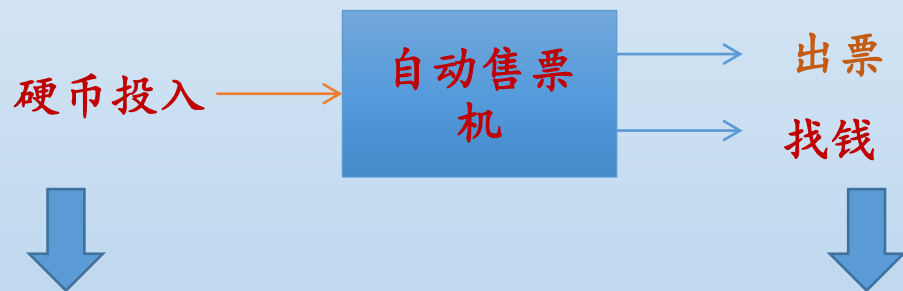
解：



Moore型、重叠

例：设计一个自动售票机的逻辑电路原始状态表和原始状态图。假设该售票机的投币口**每次只能投入一枚五角或一元**两种硬币。当投入二元五角硬币后机器自动售出一张票。当投入的硬币为三元，机器在自动售出一张票的同时找回一枚五角硬币。

解：① 确定输入变量和输出变量



- 设输入变量为X和Y：

X=1投入一元钱，X=0未投入；

Y=1投入五角钱，Y=0未投入。

- 输出变量为P和Z：

P=1出一张票，P=0不出票；

Z=1找五角硬币，Z=0不找钱。

## ② 确定状态数目以及每一个状态的含义

5个状态 {

- S<sub>0</sub>: 没有收到硬币前的初始状态;
- S<sub>1</sub>: 记忆收到五角钱的状态;
- S<sub>2</sub>: 记忆收到一元钱的状态;
- S<sub>3</sub>: 记忆收到一元五角钱的状态;
- S<sub>4</sub>: 记忆收到两元钱的状态。

X=1投入一元钱, X=0未投入;  
Y=1投入五角钱, Y=0未投入。

输出变量为P和Z:

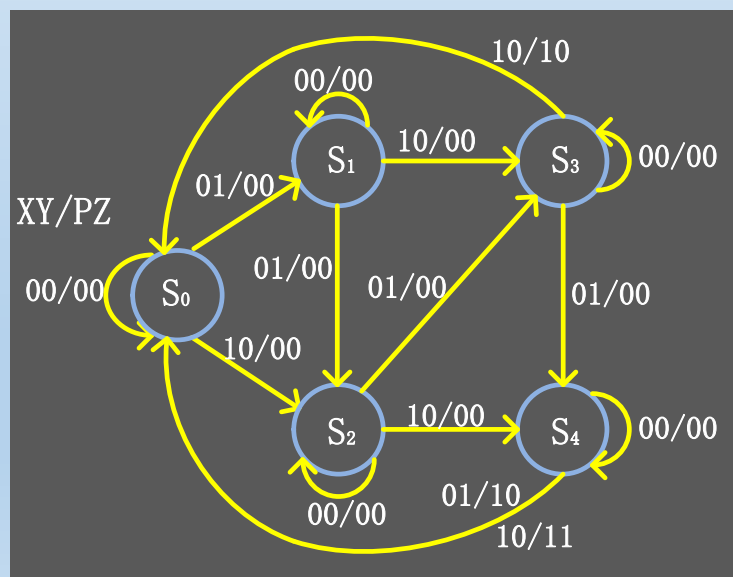
P=1出一张票, P=0不出票;

Z=1找五角硬币, Z=0不找钱。

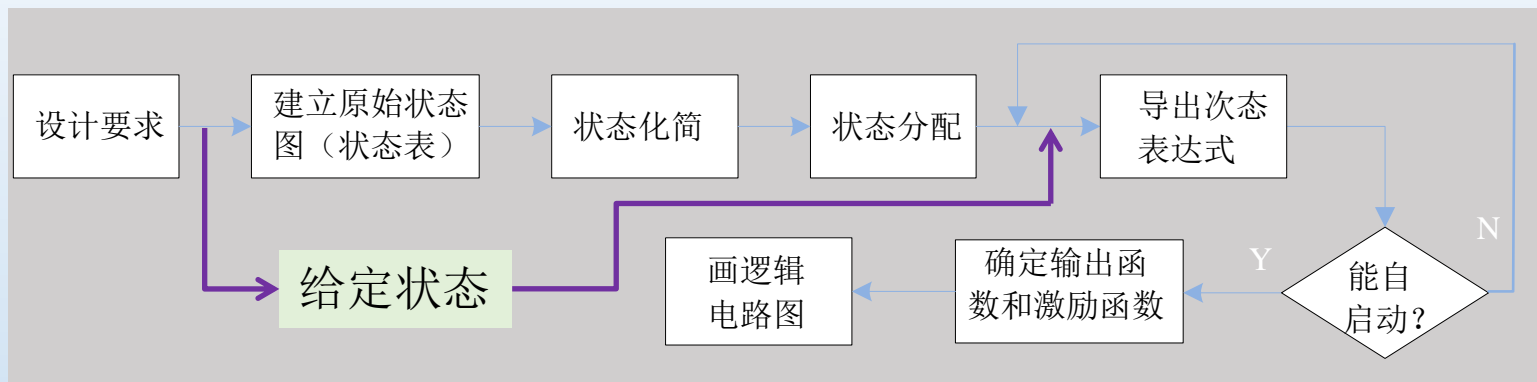
## ③ 列状态表、画状态图

S \ XY	S <sup>n+1</sup> /PZ			
	00	01	11	10
S <sub>0</sub>	S <sub>0</sub> /00	S <sub>1</sub> /00	xx/xx	S <sub>2</sub> /00
S <sub>1</sub>	S <sub>1</sub> /00	S <sub>2</sub> /00	xx/xx	S <sub>3</sub> /00
S <sub>2</sub>	S <sub>2</sub> /00	S <sub>3</sub> /00	xx/xx	S <sub>4</sub> /00
S <sub>3</sub>	S <sub>3</sub> /00	S <sub>4</sub> /00	xx/xx	S <sub>0</sub> /10
S <sub>4</sub>	S <sub>4</sub> /00	S <sub>0</sub> /10	xx/xx	S <sub>0</sub> /11

**注意:** 输入变量X和Y不可能同时出现11的输入情况。



## 同步时序电路的设计流程图：

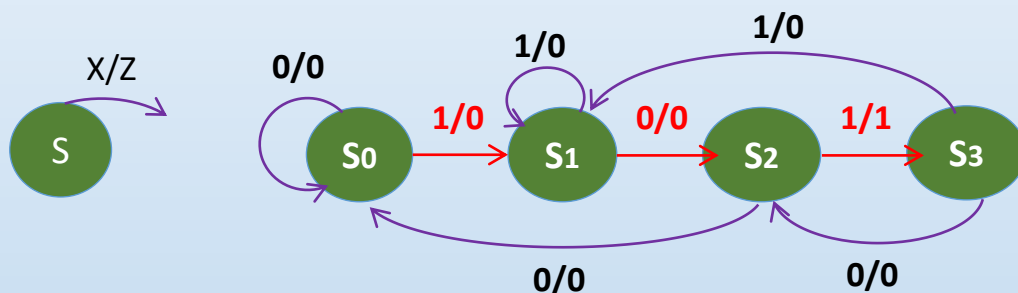


### 同步时序电路的设计步骤：

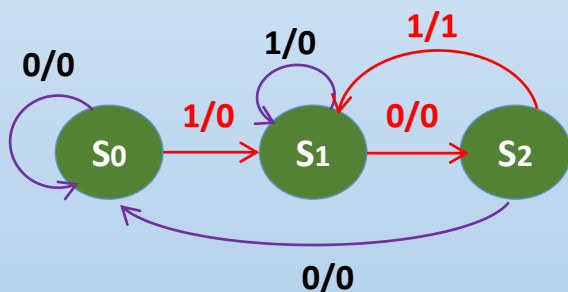
- ① 根据命题的描述确定输入、输出变量和可能的状态数目；
- ② 建立原始状态图、状态表；
- ③ 状态化简；
- ④ 状态分配, 得到编码状态表；
- ⑤ 填次态和输出卡诺图, 根据选择的触发器, 导出次态表达式；
- ⑥ 检查自启动；
- ⑦ 写出触发器输入（激励）函数和输出函数；
- ⑧ 画出时序逻辑电路图。

## 5.4.2 状态化简

例：Mealy型101可重叠检测电路的两种状态图。



S \ X	$S^{n+1}/Z$	
	0	1
$S_0$	$S_0/0$	$S_1/0$
$S_1$	$S_2/0$	$S_1/0$
$S_2$	$S_0/0$	$S_3/1$
$S_3$	$S_2/0$	$S_1/0$



等价状态： $S_1 \approx S_3$  ;  $[S_1, S_3]$

**状态化简：**找出状态表中的等价状态，并合并等价状态。

**目的：**消去多余状态，以便得到最简状态图和最简状态表；

S \ X	$S^{n+1}/Z$	
	0	1
$S_0$	$S_0/0$	$S_1/0$
$S_1$	$S_2/0$	$S_1/0$
$S_2$	$S_0/0$	$S_1/1$

**方法：**找出状态表中的等价状态，将其合并，形成最简状态表。

## 1. 状态等价

在状态表中，判断二个状态是否等价必需满足以下两个条件：

第一，在相同的输入条件下输出都相同。


第二，相同的输入条件下次态也等价。次态等价可以是以下四种情况之一：

- ① 次态相同； **S2 S5**
- ② 次态就是现态； **S5**
- ③ 次态交错； **S6 S7**
- ④ 次态互为隐含条件。 **S1 S3**； **S2 S4**  
**S1≈S3?** 隐含条件必须满足 **S2≈S4**  
**S2≈S4?** 隐含条件必须满足 **S1≈S3**

S \ X	$S^{n+1} / Z$	
	0	1
<b>S1</b>	S2/0	S3/0
<b>S2</b>	S5/1	S3/0
<b>S3</b>	S4/0	S1/0
S4	S5/1	S1/0
<b>S5</b>	S5/1	S3/0
<b>S6</b>	S7/1	S5/0
<b>S7</b>	S6/1	S5/0



## 2. 直观状态化简



S \ X	$S^{n+1} / Z$	
	0	1
$S_1$	$S_2/0$	$S_3/0$
$S_2$	$S_5/1$	$S_3/0$
$S_3$	$S_4/0$	$S_1/0$
$S_4$	$S_5/1$	$S_1/0$
$S_5$	$S_5/1$	$S_3/0$
$S_6$	$S_6/1$	$S_5/0$
$S_7$	$S_7/1$	$S_5/0$

$S_2 \approx S_5$  输出相同，次态相同

$S_6 \approx S_7$  输出相同， $x=0$  次态交错， $x=1$  次态相同

$S_1 \approx S_3$  输出相同， $x=0$  隐含条件  $S_2 \approx S_4$  ?  
 $x=1$  次态相同

$S_2 \approx S_4$  输出相同， $x=0$  次态相同  
 $x=1$  隐含条件  $S_1 \approx S_3$  ?

$S_1 \approx S_3$  与  $S_2 \approx S_4$  互为隐含条件，即  $S_1 \approx S_3$ ,  $S_2 \approx S_4$

$S_2 \approx S_5$ ,  $S_2 \approx S_4$  推出  $S_5 \approx S_4$

等价状态：  $[S_1, S_3]$  ,  $[S_2, S_5, S_4]$ ,  $[S_6, S_7]$

S \ X	$S^{n+1} / Z$	
	0	1
$S_1$	$S_2/0$	$S_1/0$
$S_2$	$S_2/1$	$S_1/0$
$S_6$	$S_6/1$	$S_2/0$

### 3. 隐含表化简 (梯形表)

$S \backslash X$	$S^{n+1} / Z$	
	0	1
$S_1$	$S_2/0$	$S_3/0$
$S_2$	$S_5/1$	$S_3/0$
$S_3$	$S_4/0$	$S_1/0$
$S_4$	$S_5/1$	$S_1/0$
$S_5$	$S_5/1$	$S_3/0$
$S_6$	$S_6/1$	$S_5/0$
$S_7$	$S_7/1$	$S_5/0$

$S_2$

步骤:

- (1) 梯形表
- (2) 顺序比较
- (3) 关连比较
- (4) 找出最大等价类
- (5) 列出最简状态表

### 3. 隐含表化简 (梯形表)

$S \backslash X$	$S^{n+1} / Z$	
	0	1
$S_1$	$S_2/0$	$S_3/0$
$S_2$	$S_5/1$	$S_3/0$
$S_3$	$S_4/0$	$S_1/0$
$S_4$	$S_5/1$	$S_1/0$
$S_5$	$S_5/1$	$S_3/0$
$S_6$	$S_6/1$	$S_5/0$
$S_7$	$S_7/1$	$S_5/0$

(1) 梯形表

$S_2$	$\times$					
$S_3$	$\times$	$\times$				
$S_4$	$\times$	$\times$	$\times$			
$S_5$	$\times$	$\checkmark$	$\times$	$\times$		
$S_6$	$\times$	$\times$	$\times$	$\times$	$\times$	
$S_7$	$\times$	$\times$	$\times$	$\times$	$\times$	$\checkmark$
	$S_1$	$S_2$	$S_3$	$S_4$	$S_5$	$S_6$

$S_1 S_3$   
 $S_2 S_4 S_5$   
 $S_6 S_7$

(2) 顺序比较

$S_2$	$\times$					
$S_3$	$\times$	$\times$				
$S_4$	$\times$	$\times$	$\times$			
$S_5$	$\times$	$\checkmark$	$\times$	$\times$		
$S_6$	$\times$	$\times$	$\times$	$\times$	$\times$	
$S_7$	$\times$	$\times$	$\times$	$\times$	$\times$	$\checkmark$
	$S_1$	$S_2$	$S_3$	$S_4$	$S_5$	$S_6$

## (3) 关连比较

S <sub>2</sub>	×					
S <sub>3</sub>	<del>S<sub>1</sub>S<sub>4</sub></del> ✓	×				
S <sub>4</sub>	×	<del>S<sub>2</sub>S<sub>3</sub></del> ✓	×			
S <sub>5</sub>	×	✓	×	<del>S<sub>2</sub>S<sub>3</sub></del> ✓		
S <sub>6</sub>	×	<del>S<sub>5</sub>S<sub>6</sub></del> <del>S<sub>3</sub>S<sub>5</sub></del>	×	<del>S<sub>5</sub>S<sub>6</sub></del> <del>S<sub>1</sub>S<sub>5</sub></del>	<del>S<sub>5</sub>S<sub>6</sub></del> <del>S<sub>3</sub>S<sub>5</sub></del>	
S <sub>7</sub>	×	<del>S<sub>5</sub>S<sub>7</sub></del> <del>S<sub>3</sub>S<sub>5</sub></del>	×	<del>S<sub>5</sub>S<sub>7</sub></del> <del>S<sub>1</sub>S<sub>5</sub></del>	<del>S<sub>5</sub>S<sub>7</sub></del> <del>S<sub>3</sub>S<sub>5</sub></del>	✓
	S <sub>1</sub>	S <sub>2</sub>	S <sub>3</sub>	S <sub>4</sub>	S <sub>5</sub>	S <sub>6</sub>

## (4) 找出最大等价类

等价状态： [S<sub>1</sub>, S<sub>3</sub>] ,  
[S<sub>2</sub>, S<sub>5</sub>, S<sub>4</sub>], [S<sub>6</sub>, S<sub>7</sub>]

S \ X	S <sup>n+1</sup> / Z	
	0	1
S <sub>1</sub>	S <sub>2</sub> /0	S <sub>3</sub> /0
S <sub>2</sub>	S <sub>5</sub> /1	S <sub>3</sub> /0
<del>S<sub>3</sub></del>	<del>S<sub>4</sub>/0</del>	<del>S<sub>1</sub>/0</del>
<del>S<sub>4</sub></del>	<del>S<sub>5</sub>/1</del>	<del>S<sub>1</sub>/0</del>
<del>S<sub>5</sub></del>	<del>S<sub>5</sub>/1</del>	<del>S<sub>3</sub>/0</del>
S <sub>6</sub>	S <sub>6</sub> /1	S <sub>5</sub> /0
<del>S<sub>7</sub></del>	<del>S<sub>7</sub>/1</del>	<del>S<sub>5</sub>/0</del>

## (5) 列出最简状态表

S \ X	S <sup>n+1</sup> / Z	
	0	1
S <sub>1</sub>	S <sub>2</sub> /0	S <sub>1</sub> /0
S <sub>2</sub>	S <sub>2</sub> /1	S <sub>1</sub> /0
S <sub>6</sub>	S <sub>6</sub> /1	S <sub>2</sub> /0

问题：化简以下状态表。

$S \backslash X$	$S^{n+1} / Z$	
	0	1
A	C/0	B/1
B	F/0	A/1
C	D/0	G/0
D	D/1	E/0
E	C/0	E/1
F	D/0	G/0
G	C/1	D/0

解：

B	CF					
C	X	X				
D	X	X	X			
E	BE	CF AE	X	X		
F	X	X	✓	X	X	
G	X	X	X	CD DE	X	X
	A	B	C	D	E	F

B	✓					
C	X	X				
D	X	X	X			
E	✓	✓	X	X		
F	X	X	✓	X	X	
G	X	X	X	X	X	X
	A	B	C	D	E	F

B ✓  
 C X X  
 D X X X  
 E ✓ X X X  
 F X X ✓ X X  
 G X X X X X  
 A B C D E F

ABZ.  
 CF  
 D  
 G

$S \backslash X$	$S^{n+1} / Z$	
	0	1
A	C/0	A/1
C	D/0	G/0
D	D/1	A/0
G	C/1	D/0

### 5.4.3 状态分配

**状态分配**：将最简状态图或状态表中字符表示的状态赋以适当的二值代码，得到二进制形式的状态表示。又称为状态编码。

例如：A, B, C, D四个状态要用两位二进制来表示，即 00 01 10 11。

状态分配方案：A选4种组合，B选3种组合，C选2种组合，D选1种组合，共计 $4*3*2=24$ 组编码。



24组编码中哪  
一组最好？

如果实际状态数为M，要用n个触发器，则一共有 $2^n$  ( $2^n \geq M$ ) 种不同代码，将 $2^n$ 种代码分配给M个状态，则分配方案数N为：

$$N = \frac{(2^n - 1)!}{(2^n - M)!n!}$$

**相邻法三原则**，即符合下列条件的状态应尽可能分配相邻的二进制代码：

- ① 具有相同次态的现态；
- ② 同一现态下的次态；
- ③ 具有相同输出的现态；

00 01 10 11如何相邻？

00: 01 10 相邻

01: 00 11 相邻

10: 00 11 相邻

11: 01 10 相邻

### 相邻三原则举例：

$S \backslash X$	$S^{n+1} / Z$	
	0	1
$S_1$	$S_3/0$	$S_1/0$
$S_2$	$S_1/0$	$S_1/1$
$S_3$	$S_1/0$	$S_4/1$
$S_4$	$S_2/1$	$S_3/0$

- ③ 具有相同输出的现态；  
 $S_2S_3$ 应分配相邻代码。

分配结果为：

$S_1=00$ ；  $S_2=01$ ；  $S_3=11$ ；  $S_4=10$ 。

- ① 具有相同次态的现态；

$S_1S_2, S_2S_3$ 应分配相邻代码。

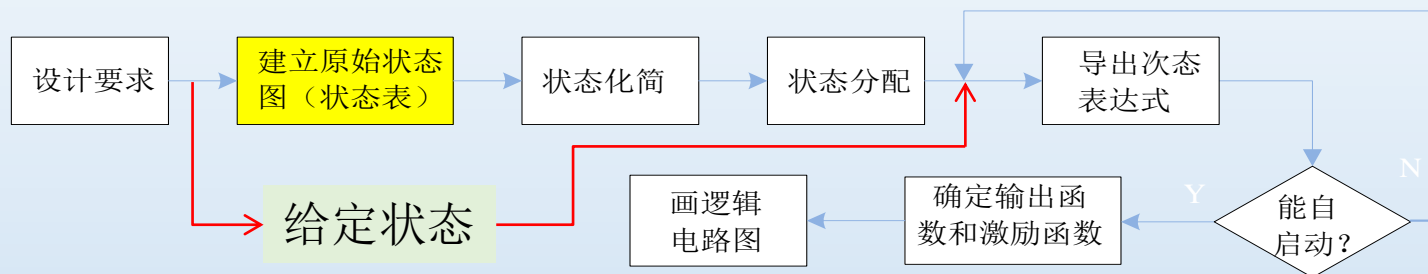
- ② 同一现态下的次态；

$S_1S_3, S_1S_4, S_2S_3$ 应分配相邻代码。

$Q_1Q_0 \backslash X$	$Q_1^{n+1}Q_0^{n+1} / Z$	
	0	1
00	11/0	00/0
01	00/0	00/1
11	00/0	10/1
10	01/1	11/0

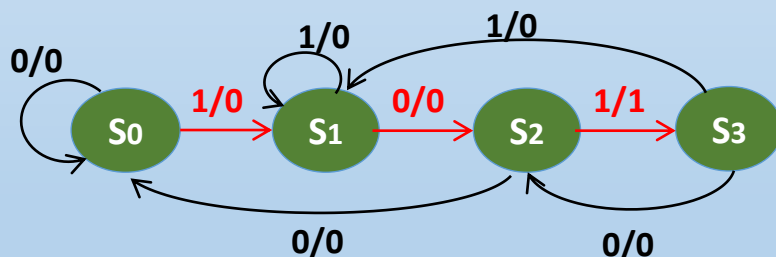


## 5.4.4 同步时序逻辑电路的设计举例



例：试用D触发器完成Mealy型“101”可重叠序列检测器的设计。

解：(1) 建立原始状态图、状态表



S \ X	$S^{n+1}/Z$	
	0	1
$S_0$	$S_0/0$	$S_1/0$
$S_1$	$S_2/0$	$S_1/0$
$S_2$	$S_0/0$	$S_3/1$
$S_3$	$S_2/0$	$S_1/0$

## (2) 状态图化简

$S \backslash X$	$S^{n+1}/Z$	
	0	1
$S_0$	$S_0/0$	$S_1/0$
$S_1$	$S_2/0$	$S_1/0$
$S_2$	$S_0/0$	$S_3/1$
$S_3$	$S_2/0$	$S_1/0$

## 化简状态表

$S \backslash X$	$S^{n+1}/Z$	
	0	1
$S_0$	$S_0/0$	$S_1/0$
$S_1$	$S_2/0$	$S_1/0$
$S_2$	$S_0/0$	$S_1/1$

## (3) 状态分配

① 具有相同次态的现态:  $S_0S_2$   $S_0S_1S_2$

② 同一现态下的次态:  $S_0S_1$ ,  $S_1S_2$

③ 具有相同输出的现态:  $S_0S_1$

分配结果为:

$S_0=00$ ;  $S_1=01$ ;  $S_2=10$ ;

## 编码状态表

$Q_1Q_0 \backslash X$	$Q_1^{n+1}Q_0^{n+1}/Z$	
	0	1
00	00/0	01/0
01	10/0	01/0
10	00/0	01/1

#### (4) 导出状态方程、检查自启动、输出表达式

$X$ $Q_1Q_0$	$Q_1^{n+1}Q_0^{n+1}/Z$	
	0	1
00	00/0	01/0
01	10/0	01/0
10	00/0	01/1

$Q_1Q_0 \backslash X$	0	1
00	0	0
01	1	0
11	x	x
10	0	0

 $Q_1^{n+1}$ 

$Q_1Q_0 \backslash X$	0	1
00	0	1
01	0	1
11	x	x
10	0	1

 $Q_0^{n+1}$ 

$Q_1Q_0 \backslash X$	0	1
00	0	0
01	0	0
11	x	x
10	0	1

 $Z$ 

#### 检查自启动

无效状态为11：X=0时，现态11转到10，X=1时，现态11转到01，都能转到有效状态，具有自启动能力。

$$\begin{cases} Q_1^{n+1} = \bar{X}Q_0 \\ Q_0^{n+1} = X \end{cases}$$

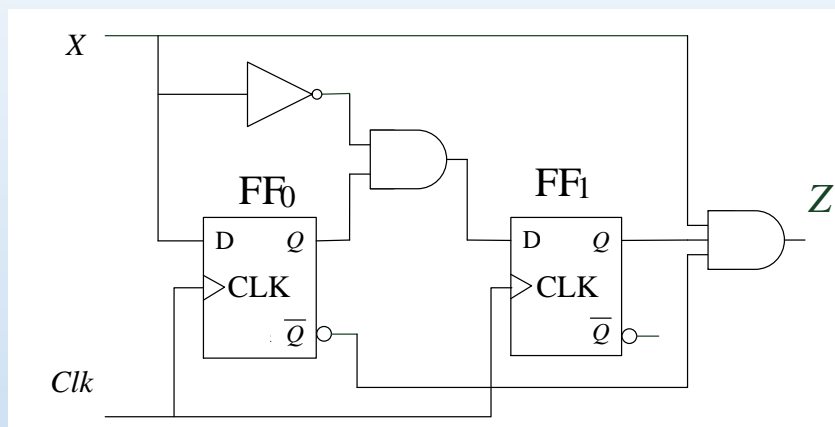
$$Z = Q_1\bar{Q}_0X$$

#### (5) 导出激励表达式

$$Q_1^{n+1} = D_1 = \bar{X}Q_0$$

$$Q_0^{n+1} = D_0 = X$$

## (6) 画出逻辑电路图

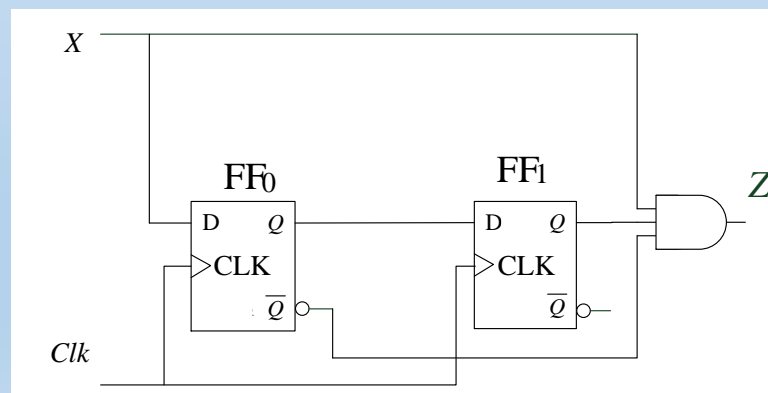


$$Q_1^{n+1} = \bar{X}Q_0$$

$$Q_0^{n+1} = X$$

$$Z = Q_1 \bar{Q}_0 X$$

问题：当电路图改为如右所示电路图时，能否完成101检测？



# 第五章 时序逻辑电路的分析和设计

- 时序逻辑电路的基本概念
- 同步时序逻辑电路的分析
- 异步时序逻辑电路的分析
- 同步时序逻辑电路的设计
- 集成计数器
- 集成寄存器
- 中规模时序电路的综合应用

## 5.5 集成计数器

- 常用集成计数器
- 任意模值计数器
- 分频器和计数器的关系

## 5.5 集成计数器

集成计数器产品具有功能较完善、通用性强、功耗低、工作速率高和扩展方便等优点，因而得到广泛应用。

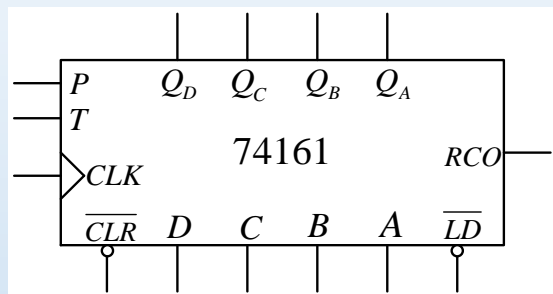
### □ 集成计数器的分类

- 1.按时钟控制方式来分，有同步和异步两大类；
- 2.按计数过程中数值的增减来分，有加法、减法和可逆计数器三类；
- 3.按计数模值来分，有二进制、十进制和任意进制计数器；

### □ 常用集成计数器

- 1.同步集成二进制计数器74161
- 2.同步集成十进制计数器74160
- 3.二进制可逆集成计数器74169

# 1. 同步集成二进制计数器74161



74161具有计数、保持、同步预置和异步清0的功能，计数过程是加1计数循环：

0000→0001→0010 ... 1110→1111→0000。

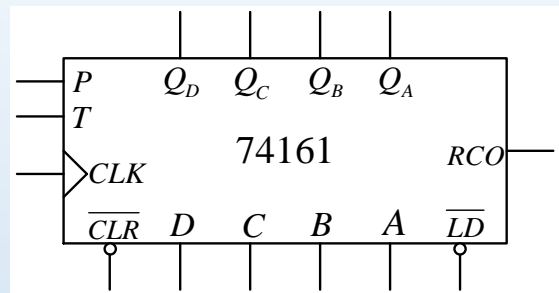
## ➤ 74161计数器输出：

输出端为： $Q_D Q_C Q_B Q_A$ ， $Q_D$ 为最高位。

$RCO$ （Ripple Carry Out）为动态进位输出端

$$RCO = Q_D Q_C Q_B Q_A T$$

# 1. 同步集成二进制计数器74161



74161具有计数、保持、同步预置和异步清0的功能，计数过程是加1计数循环：

**0000→0001→0010 ... 1110→1111→0000。**

## ➤ 74161计数器的输入信号及作用：

**CLK**：计数时钟脉冲输入端，上升沿有效。

**$\overline{LD}$**  (*Load*)：**同步**预置控制端，低电平有效。

**$\overline{CLR}$**  (*Clear*)：**异步**清0端，低电平有效，与CLK等输入信号无关，优先权最高。

**P、T**：为计数器允许控制端，高电平有效。

74161功能表

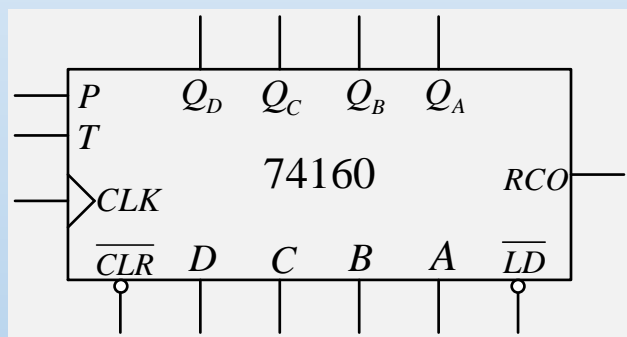
输入									输出			
CLK	$\overline{CLR}$	$\overline{LD}$	P	T	D	C	B	A	$Q_D$	$Q_C$	$Q_B$	$Q_A$
x	0	x	x	x	x	x	x	x	0	0	0	0
↑	1	0	x	x	d	c	b	a	d	c	b	a
↑	1	1	1	1	x	x	x	x	加1计数			
x	1	1	0	1	x	x	x	x	保持			
x	1	1	1	0	x	x	x	x	保持			



## 2. 同步集成十进制计数器74160

74160计数循环为：**0000→0001→0010 ...000→1001→0000**，  
也称为8421BCD码计数器。

74160逻辑符号、输入输出信号功能表与74161也完全相同。



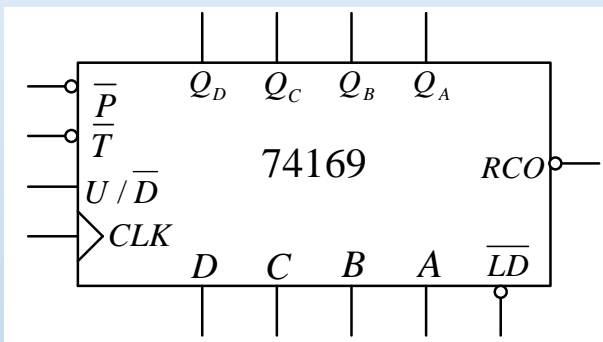
74160功能表

输 入				输 出
CLK	$\overline{CLR}$	$\overline{LD}$	P T	$Q_D Q_C Q_B Q_A$
x	0	x	x x	x x x x
↑	1	0	x x	d c b a
↑	1	1	1 1	x x x x
x	1	1	0 1	x x x x
x	1	1	1 0	x x x x

进位端不同： $RCO = Q_D \overline{Q_C} \overline{Q_B} Q_A T$

### 3. 二进制可逆集成计数器74169

74169是同步、可预置、无清0端的四位二进制可逆集成计数器。



输 入				输 出
CLK	$\overline{P} + \overline{T}$	$U / \overline{D}$	$\overline{LD}$	$Q_D Q_C Q_B Q_A$
×	1	×	1	保 持
↑	0	×	0	$D C B A$
↑	0	1	1	二进制加法计数
↑	0	0	1	二进制减法计数

$U/\overline{D}(\overline{Up}/\overline{Down})$  为加/减控制端

$\overline{P} = \overline{T} = 0$  计数允许

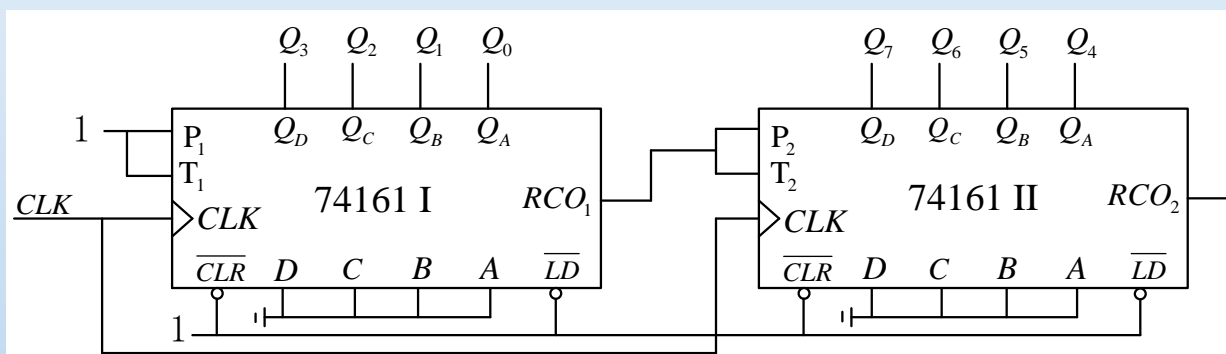
## 4. 集成计数器级联

当要构成计数器的计数模值比单个集成计数器芯片的模值大时，就要利用多个集成计数器芯片进行级联来扩展计数器的计数模值。

## 4. 集成计数器级联

集成计数器芯片间的级联方式有两种：同步级联和异步级联。

### ➤ 同步级联



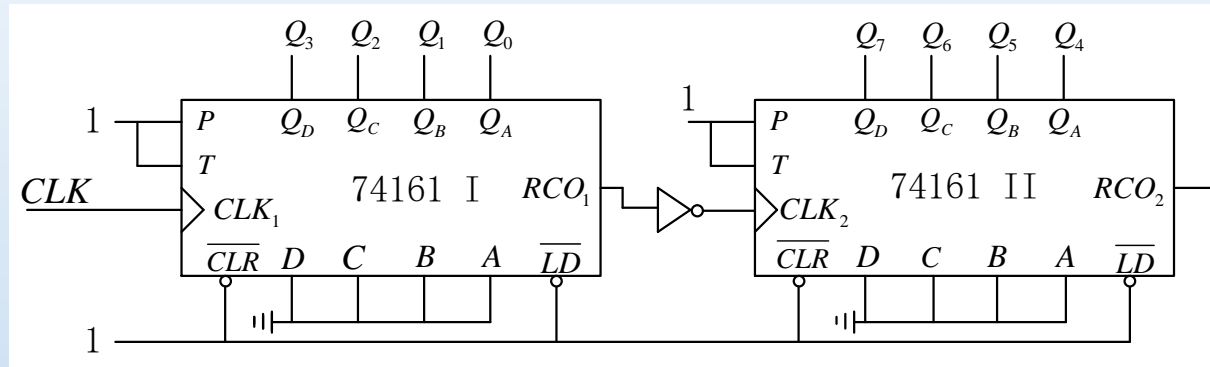
同步级联工作过程

$$T_2 = RCO_1 = Q_3Q_2Q_1Q_0T_1 = Q_3Q_2Q_1Q_0$$

$$RCO_2 = Q_7Q_6Q_5Q_4T_2 = Q_7Q_6Q_5Q_4Q_3Q_2Q_1Q_0$$

CLK	$Q_3Q_2Q_1Q_0$	$T_2$	$Q_7Q_6Q_5Q_4$
1↑	0 0 0 0	0	0 0 0 0
2↑	0 0 0 1	0	0 0 0 0
.....	.....	0	0 0 0 0
15↑	1 1 1 0	0	0 0 0 0
16↑	1 1 1 1	1	0 0 0 0
	0 0 0 0	0	0 0 0 1

## ➤ 异步级联



异步级联工作过程

$$CLK_2 = \overline{RCO_1}$$

CLK <sub>1</sub>	Q <sub>3</sub> Q <sub>2</sub> Q <sub>1</sub> Q <sub>0</sub>	CLK <sub>2</sub>	Q <sub>7</sub> Q <sub>6</sub> Q <sub>5</sub> Q <sub>4</sub>
1↑	0 0 0 0	1	0 0 0 0
2↑	0 0 0 1	1	0 0 0 0
	.....	1	0 0 0 0
15↑	1 1 1 0	1	0 0 0 0
16↑	1 1 1 1	0	0 0 0 0
	0 0 0 0	1↑	0 0 0 1

# (1) 任意模值计数器（异步清零法实现）

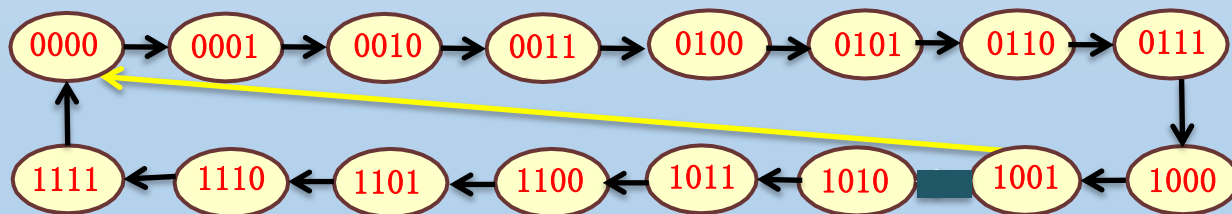
如何用74161实现任意模值计数器？

74161功能表

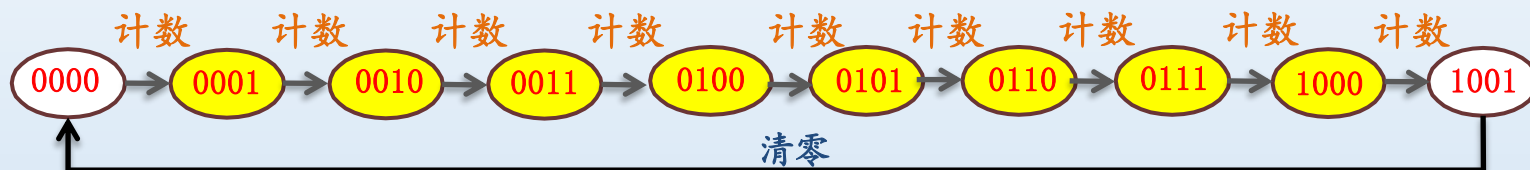
输 入		输 出	
$CLK$	$\overline{CLR} \ \overline{LD} \ P \ T$	$D \ C \ B \ A$	$Q_D Q_C Q_B Q_A$
x	0 x x x	x x x x	0 0 0 0 <span style="color: red;">清零</span>
↑	1 0 x x	d c b a	d c b a <span style="color: blue;">置数</span>
↑	1 1 1 1	x x x x	加1计数
x	1 1 0 1	x x x x	保 持
x	1 1 1 0	x x x x	保 持 ( $RCO=0$ )

实现任意模值计数器：

异步清零法、同步置数法



# 异步清零法



模9状态表

$Q_D Q_C Q_B Q_A$
0 0 0 0
0 0 0 1
0 0 1 0
0 0 1 1
0 1 0 0
0 1 0 1
0 1 1 0
0 1 1 1
1 0 0 0
1 0 0 1

清零  $\overline{CLR} = 0$

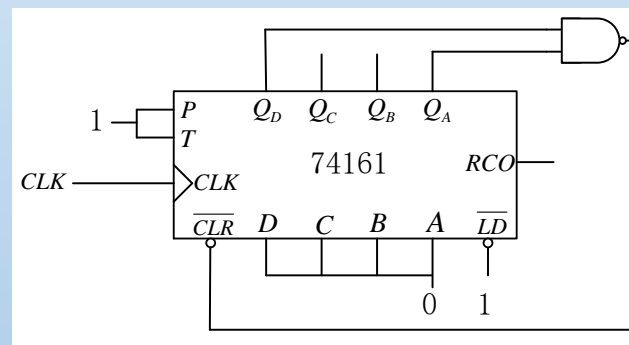
过渡态

异步清零计数器模为多少？异步清零模9计数器

$\overline{CLR}$ 的表达式为： $\overline{CLR} = \overline{Q_D Q_A}$

异步清零法设计模为M的计数器，  
则 $\overline{CLR}$ 的表达式为M中的1与非。

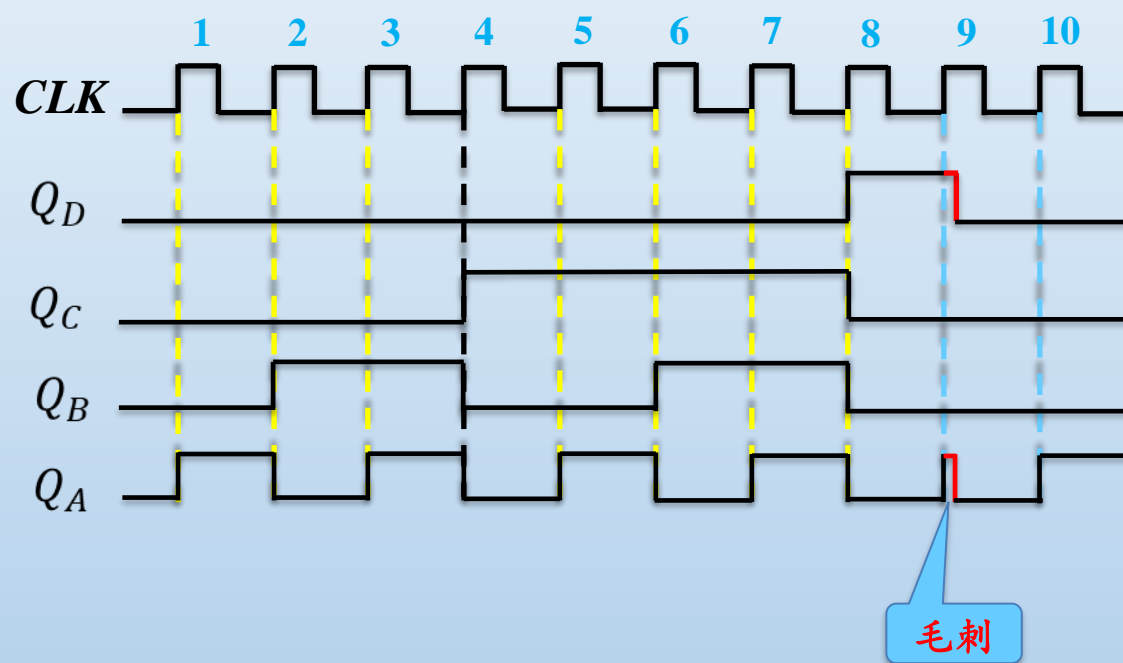
异步清零模9计数器电路图



异步清零的计数器具有自启动能力吗？

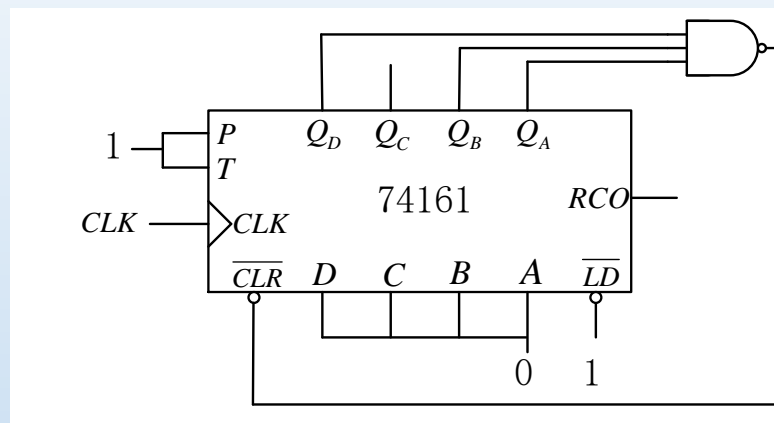
具有自启动能力

## 异步清零模9计数器电路的时序波形





问题1：异步清零计数器电路如下图所示，分析该电路的计数模值？



解：

**异步清零法**设计模为M的计数器，则 $\overline{CLR}$ 的表达式为M中的1与非。

$$\overline{CLR} = \overline{Q_D Q_B Q_A} \quad M = (1011)_2 = (11)_1$$

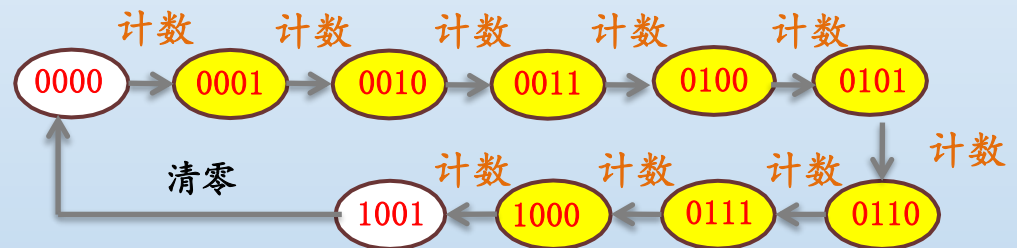
问题2：异步清零计数器电路中，为什么CLR表达式中可以省略输出为0端？

## (2) 任意模值计数器（同步置数法实现）

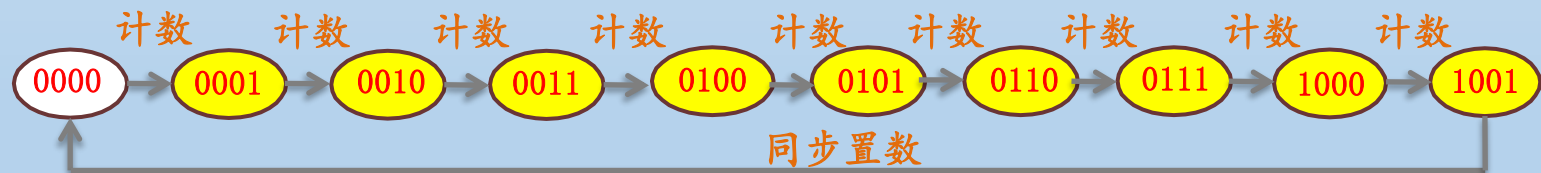
输 入				输 出
$CLK$	$\overline{CLR}$	$\overline{LD}$	$P\ T$	$Q_D Q_C Q_B Q_A$
x	0	x	x x	x x x x
↑	1	0	x x	$d\ c\ b\ a$
↑	1	1	1 1	x x x x
x	1	1	0 1	x x x x
x	1	1	1 0	x x x x

置数

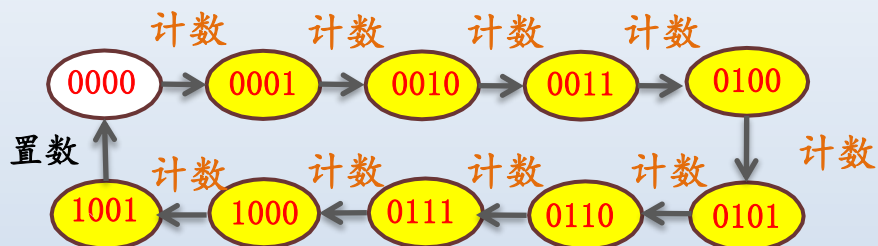
异步清零模9计数器



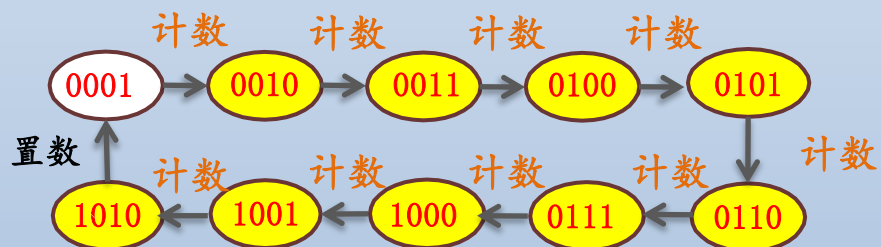
同步模10计数器



## 同步模10计数器1



## 同步模10计数器2



模10状态表1

$Q_D Q_C Q_B Q_A$
0 0 0 0
0 0 0 1
0 0 1 0
0 0 1 1
0 1 0 0
0 1 0 1
0 1 1 0
0 1 1 1
1 0 0 0
1 0 0 1

$$\overline{LD} = 0$$

模10状态表2

$Q_D Q_C Q_B Q_A$
0 0 0 1
0 0 1 0
0 0 1 1
0 1 0 0
0 1 0 1
0 1 1 0
0 1 1 1
1 0 0 0
1 0 0 1
1 0 1 0

$$\overline{LD} = 0$$

异步清零的初值不能改变，必须是全0。而同步置数可以置任意值，计数状态比较灵活。

# 同步模10电路设计:

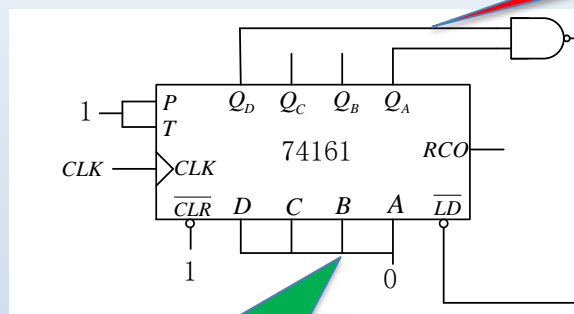
模10状态表1

$Q_D Q_C Q_B Q_A$
0 0 0 0
0 0 0 1
0 0 1 0
0 0 1 1
0 1 0 0
0 1 0 1
0 1 1 0
0 1 1 1
1 0 0 0
1 0 0 1

$\overline{LD} = 0$

$$\overline{LD} = \overline{Q_D Q_A}$$

模10电路图1



计数终值

计数初值

模10状态表2

$Q_D Q_C Q_B Q_A$
0 0 0 1
0 0 1 0
0 0 1 1
0 1 0 0
0 1 0 1
0 1 1 0
0 1 1 1
1 0 0 0
1 0 0 1
1 0 1 0

$\overline{LD} = 0$

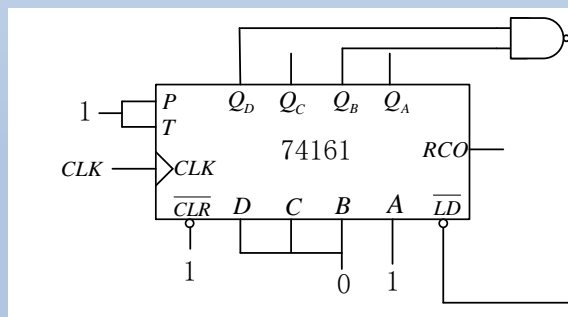
$$\overline{LD} = \overline{Q_D Q_B}$$

计数模值  $M = \text{计数终值} - \text{计数初值} + 1$

$$M = LD (\text{计数终值}) - D (\text{计数初值}) + 1$$

计数器1模值  $M = (1001 - 0000 + 1)_2 = (10)_{10}$

模10电路图2

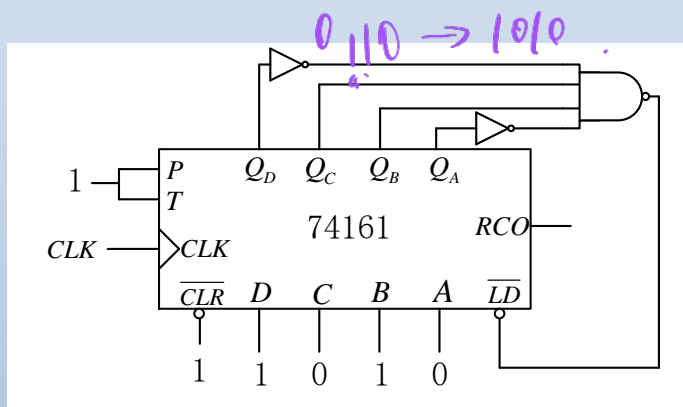


计数器2模值  $M = (1010 - 0001 + 1)_2 = (10)_{10}$

问题1：计数器模值  $M = LD$ （计数终值）-  $D$ （计数初值）+ 1 这一公式的应用条件是什么？

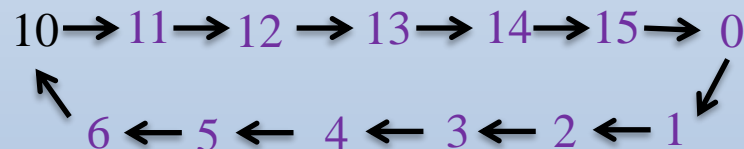
答：计数终值 > 计数初值

问题2：计数器电路如图所示，分析该计数器的模值  $M = ?$



$M=13$

解：



### (3) 可编程任意模值计数器

计数模值  $M = \text{计数终值} - \text{计数初值} + 1$

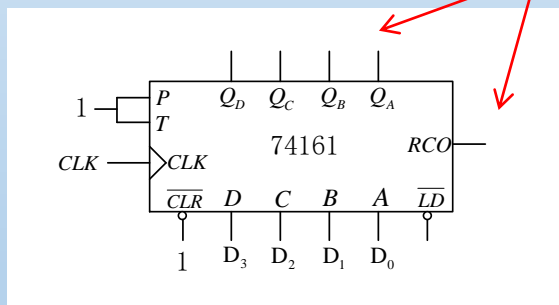
$M = LD (\text{计数终值}) - D (\text{计数初值}) + 1$

如果：计数终值  $= 2^n - 1$  (即最大值全“1”)，计数初值为  $D$

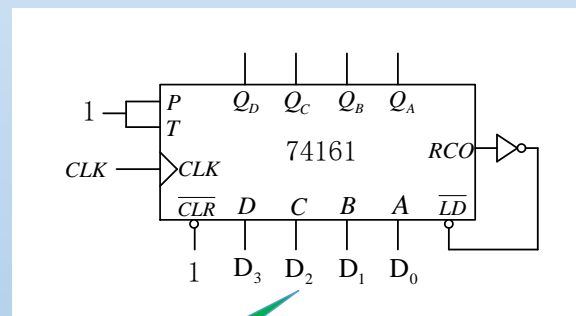
$M = LD - D + 1 = 2^n - 1 - D + 1 = 2^n - D$

$M = 2^n - D$

取最大计数终值?

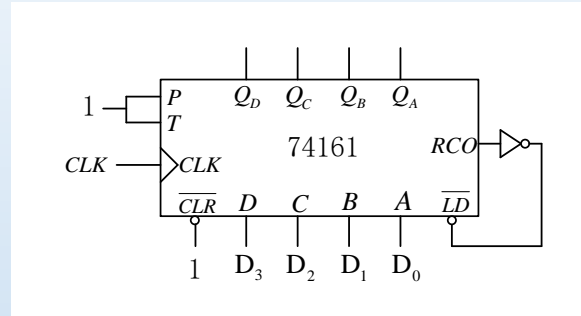


$M = 2^n - D$



计数初值  $D$

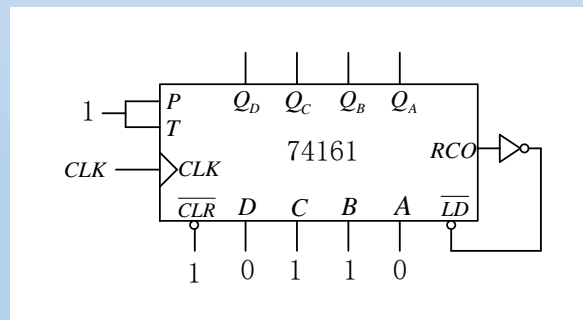
例如：用可编程电路实现 $M_1=10$ ,  $M_2=12$ 电路？



$$M=2^n-D \quad n=4$$

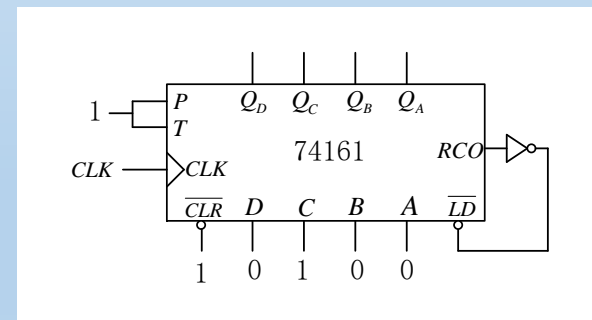
$$M_1=2^4-D=10$$

$$D_{M1}=2^4-10=6=(0110)_2$$



$$M_2=2^4-D=12$$

$$D_{M2}=2^4-12=4=(0100)_2$$



可编计数器的计数范围：2 —  $2^n$

$$M=2^n-D$$

$$D=0$$

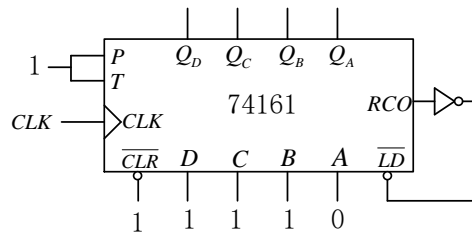
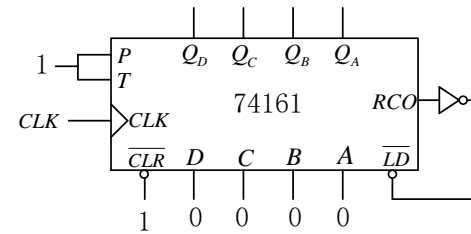
$$M_{\max}=2^n-D=2^n$$

$$M_{\max}=16$$

$$D=2^n-2$$

$$M_{\min}=2$$

$$M_{\min}=2$$



思考  $M_{\min}=1$  可以吗？为什么？

注意：没有  $M=1$  计数器！



采用置数法设计任意模值计数器需要经过一下三个步骤：

1. 选择模 $M$ 计数器的计数范围，确定初态和末态；
2. 确定产生置0或置数信号的译码状态，然后根据译码状态设计译码反馈电路；
3. 画出模 $M$ 计数器的逻辑电路；

如果实现计数器的模值 $M$ 超过单片计数器的计数范围时，可以通过集成计数器的同步级联或异步级联两种方法来实现：

1. 将 $n$ 片计数器先级联组成最大计数模值 $N > M$ 的计数器，然后采用整体置0或整体置数的方法实现模 $M$ 计数器；
2. 用 $n$ 片计数器先分别组成模值为 $M_1$ 、 $M_2$ 、...、 $M_n$ 的计数器，然后再将他们异步级联组成模 $M$ 计数器，其模 $M = M_1 \times M_2 \times \dots \times M_n$ 。

例5-9 试分别用74161、74160实现模M=60计数器。

异步清零法

同步置数法

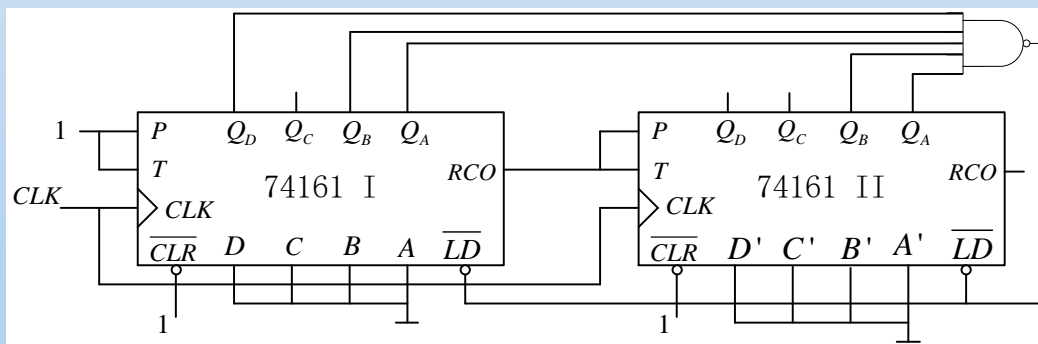
可编程法

解：

(1) 同步置数法

设计数初值为：0

$M=LD-D+1$       用74161       $60=LD-0+1$        $LD=60-1=59=(00111011)_2$

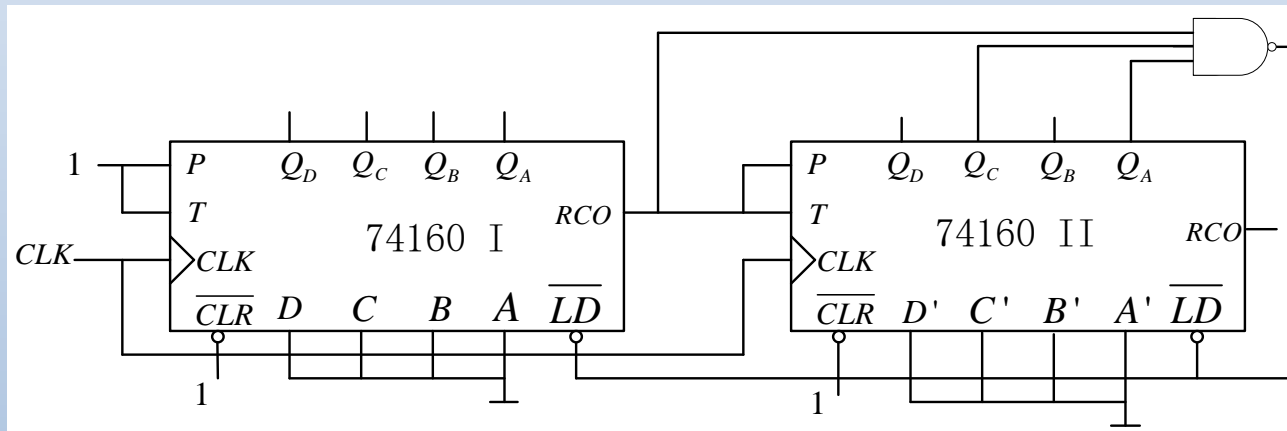


$$\overline{LD} = \overline{Q_{B'} Q_{A'} Q_D Q_B Q_A}$$

## 用74160

$$M = LD - D + 1 \quad 60 = LD - 0 + 1 \quad LD = 60 - 1 = 59 = (01011001)_{8421}$$

$$\overline{LD} = \overline{Q_C' Q_A' Q_D Q_A} = \overline{Q_C' Q_A' RCO_1}$$

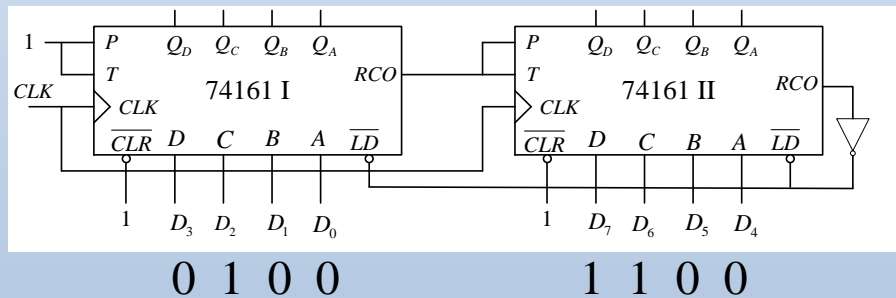


## (2) 可编程法

### 用74161

$$M=2^n-D \quad n=8(\text{位}) \quad 60=2^8-D$$

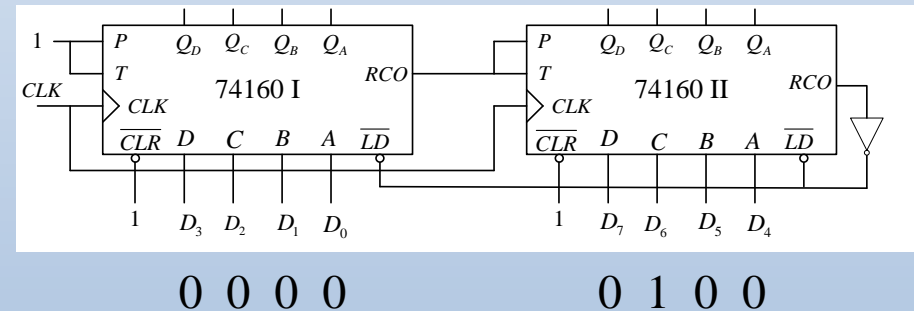
$$D=256-60=196=(11000100)_2$$



### 用74160

$$M=10^n-D \quad n=2(\text{片}) \quad 60=100-D$$

$$D=100-60=40=(0100\ 0000)_{8421}$$



### 5.5.3 分频器与计数器的关系

分频器的主要功能是降低输入信号的频率，其工作过程与计数器相似，都是在输入脉冲信号的作用下完成 $M$ 个状态的循环，因此分频器也是计数器，其分频系数 $M$ 与计数器的模值 $M$ 相同。

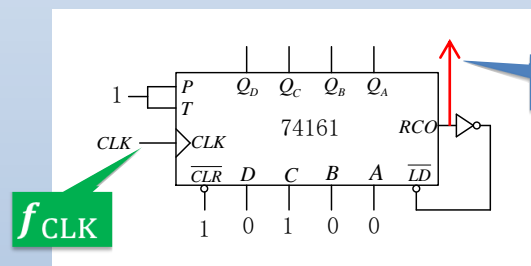
分频器与计数器的区别是：

分频器对状态没有要求，只要计数模值正确就可以，而计数器通常对状态的变化是有要求的。

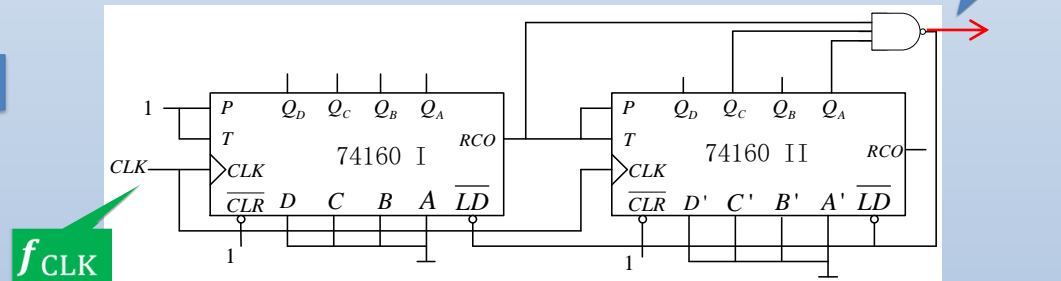
## 5.5.3 分频器与计数器的关系

分频器与计数器的关系：

—— 模值为M的计数器=M倍分频器



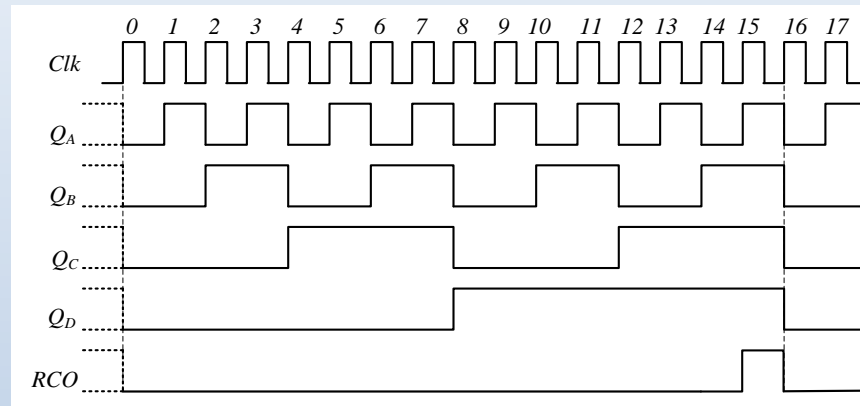
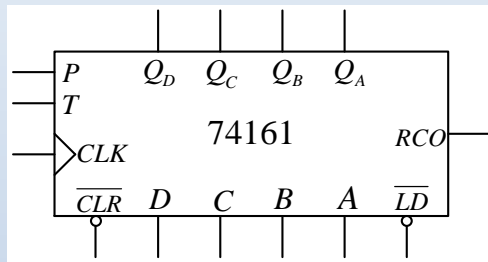
**M=10**



**M=60**

输入时钟CLK的频率为 $f_{CLK}$ ，则输出频率 $f_{out} = \frac{f_{CLK}}{M}$

## 74161输出的频率



$$f_{Q_A} = \frac{f_{CLK}}{2} \quad f_{Q_B} = \frac{f_{CLK}}{4} \quad f_{Q_C} = \frac{f_{CLK}}{8} \quad f_{Q_D} = \frac{f_{CLK}}{16} \quad f_{RCO} = \frac{f_{CLK}}{16}$$

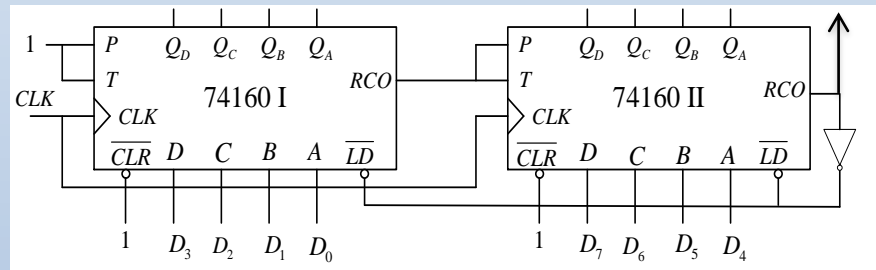
**例5-10** 设计一个可编程分频器，如果输入时钟的频率为10MHz。试分别求输出频率100kHz和200kHz时的预置值。

解：

$$f_{out} = \frac{f_{CLK}}{M}$$

100kHz 计数器M=100    200kHz 计数器M=50

$$M=10^n-D$$



$$M=100 \quad D=10^2-100=0 \quad D_7D_6D_5D_4D_3D_2D_1D_0=(00000000)_{8421}$$

$$M=50 \quad D=10^2-50=50 \quad D_7D_6D_5D_4D_3D_2D_1D_0=(01010000)_{8421}$$



问题：通常购买的时钟晶体振荡器的输出频率是32768Hz，要得到1Hz的时钟信号，问设计的计数器模值  $M=?$ ，要用几片74161？

解：32768Hz分频成1Hz

$$M=32768$$

$$32768=2^{15}$$

要用4片74161级联

# 第五章 时序逻辑电路的分析和设计

- 时序逻辑电路的基本概念
- 同步时序逻辑电路的分析
- 异步时序逻辑电路的分析
- 同步时序逻辑电路的设计
- 集成计数器
- 集成寄存器
- 中规模时序电路的综合应用

## 5.6 集成寄存器

- 寄存器和移位寄存器
- 集成移位寄存器构成移位型计数器

## 5.6 集成寄存器

寄存器是由一组触发器构成，存储一组二进制数数据！

- 一个触发器能够存储1位二进制数据，需要用N个触发器来组成N位寄存器
- RS触发器、D触发器、JK触发器和锁存器等；

集成寄存器：

74175、74573、74574等；

移位  
寄存器

4位单向移位寄存器：74195

8位单向移位寄存器：74164

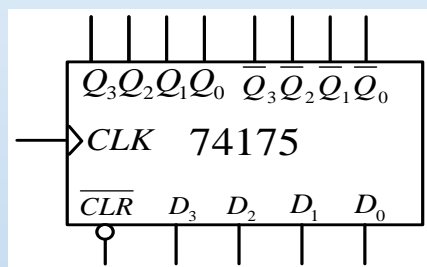
4位双向移位寄存器：74194

8位双向移位寄存器：74198

## 5.6 集成寄存器

### 1. 并入-并出寄存器

#### ◆ 74175 四D寄存器



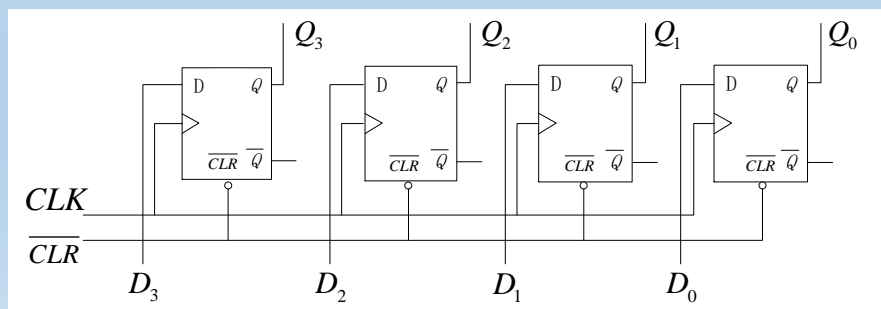
✓ 具有异步置0功能，互补输出

将4位二进制数据存入该寄存器时：

- 首先由数据输入端 $D_3D_2D_1D_0$ 送入数据；
- 然后在CLK时钟上升沿到来后数据被保存到寄存器中
- 随后可从寄存器的输出端 $Q_3Q_2Q_1Q_0$ 获得被保存的数据；

74175功能表

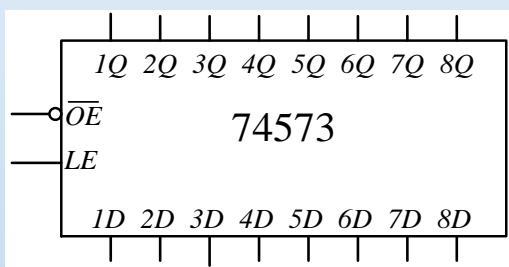
$\overline{CLR}$	CLK	$D_3D_2D_1D_0$	$Q_3Q_2Q_1Q_0$	$\overline{Q_3}\overline{Q_2}\overline{Q_1}\overline{Q_0}$
0	X	X X X X	0 0 0 0	1 1 1 1
1	$\uparrow$	$d c b a$	$d c b a$	$\overline{d} \overline{c} \overline{b} \overline{a}$



## 5.6 集成寄存器

### 1. 并入-并出寄存器

#### ◆ 74573锁存器



输出允许	锁存允许	数据输入	输出
$\overline{OE}$	$LE$	$D$	$Q^{n+1}$
0	0	0	$Q^n$
0	0	1	$Q^n$
0	1	0	0
0	1	1	1
1	x	x	高阻

$\overline{OE}$ : 输出允许端，低电平有效

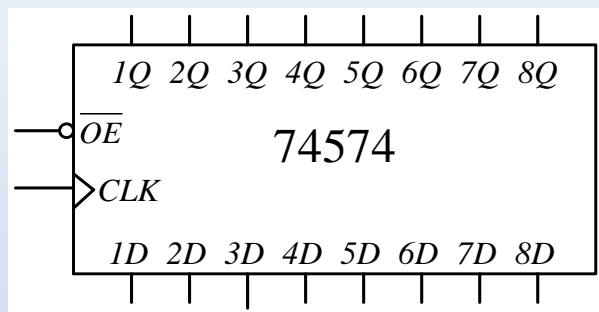
$LE$ : 输入锁存允许信号，高电平有效

74373与74573功能完全相同，仅引脚排列不同，常用在微型计算机中用作地址锁存器

74373和74573属于电位型8位D数据锁存器

- 输出具有三态控制功能；
- OE端口为低电平时：内部锁存器有状态输出，否则状态悬空（高阻态）；
- OE端口为低电平，LE端口为高电平，数据输入端D的信号将直接传送至输出端Q输出；

## ◆ 74574寄存器



74574功能表

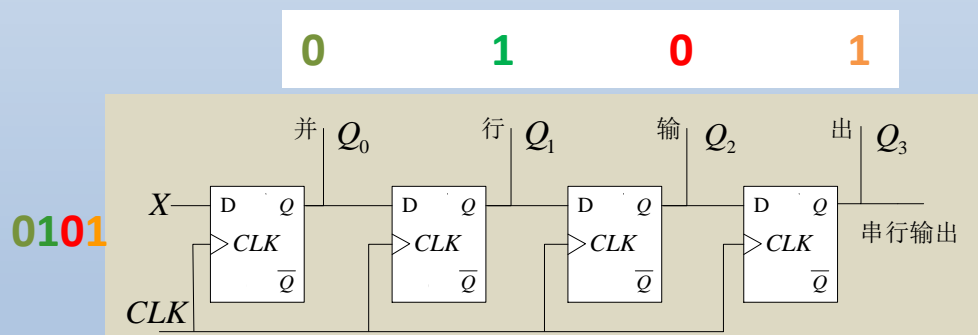
输出允许	时钟脉冲	数据输入	输出
$\overline{OE}$	$CLK$	$D$	$Q^{n+1}$
0	0	0	$Q^n$
0	0	1	$Q^n$
0	↑	0	0
0	↑	1	1
1	×	×	高阻

74374与74574功能完全相同，仅引脚排列不同，常用在微型计算机中用作地址锁存器

74374和74574可作为8位数据锁存器来使用

$\overline{OE}$ : 输入允许端，低电平有效。

## 2. 移位寄存器



$$Q_i^{n+1} = Q_{i-1}, \quad i \geq 1$$

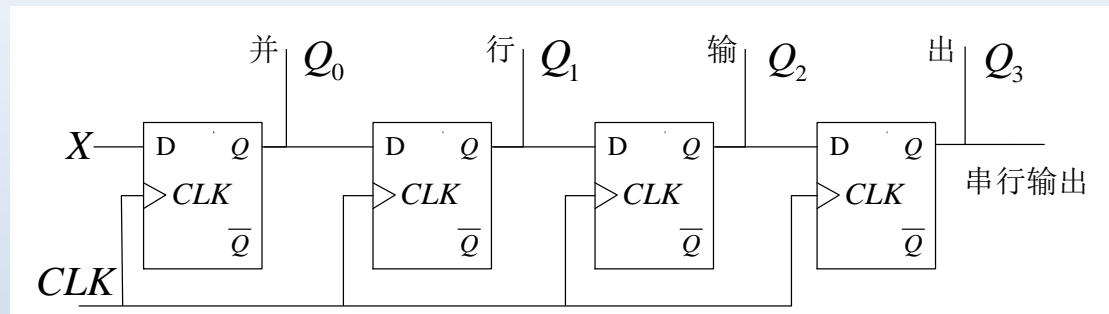
$$Q_0^{n+1} = X$$

串入-并出：可以实现串行变并行的转换。

串入-串出：可以实现延迟功能。

例题

## 移位寄存器的分类：



(1) 按移位方向：

有左移位寄存器、右移位寄存器和双向移位寄存器；

(2) 按输入方式：

可分串行输入、并行输入；

(3) 按输出方式：

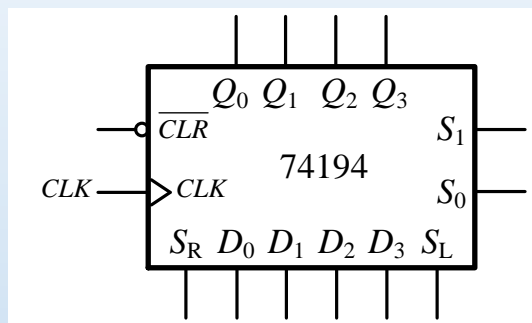
可分串行输出、并行输出；

串入-并出      串入-串出      并入-并出      并入-串出

一个n位串入-并出移位寄存器可以把n位串行数据变成n位并行数据；

一个n位串入-串出移位寄存器可以实现输出信号与输入信号延迟n个时钟周期。

## ◆四位双向移位寄存器74194



具有左移、右移、并行置数、保持、清除等多种功能。

$\overline{CLR}$ : 异步清零端，低电平有效；

$CLK$ : 同步时钟，上升沿有效；

$S_R$ 、 $S_L$  : 右移、左移串行数据输入端；

$S_1$ 、 $S_0$  : 工作方式控制端；

$D_0D_1D_2D_3$ : 并行数据输入端；

注意：移位寄存器有左右方向，没有高低位。

74194功能表

$\overline{CLR}$	$S_1$	$S_0$	$CLK$	$S_L$	$S_R$	$D_0$	$D_1$	$D_2$	$D_3$	$Q_0$	$Q_1$	$Q_2$	$Q_3$
0	×	×	×	×	×	×	×	×	×	0	0	0	0
1	0	0	×	×	×	×	×	×	×	保持			
1	0	1	↑	×	$S_R$	×	×	×	×	$S_R$	$Q_0^n$	$Q_1^n$	$Q_2^n$
1	1	0	↑	$S_L$	×	×	×	×	×	$Q_1^n$	$Q_2^n$	$Q_3^n$	$S_L$
1	1	1	↑	×	×	a	b	c	d	a	b	c	d
1	×	×	0	×	×	×	×	×	×	保持			



问题：常用寄存器的功能表如下，如果要实现8位串行信号转换成8位并行信号，选用哪种型号的芯片最好？

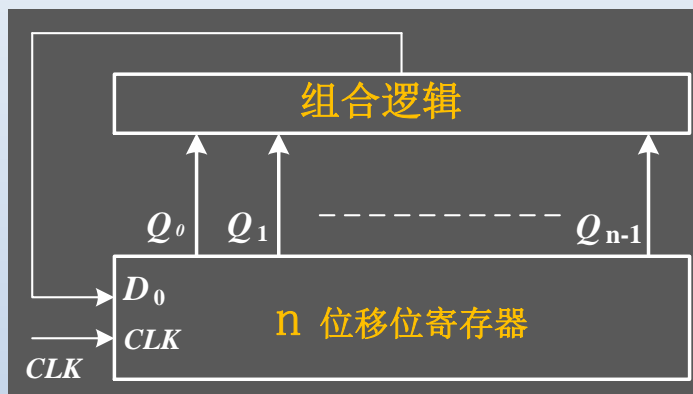
型号	清零	时钟	输入	数据位数	输出
74175	异步L	↑	并入	4	互补并出
74373 74573	无	电平H	并入	8	并出
74374 74574	无	↑	并入	8	并出
74195	异步L	↑	串入 并入	4	串出 并出
74164	同步L	↑	串入	8	串出 并出
74165	无	↑	串入 并入	8	串出
74166	异步L	↑	串入 并入	8	串出
74194	异步L	↑	双向串入 并入	4	双向串出 并出

74194、74195、74164都可以实现

74164最好

## 5.6.2 集成移位寄存器构成移位型计数器

移位型计数器的实现框图



移位型计数器的次态方程特点：

$$Q_i^{n+1} = Q_{i-1}, \quad i \geq 1$$

$$Q_0^{n+1} = f(Q_{n-1}, Q_{n-2}, \dots, Q_0)$$

$n$ 为移位寄存器的位数

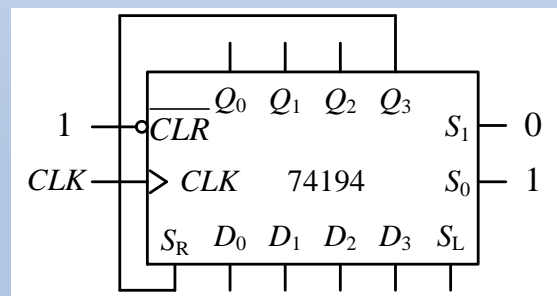
### ◆ 环形计数器

$$Q_i^{n+1} = Q_{i-1}, \quad i \geq 1$$

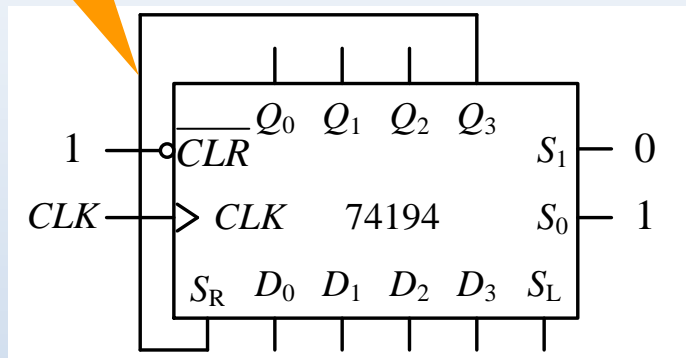
$$Q_0^{n+1} = Q_{n-1}$$

右移环形

这样的电路存在什么问题呢？

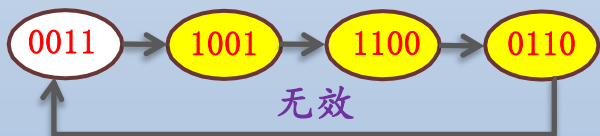
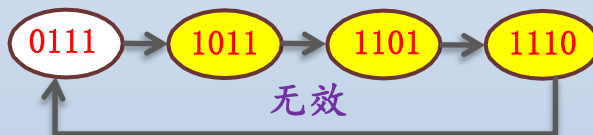
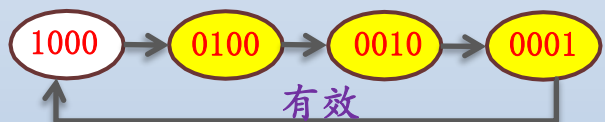


这样的电路存在什么问题呢?

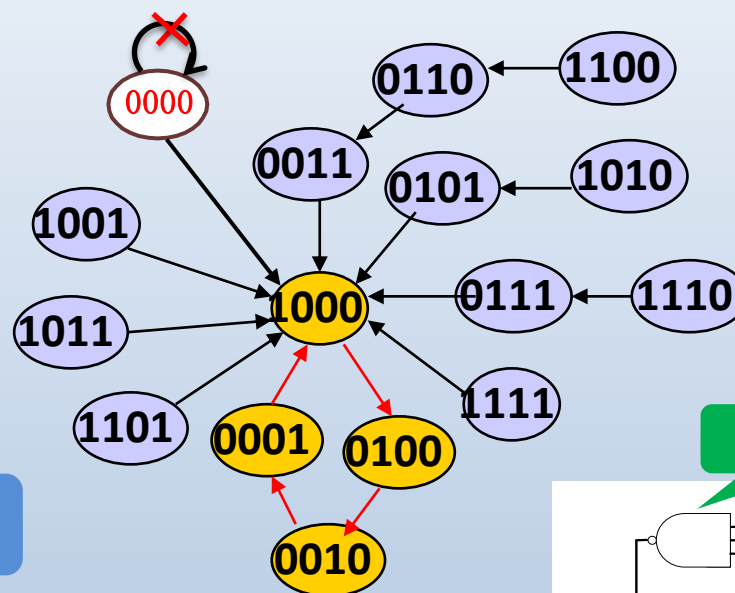
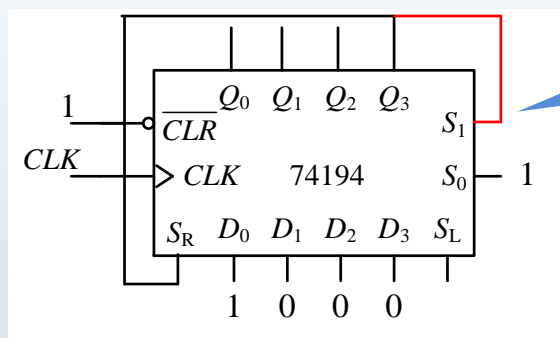


74194功能表

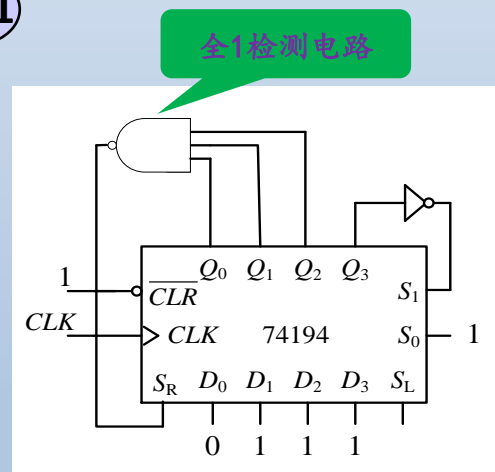
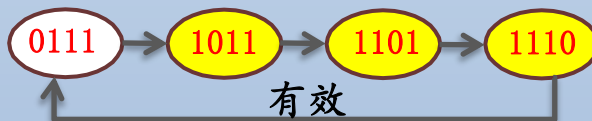
$\overline{CLR}$	$S_1$	$S_0$	$CLK$	$S_L$	$S_R$	$D_0$	$D_1$	$D_2$	$D_3$	$Q_0$	$Q_1$	$Q_2$	$Q_3$
0	×	×	×	×	×	×	×	×	×	0	0	0	0
1	0	0	×	×	×	×	×	×	×	保持			
1	0	1	↑	×	$S_R$	×	×	×	×	$S_R$	$Q_0^n$	$Q_1^n$	$Q_2^n$
1	1	0	↑	$S_L$	×	×	×	×	×	$Q_1^n$	$Q_2^n$	$Q_3^n$	$S_L$
1	1	1	↑	×	×	a	b	c	d	a	b	c	d
1	×	×	0	×	×	×	×	×	×	保持			



环形计数器没有自校正能力，不具有应用价值。



经典自校正  
环形计数器



N位移位寄存器构成的环形计数器最大模值=?  $M_{\max}=N$

问题1：环形计数器的特点是什么？

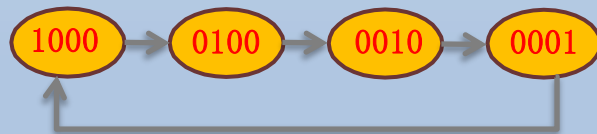
特点是：

$$(1) \quad Q_i^{n+1} = Q_{i-1}, \quad i \geq 1$$

$$Q_0^{n+1} = Q_{n-1}$$

$$(2) \quad M_{max} = n, \quad n \text{ 为移位寄存器的位数}$$

问题2：具有以下状态转移图的环形计数器为什么又称为脉冲分配器？



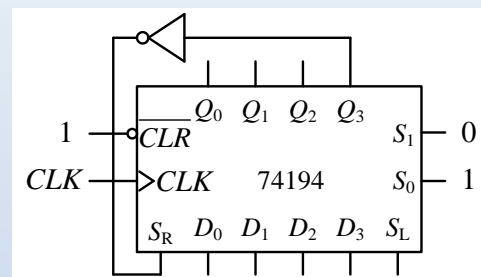
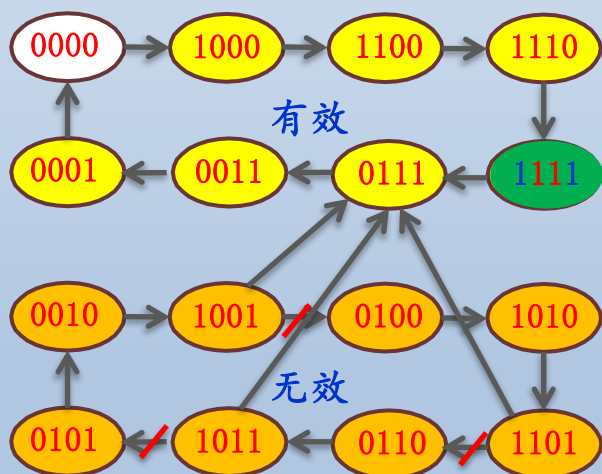
## ◆ 扭环计数器

$$Q_i^{n+1} = Q_{i-1}, \quad i \geq 1$$

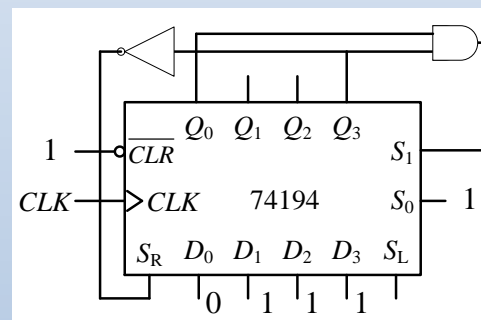
$$Q_0^{n+1} = f(Q_{n-1}, Q_{n-2}, \dots, Q_0)$$

$$Q_i^{n+1} = Q_{i-1}, \quad i \geq 1$$

$$Q_0^{n+1} = \overline{Q_{n-1}}$$



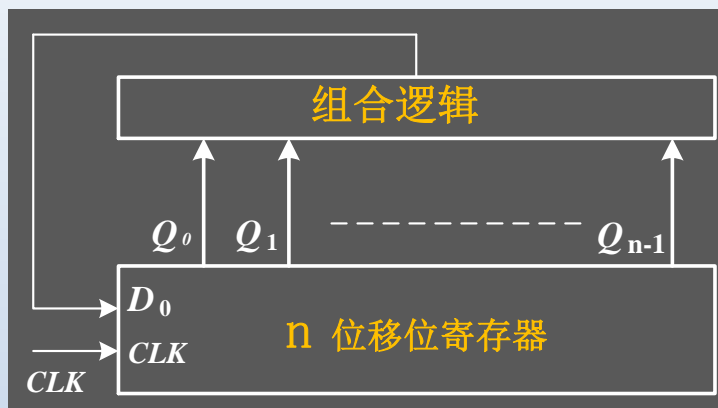
没有自校正能力



经典自校正扭环计数器

N位移位寄存器构成的扭环计数器最大模值  $M_{max} = 2N$

## ◆一般移位型计数器

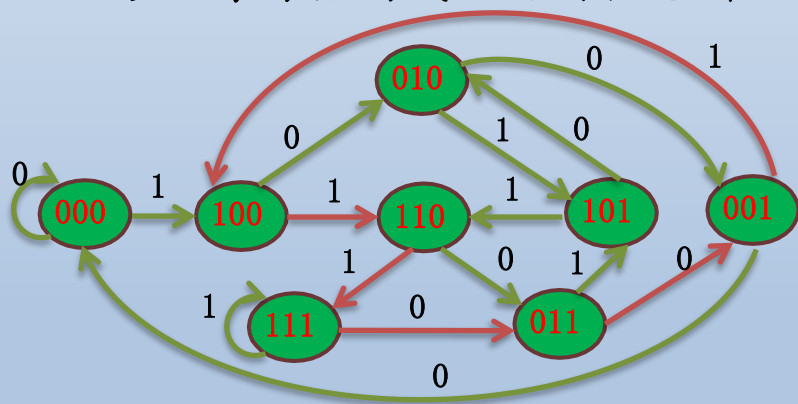


$$Q_i^{n+1} = Q_{i-1}, \quad i \geq 1$$

$$Q_0^{n+1} = f(Q_{n-1}, Q_{n-2}, \dots, Q_0)$$

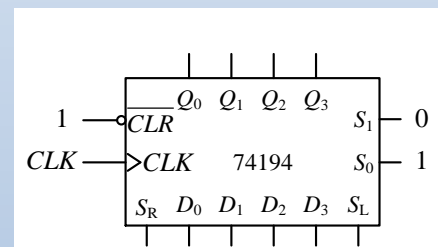
如何构成任意模值M=5移位型计数器？

3位移位寄存器构成的通用状态图



转移真值表

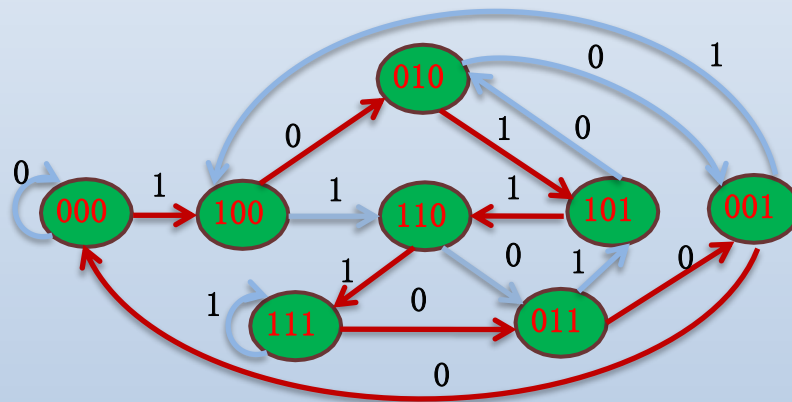
$Q_0$	$Q_1$	$Q_2$	$S_R$
1	0	0	1
1	1	0	1
1	1	1	0
0	1	1	0
0	0	1	1
0	0	0	1
0	1	0	1
1	0	1	1



$$S_R = \overline{Q_1 Q_2}$$

当  $S_R = \overline{Q_{n-1} Q_{n-2}}$  可构成  $M=2n-1$  移位型计数器

问题：如何构成M=8移位型计数器右移转移真值表？



解：

$Q_0$	$Q_1$	$Q_2$	$S_R$
0	0	0	1
1	0	0	0
0	1	0	1
1	0	1	1
1	1	0	1
1	1	1	0
0	1	1	0
0	0	1	0



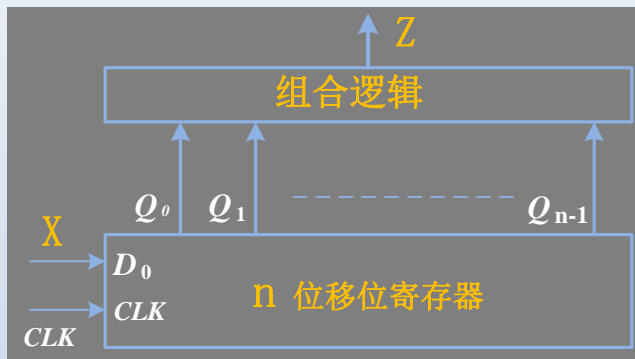
# 第五章 时序逻辑电路的分析和设计

- 时序逻辑电路的基本概念
- 同步时序逻辑电路的分析
- 异步时序逻辑电路的分析
- 同步时序逻辑电路的设计
- 集成计数器
- 集成寄存器
- 中规模时序电路的综合应用

## 5.7 中规模时序电路的综合应用

- 序列信号检测器
- 序列信号发生器

## 5.7.1 序列信号检测器

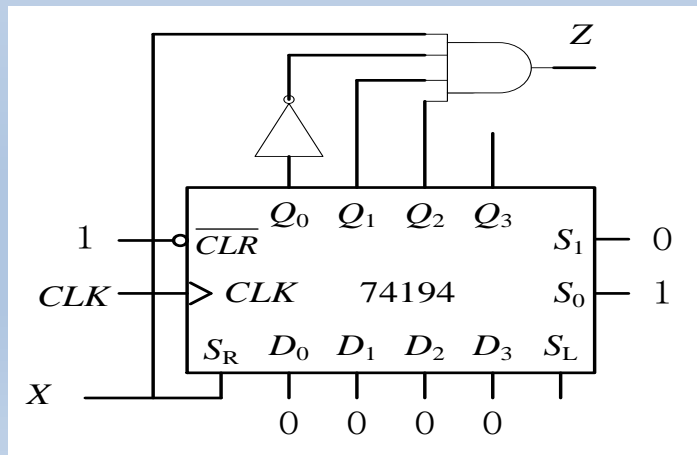
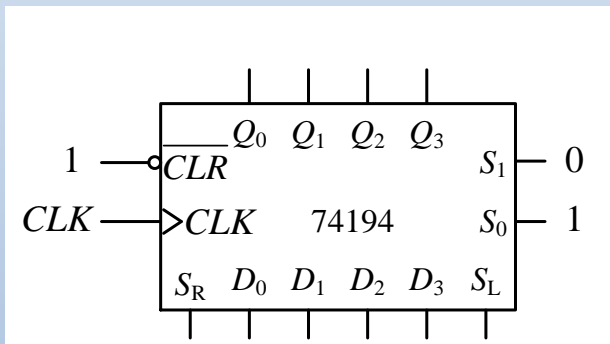


例5-11 用74194设计一个Mealy型1101序列信号检测电路，要求：

- (1) 输入序列X可以重叠，输出标志Z=1；
- (2) 输入序列X不重叠，输出标志Z=1。

解：(1) Mealy型1101序列可重叠  
只需要3位移寄存器

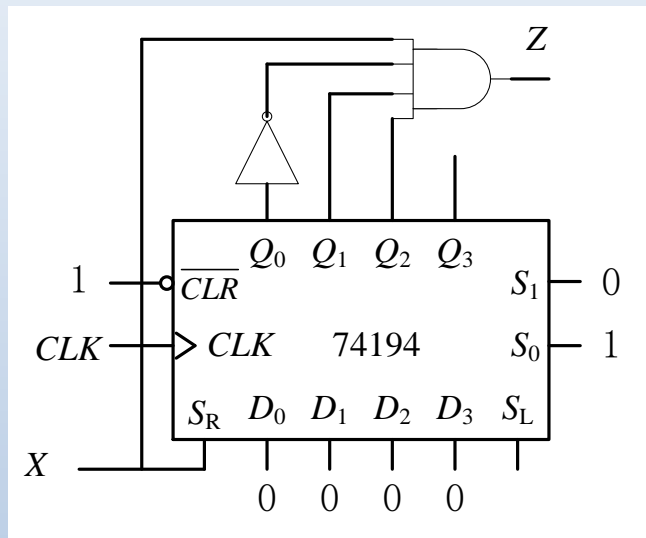
$$Z = X\overline{Q_0}Q_1Q_2$$



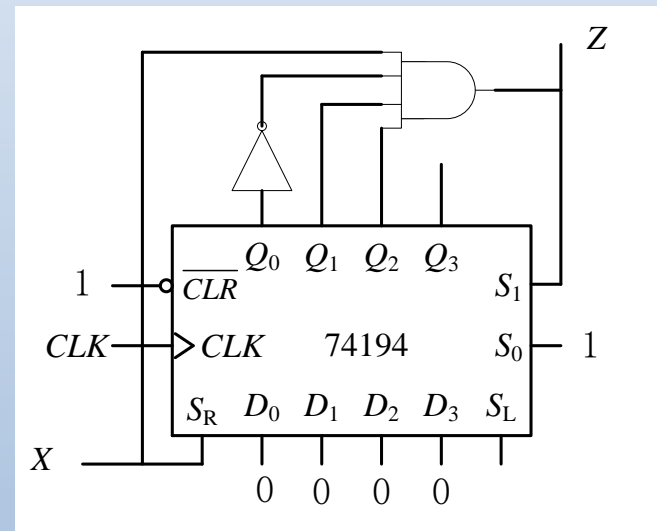
## (2) Mealy型1101序列，不重叠

$$Z = X\overline{Q_0}Q_1Q_2$$

不重叠，在 $Z=1$ 时，置数使移位寄存器的存储内容清除。



可重叠1101检测电路



例5-12 用74194设计一个Moore型0110序列信号检测电路，要求：

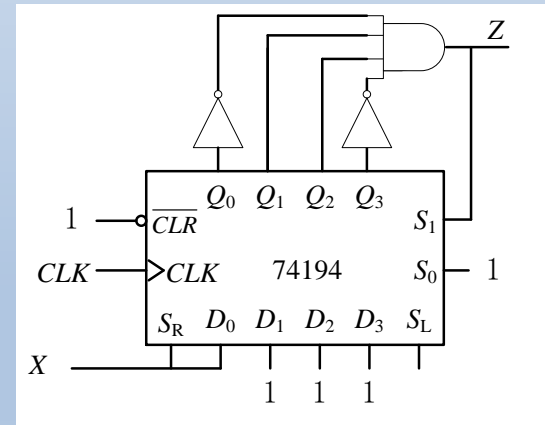
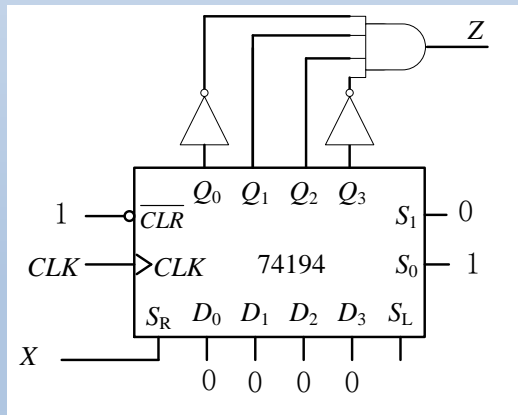
- (1) 输入序列X可以重叠，输出标志Z=1；
- (2) 输入序列X不重叠，输出标志Z=1。

解：

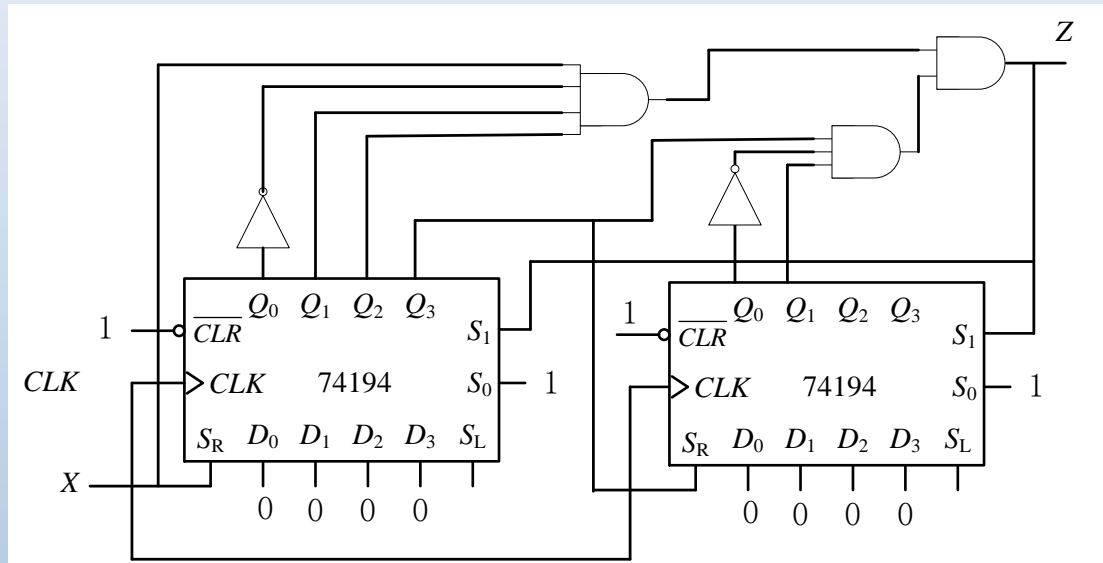
- (1) Moore型0110序列可重叠  
需要4位移寄存器

$$Z = \overline{Q_0}Q_1Q_2\overline{Q_3}$$

- (2) 不重叠, 在Z=1时，置数使移位寄存器的前3位存储内容清除，同时X置入Q<sub>0</sub>。



问题：序列码检测电路如图所示，该电路检测的序列是什么？是否可重叠？

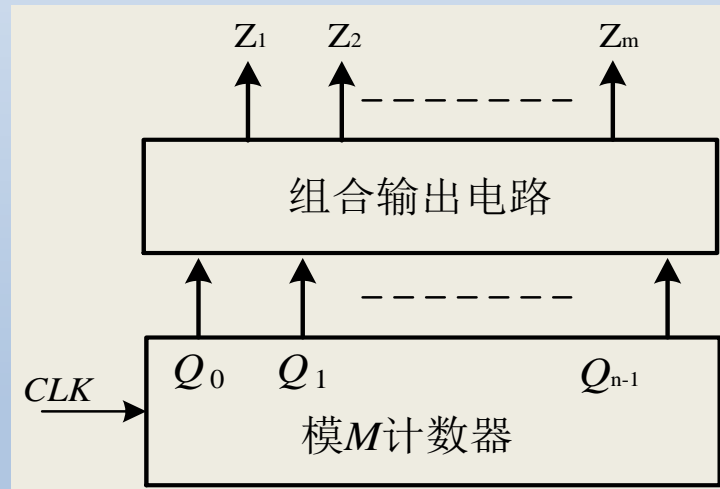


序列是1011101 不重叠

## 5.7.2 序列信号发生器

在数字信号传输过程中，通常以串行的序列信号进行传输。序列信号发生器是能够循环产生一组或多组序列信号（序列码）的时序电路。

### ➤ 计数型序列信号发生器

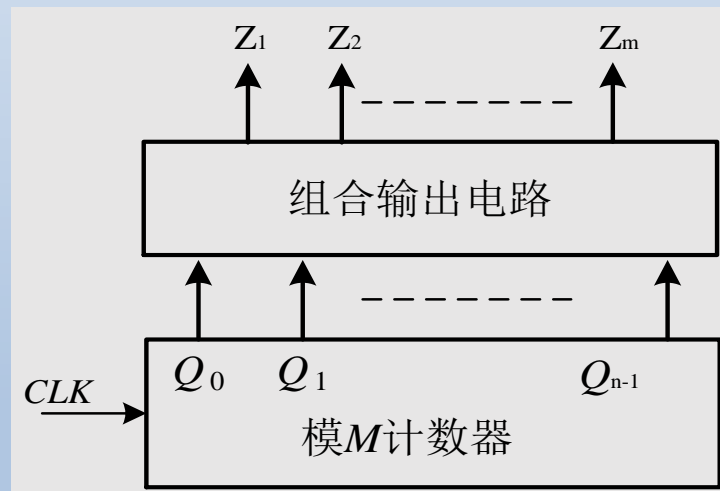


用计数器实现序列循环长度的控制，组合电路则完成所有要求的序列码的输出。

## 5.7.2 序列信号发生器

在数字信号传输过程中，通常以串行的序列信号进行传输。序列信号发生器是能够循环产生一组或多组序列信号（序列码）的时序电路。

### ► 计数型序列信号发生器



#### 设计步骤：

- (1) 根据序列码的长度 $M$ ，设计数模值为 $M$ 的计数器，计数器的初始状态可以任意选择；
- (2) 按照计数器的状态转移关系和序列码的要求，设计组合输出电路。

## 例5-7-2 设计一个产生0101101序列码的序列码发生器。

解：（1）序列长度为7，选用74161设计一个模7计数器。

（2）设计组合输出电路。

初始状态从000开始，则计数器只与 $Q_C$ 、 $Q_B$ 、 $Q_A$ 有关。

状态及输出真值表

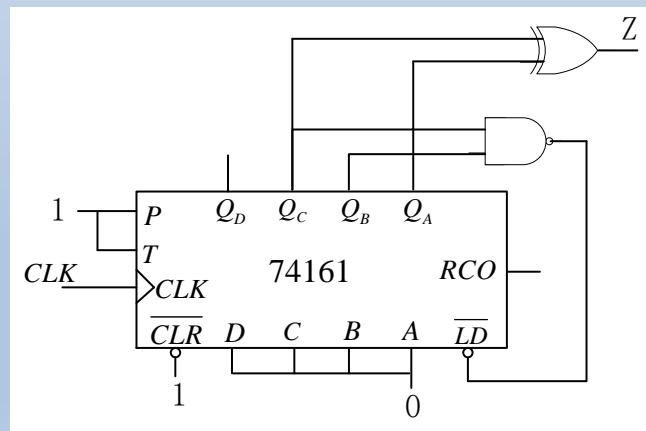
$Q_C Q_B Q_A$	Z
0 0 0	0
0 0 1	1
0 1 0	0
0 1 1	1
1 0 0	1
1 0 1	0
1 1 0	1
1 1 1	x

◆ 组合电路选用SSI器件实现

$Q_C \backslash Q_B$	00	01	11	10
0	0	0	1	1
1	1	1	X	0

输出Z的卡诺图

$$Z = Q_C \overline{Q_A} + \overline{Q_C} Q_A = Q_C \oplus Q_A$$





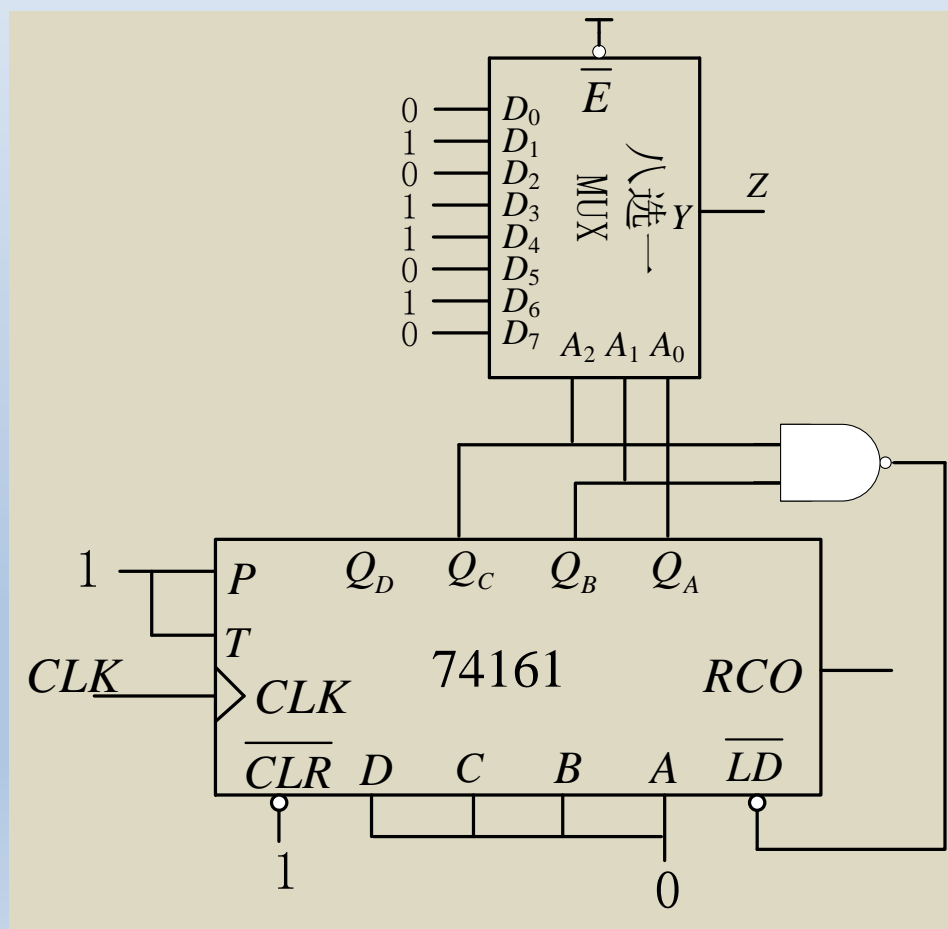
## ◆ 组合电路选用数据选择器实现

### 8选1数据选择器

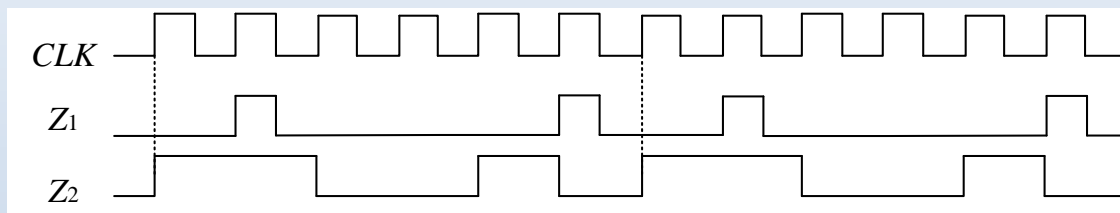
$$Z = Y = [Q_C Q_B Q_A]_m [0 \ 1 \ 0 \ 1 \ 1 \ 0 \ 1 \ 0]^T$$

状态及输出真值表

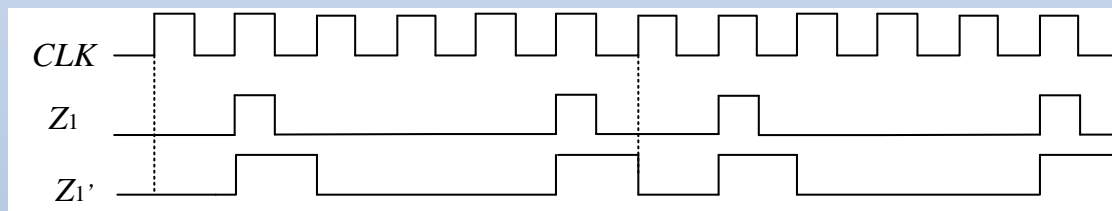
$Q_C Q_B Q_A$	$Z$
0 0 0	0
0 0 1	1
0 1 0	0
0 1 1	1
1 0 0	1
1 0 1	0
1 1 0	1
1 1 1	x



例5-7-3 设计一个能同时产生两组序列码的双序列码发生器，两组序列码的时序波形如图所示。



解：分解 $Z_1$



$$Z_1 = Z_1' \cdot CLK$$

$$Z_1' = 010001$$

$$Z_2 = 110010$$

(1) 选74161设计一个模6计数器，用可编程计数器设计方法；

$$Z_1 = Z_1' \cdot CLK \quad Z_1' = 010001 \quad Z_2 = 110010$$

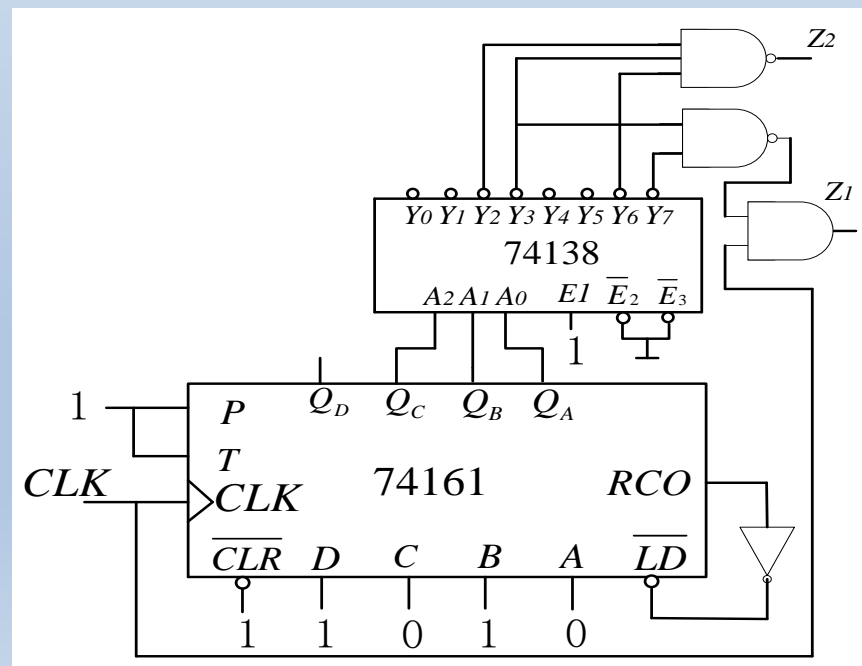
(2) 设计组合输出电路，选用3-8译码器；

$$Z_1(Q_C, Q_B, Q_A) = m_3 + m_7$$

$$Z_2(Q_C, Q_B, Q_A) = m_2 + m_3 + m_6$$

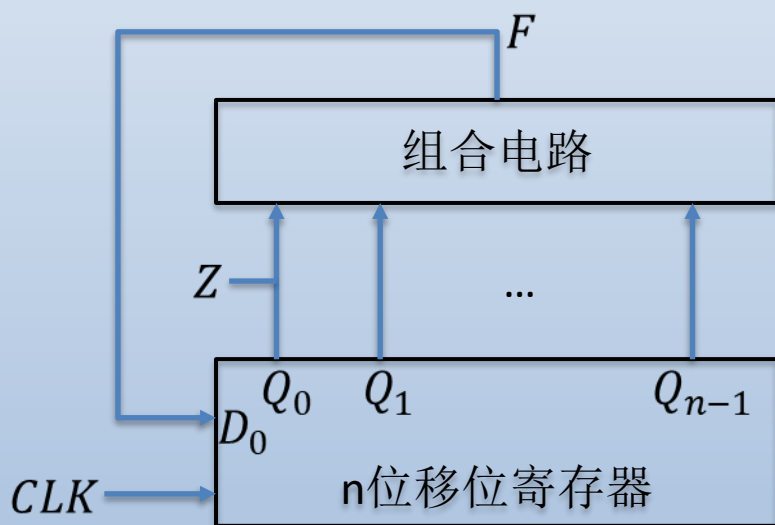
状态及输出真值表

$Q_D$	$Q_C$	$Q_B$	$Q_A$	$Z_1'$	$Z_2$
1	0	1	0	0	1
1	0	1	1	1	1
1	1	0	0	0	0
1	1	0	1	0	0
1	1	1	0	0	1
1	1	1	1	1	0



## 5.7.2 序列信号发生器

### ➤ 反馈移位型序列信号发生器



根据所要产生的序列码来构成移位寄存器的状态循环，它由移位寄存器和组合反馈电路组成。

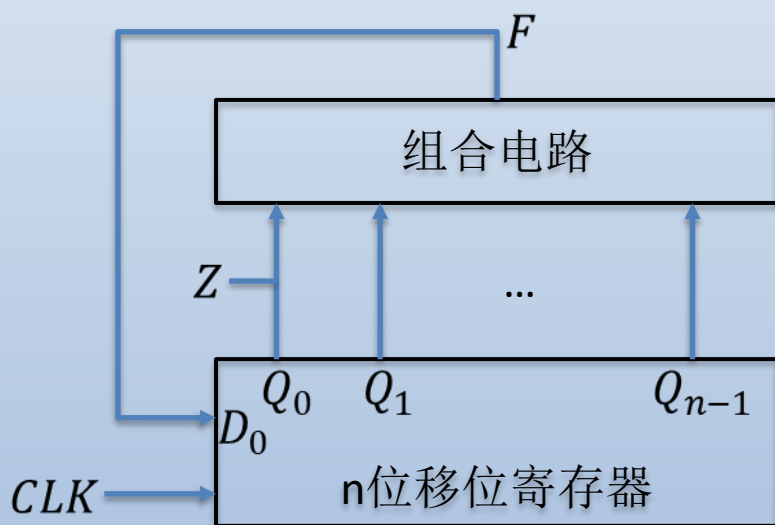
#### • 设计过程：

(1) 根据所有产生的序列码，确定移位寄存器位数 $n$ 及 $M$ 个独立状态， $M$ 为序列码的长度。

- 从序列码的第一位开始到最后一位，按照移位循环的规律每 $n$ 位一组，划分为 $M$ 个状态。
- 若有重复出现现象，则增加移位寄存器的位数；

## 5.7.2 序列信号发生器

### ➤ 反馈移位型序列信号发生器



根据所要产生的序列码来构成移位寄存器的状态循环，它由移位寄存器和组合反馈电路组成。

#### • 设计过程：

(1) 根据所有产生的序列码，确定移位寄存器位数 $n$ 及 $M$ 个独立状态， $M$ 为序列码的长度。

(2) 根据移位寄存器 $M$ 个不同状态的状态循环，列出反馈函数表，求出反馈函数 $F$ 的表达式。

(3) 检查是否能自启动，如果不能自启动，修改反馈函数 $F$ 的表达式，直到能自启动为止。

(4) 画出逻辑函数图。

### 例5-7-4 用反馈移位型序列信号发生器，设计产生0111100序列。

#### 设计步骤：

1. 根据所有产生的序列码，确定移位寄存器位数 $n$ 及 $M$ 个独立状态， $M$ 为序列码的长度。
2. 根据移位寄存器 $M$ 个不同状态的状态循环，列出反馈函数表，求出反馈函数 $F$ 的表达式。
3. 检查是否能自启动，如果不能自启动，修改反馈函数 $F$ 的表达式，直到能自启动为止。
4. 画出逻辑函数图。

解：

(1) 确定移位寄存器位数 $n$ 及 $M$ 个独立状态：

- $n=4$ ，划分为7个状态：  
0111,1111,1110,1100,1000,0001,0011

(2) 列状态转移的反馈函数表，求反馈函数 $F$ 的表达式：

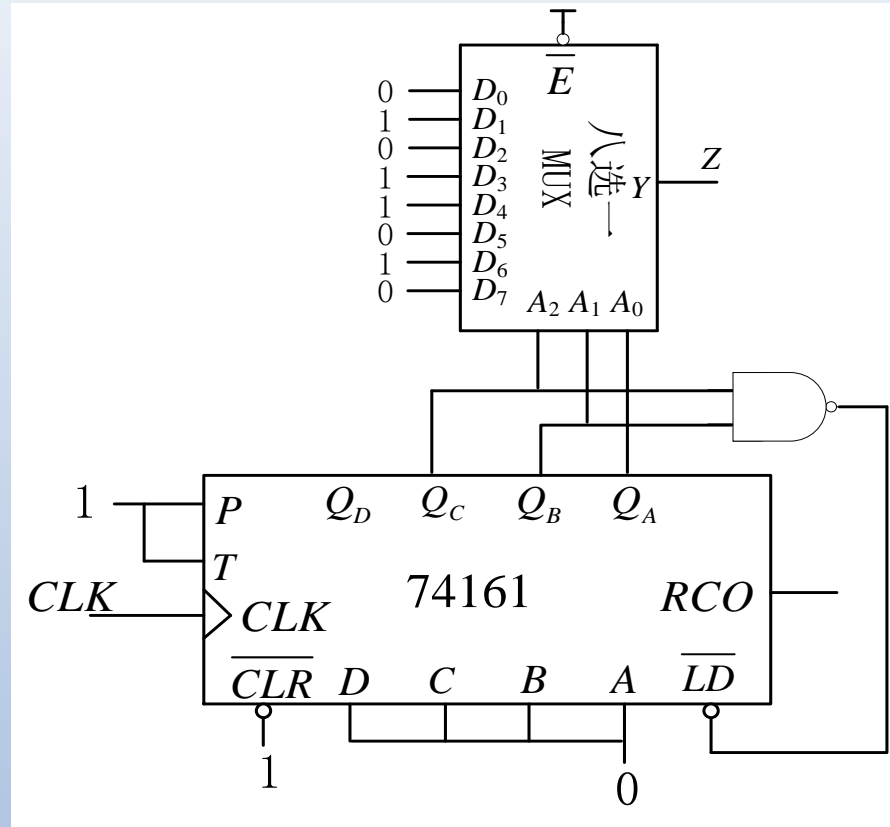
- 选用一片74194来实现电路，反馈函数表为：

$Q_0$	$Q_1$	$Q_2$	$Q_3$	$F$
0	1	1	1	1
1	1	1	1	0
1	1	1	0	0
1	1	0	0	0
1	0	0	0	1
0	0	0	1	1
0	0	1	1	1

(3) 检查是否能自启动

(4) 画逻辑电路

问题：序列码发生电路如图所示，分析该电路的特点？实际应用如何？



特点：在序列长度不变的情况下，修改数选器的数据输入端，就可以很方便的实现所需要的序列信号输出，即电路不变，可编程序列码。