

一、单选题（题数：13，共 26.0 分）

1 （2012年真题）假设某计算机按字编址，Cache有4个行，Cache和主存之间交换的块大小为1个字。若Cache的内容初始为空，采用2路组相联映射方式和最近最久未使用算法（LRU）替换策略。访问的主存地址依次为0,4,8,2,0,6,8,6,4,8时，命中Cache的次数是（ ）。

(2.0分)

- A、 1
- B、 2
- C、 3
- D、 4

正确答案： C      我的答案： C

答案解析：

2 （2014年真题）采用指令 Cache 与数据Cache 分离的主要目的是（ ）

(2.0分)

- A、 降低 Cache 的缺失损失
- B、 提高 Cache 的命中率
- C、 降低 CPU 平均访存时间
- D、 减少指令流水线资源冲突

正确答案： D      我的答案： D

答案解析：

3 （2015年真题）假定主存地址为32位，按字节编址，主存和Cache之间采用直接映射方式，主存块大小为4个字，每字32位，采用回写（Write Back）方式，则能存放4K字数据的Cache的总容量的位数至少是（ ）。

(2.0分)

- A、 146K
- B、 147K
- C、 148K
- D、 158K

正确答案： B      我的答案： B

答案解析：

4 【2009】某计算机的cache共有16块，采用2路组相联方式映射（即每组2块）。每个主存块大小为32字节，按字节编址。主存129号单元所在主存块应装入到的cache组号是（ ）

(2.0分)

- A、 0
- B、 2
- C、 4
- D、 6

正确答案： C      我的答案： C

答案解析：

5 【2016】有如下C语言程序段

```
for(k=0;k<1000;k++)
    a[k]=a[k]+32;
```

若数组a及变量k均为int型，int型数据占4B，数据Cache采用直接映射方式，数据区大小为1KB，块大小为16B，该程序段执行前Cache为空，则该程序段执行过程中访问数组a的Cache缺失率约为（ ）。

(2.0分)

- A、 1.25%
- B、 2.5%
- C、 12.5%
- D、 25%

正确答案： C      我的答案： B

答案解析：

6 在下面关于主存与Cache的地址映射方式的说法中正确的是( )。

(2.0分)

- A、 全相联映射方式适用于大容量Cache
- B、 直接映射是一对一的映射关系，组相联映射是多对一的映射关系
- C、 在Cache容量相等的条件下，直接映射方式比组相联映射方式有更高的命中率
- D、 在Cache容量相等的条件下，组相联映射方式比直接映射方式有更高的命中率

正确答案： D      我的答案： C

答案解析：

7 在分析Cache对计算机性能的影响时，正确的是( )

(2.0分)

- A、 Cache容量比主存小许多，决定计算机访问存储器的速度是主存，Cache只起次要作用
- B、 Cache的主要作用是减少调用子程序的开销
- C、 核心程序法是评价计算机性能的方法之一，由于这种方法程序较短，访问存储器的局部性较大，Cache的命中率比一般程序高
- D、 奔腾计算机采用两级Cache结构，一级存放系统程序，另一级放用户程序

正确答案： C      我的答案： C

答案解析:

8 已知Cache 命中率 $H=0.98$ ，主存的读写速度是Cache的 $1/4$ ，主存的存取周期为200ns，假设Cache访问和主存访问是同时启动的，则Cache-主存的效率是( )。  
(2.0分)

- A、 0.92
- B、 0.94
- C、 0.96
- D、 0.98

正确答案： B      我的答案： C

答案解析:

9 影响Cache命中率的因素有 ( )。

- I.每次与主存交换信息的单位量
- II.Cache的容量
- III.Cache 结构
- IV.不同映射方式
- V.主存的大小

(2.0分)

- A、 I、 II、 III、 IV
- B、 I、 II、 III
- C、 I、 II、 IV
- D、 只有I

正确答案： A      我的答案： A

答案解析:

10 某32位计算机的Cache容量为16KB，Cache块的大小为16B，若主存与Cache地址映射采用直接映射方式，则主存地址为0x1234E8F8的单元装入Cache的地址是 ( )。  
(2.0分)

- A、 00010001001101
- B、 01000100011010
- C、 10100011111000
- D、 11010011101000

正确答案： C      我的答案： C

答案解析:

11 有效容量为128KB的Cache，每块16字节，采用8路组相联映射。字节地址为1234567H的单元调入该Cache，其Tag应为 ( )。  
(2.0分)

- A、 2468H
- B、 1234H
- C、 048DH
- D、 12345H

正确答案： C      我的答案： C

答案解析:

12 某机字长为32位，主存容量为1MB，按字编址，块长为512B，Cache共可存放16个块，采用直接映射方式，则Cache地址长度为（ ）。  
(2.0分)

- A、 11位
- B、 13位
- C、 18位
- D、 20位

正确答案： A      我的答案： C

答案解析：

13 设有Cache-主存层次的存储器，其主存容量为1MB，Cache容量为16KB，每块有8个字，每字32位，采用直接映射方式。若主存地址为35301H，且CPU访问Cache命中，则该主存块在Cache中的位置（Cache起始字块为第0字块）是（ ）。  
(2.0分)

- A、 152
- B、 153
- C、 154
- D、 151

正确答案： A      我的答案： D

答案解析：

二、简答题（题数：2，共 16.0 分）

14 4.35 有如下C语言程序段：

```
for(k=0;k<1000;k++)
    a[k]=a[k]+10;
```

若数组a及变量k均为int型，int型数据占4B,变量k在寄存器中；数据Cache采用直接映射方式，容量为1KB,块大小为32B,该程序段执行前Cache为空。求该程序段执行过程中访问数组a的Cache缺失率。

(8.0分)

正确答案

解: a[k]的访问步骤是：先访问cache，cache缺失，之后从主存中取出一个块调入cache，这个块中的后几个数据都是命中的，本题中一个数据占4B，一个块大小是32B，这说明一个块中有8个数据，关键是后面还有一次写，这说明一次循环要16次访问cache，其中只有第一次是缺失的，后面15次都是命中的，所以缺失率是1/16=6.25%；

我的答案

15 Cache 做在 CPU 芯片内有什么好处？将指令 Cache 和数据 Cache 分开又有什么好处？  
(8.0分)

正确答案

Cache 做在 CPU 芯片内可以提高 CPU 访问 Cache 的速度。  
将指令Cache 和数据Cache 分开的好处是分体缓存支持并行访问，即在取指部件取指令的同时，取数部件要取数据。并且，指令在程序执行中一般不需要修改，故指令 Cache 中的内容不需写回主存中。

我的答案

## 三、计算题 (题数: 2, 共 22.0 分)

16 某计算机的主存地址空间大小为256MB, 按字节编址。指令cache和数据cache分离, 均有8个cache行, 主存与cache交换的块大小为64B, 数据cache采用直接映射方式。现有两个功能相同的程序A和B, 其伪代码如图所示。

程序A:

```
int a[256][256];
...
int sum_array1 ( )
{
    int i, j, sum = 0;
    for ( i = 0; i < 256; i++)
        for ( j = 0; j < 256; j++)
            sum += a[i][j];
    return sum;
}
```

程序B:

```
int a[256][256];
...
int sum_array2 ( )
{
    int i, j, sum = 0;
    for ( j = 0; j < 256; j++)
        for ( i = 0; i < 256; i++)
            sum += a[i][j];
    return sum;
}
```

假定int类型数据用32位补码表示, 程序编译时i、j、sum均分配在寄存器中, 数组a按行优先方式存放, 其首地址为320 (十进制数)。请回答下列问题, 要求说明理由或给出计算过程。

- (1) 若不考虑用于cache一致性维护和替换算法的控制位, 则数据cache的总容量为多少?
- (2) 数组元素a[0][31]和a[1][1]各自所在的主存块对应的cache行号分别是多少 (cache行号从0开始)?
- (3) 程序A和B的数据访问命中率各是多少? 哪个程序的执行时间更短?

(11.0分)

## 正确答案

## 【分析解答】

(1) cache中的每一行信息除了用于存放主存块的数据区外, 还有有效位、标记信息, 以及用于cache一致性维护的修改位 (dirty bit) 和用于替换算法的使用位 (如LRU位) 等控制位。因为主存地址空间大小为256MB, 因而主存地址为28位, 其中6位为块内地址, 3位为行号 (行索引), 标志信息有 $28-6-3=19$ 位。因此, 在不考虑用于cache一致性维护和替换算法的控制位的情况下, 数据cache的总容量为 $8 \times (19+1+64 \times 8) = 4256 \text{B} = 532 \text{B}$ 。

(2) 解法一: 要得到某个数组元素所在块对应的cache行号, 最简单的做法就是把该数组元素的地址计算出来, 然后根据地址求出主存块号, 最后用主存块号除以8取余数 (即主存块号 $\text{mod} 8$ ) 就是对应的cache行号。因为每个数组元素为一个32位int型变量, 故占4个字节。因此, a[0][31]的地址为 $320 + 4 \times 3320 + 4 \times 31 = 4444 / 64 = 66$  (取整), 因此a[0][31]对应的主存块号为6。因为 $6 \text{ mod } 8 = 6$ , 所以对应的cache行号为6。

解法二: 也可以将地址转换为28位二进制地址, 然后取出其中的行索引 (即行号) 字段的值, 得到对应行号。将地址444转换为二进制表示为0000 0000 0000 0000 000 110111100, 中间3位110为行号 (行索引), 因此, 对应的cache行号为6。

解法三: 用画图的方式可以清楚地表示cache行和主存块之间的映射关系。 (略)

同理, 数组元素a[1][1]对应的cache行号为 $((320 + 4 \times (1 \times 256 + 1)) / 64) \text{ mod } 8 = 5$ 。

(3) 编译时i、j、sum均分配在寄存器中, 故数据访问命中率仅需要考虑数组a的访问情况。

①程序A的数据访问命中率。

解法一: 由于程序A中数组访问顺序与存放顺序相同, 故依次访问的数组元素位于相邻单元; 程序共访问 $256 \times 256 = 64 \text{K}$ 次, 占 $64 \text{K} \times 4 \text{B} / 64 \text{B} = 4 \text{K}$ 个主存块; 因为首地址正好位于一个主存块的边界, 故每次将一个主存块装入cache时, 总是第一个数组元素缺失, 其他都命中, 共缺失4K次, 因此, 数据访问的命中率为 $(64 \text{K} - 4 \text{K}) / 64 \text{K} = 93.75\%$ 。

解法二: 因为每个主存块的命中情况都一样, 因此, 也可以按每个主存块的命中率计算。主存块大小为64B, 包含16个数组元素, 因此, 共访存16次, 其中第一次不命中, 所以命中率为 $15 / 16 = 93.75\%$ 。

②程序B的数据访问命中率。

由于程序B中的数组访问顺序与存放顺序不同, 依次访问的数组元素分布在相隔 $256 \times 4 = 1024$ 的单元处, 因此, 依次访问的前后数组元素都不在同一个主存块中; 因为数据cache只有8行, 而每次内循环要调入 $256 \times 4 / 64 \text{B} = 16$ 个主存块, 因此, 以前被装入到cache的主存块, 当需要再次访问其中的数组元素时, 已经被替换出cache, 因而不能命中。由此可知, 所有访问都不命中, 命中率为0。

因为程序A的命中率高, 因此, 程序A的执行速度比程序B快。

我的答案

17 【2013】某 32 位机, 主频为 800MHz, Cache 命中时的 CPI 为 4, Cache 块大小为32 字节; 主存采用 8 体交叉存储方式, 每个体的存储字长为 32 位、存储周期为 40 ns; 存储器总线宽度为 32 位, 总线时钟频率为 200 MHz, 支持突发传送总线事务。每次读突发传送总线事务的过程包括: 送首地址和命令、存储器准备数据、传送数据。每次突发传送 32 字节, 传送地址或 32 位数据均需要一个总线时钟周期。

- (1) CPU和总线的时钟周期各为多少? 总线的带宽 (即最大数据传输率) 为多少?

(2) Cache缺失时, 需要用几个读突发传送总线事务来完成一个主存块的读取?

(3) 存储器总线完成一次读突发传送总线事务所需的时间是多少?

(4) 若程序 BP 执行过程中, 共执行了 100 条指令, 平均每条指令需进行 1.2 次访存, Cache 缺失率为 5%, 不考虑替换等开

销, 则 BP 的 CPU 执行时间是多少?

(11.0分)

正确答案

(1)

CPU的时钟周期为:  $1/800 \text{ MHz} = 1.25 \text{ ns}$  (1分)

总线的时钟周期为:  $1/200 \text{ MHz} = 5 \text{ ns}$  (1分)

总线带宽为:  $4 \text{ B} \times 200 \text{ MHz} = 800 \text{ MB/s}$  (1分)

(2) Cache块大小是 32 B, 因此Cache缺失时需要一个读突发传送总线事务读取一个主存块。(1分)

(3) 一次读突发传送总线事务包括一次地址传送和 32 B 数据传送：用 1 个总线时钟周期传输地址；每隔  $40 \text{ ns}/8 = 5 \text{ ns}$  启动一个体工作（各进行 1 次存取），第一个体读数据花费 40 ns，之后数据存取与数据传输重叠；用 8-1 个总线时钟周期传输数据。读突发传送总线事务时间： $5 \text{ ns} + 40 \text{ ns} + 7 \times 5 \text{ ns} = 80 \text{ ns}$ 。（2分）

(4)

BP 的 CPU 执行时间包括 Cache 命中时的指令执行时间和 Cache 缺失时带来的额外开销。命中时的指令执行时间： $100 \times 4 \times 1.25 \text{ ns} \times 95\% = 475 \text{ ns}$ 。（1分）

指令执行过程中Cache 缺失时的额外开销:  $1.2 \times 100 \times 5\% \times 85 \text{ ns} = 510 \text{ ns}$ 。BP 的 CPU 执行时间:  $475 \text{ ns} + 510 \text{ ns} = 985 \text{ ns}$ 。(2分)

### 我的答案

答案解析:

#### 四、分析应用题 (题数: 3, 共 36.0 分)

18 某计算机的主存地址位数为32位，按字节编址。假定数据Cache中最多存放128个主存块，采用4路组相联映射方式，块大小为

64B. 每块设置了1位有效位。采用一次性写回策略, 为此每块设置了1位脏位。

(1) 分别指出主存地址中标记 (Tag)、组号 (Index) 和块内地址 (Offset) 3 部分的位置和位数。

(2) 计算该数据Cache的总位数。

(12.0分)

正确答案

(1) 在主存地址中, 主存字块标记字段在前, 组号字段居中, 块内地址字段在后。因块大小为64B, 故块内地址为6位; 又因共有32组 ( $128 \div 4$ ), 故组号为5位; 标记位为21位( $32-6-5$ )。

(2) 数据Cache的总位数应包括标记项的总位数和数据块的位数。每个Cache块对应一个标记项，标记项中应包括标记字段、有效位和脏位（仅适用于写回法）。故标记项的总位数为 $128 \times (21 + 1 + 1) = 128 \times 23 = 2944$ 位。数据块位数为 $128 \times 64 \times 8 = 65536$ 位，所以数据Cache的总位数为 $2944 + 65536 = 68\ 480$ 位。

### 我的答案

19 设某机主存容量为16MB, Cache的容量为8KB。每块为8字, 每字为32位。设计一个4路组相联映射的Cache。

(1) 画出主存地址格式(各字段的位数)。

(2) 设Cache初态为空, CPU依次从主存0, 1, ..., 99号单元中读出100字(主存一次读出一字), 按此次序重复读10次, 命中率是多少?

(3) 若Cache速度是主存速度的5倍, 有Cache的情况和无Cache的情况相比, 速度提高了多少倍?

(4) 系统的效率是多少?

(12.0分)

正确答案

(1) 主存地址格式如图所示。根据每字为32位 (4B) , 每个字块为8字, 得出块内地址为5位。根据Cache容量为8KB, 字块大小为32B, 得出Cache共256块。根据4路组相联映射方式, 共分64组 (256÷4) 。

主存字块标记	组号	块内地址
13位	6位	5位

(2) 由于Cache初态为空, CPU读0号单元时不命中, 必须访存, 同时将该字所在的主存块调入Cache, 接着CPU读~7号单元均命中。同理, CPU读8,16, ..., 96号单元均不命中。可见CPU在连续读100个字中共有13次未命中, 而后9次循环读100个字全部命中, 命中率为 $(100 \times 10 - 13) / (100 \times 10) \times 100\% = 98.7\%$

(3) 设主存取周期为5t, Cache存取周期为t, 没有Cache的访问时间是 $5t \times 1000$ , Cache的访问时间是 $t \times (1000 - 13) + 5t \times 13$ , 则有Cache的情况和无Cache的情况相比, 速度提高的倍数为 $(5t \times 1000) / [t \times (1000 - 13) + 5t \times 13] - 1 \approx 3.75$

(4) 系统的效率为 $t / [0.9872t + (1 - 0.987) \times 5t] \times 100\% = 95\%$

我的答案

- 20 设某计算机主存容量为 4MB, Cache 容量为16KB, 每块包含8个字, 每字32 位, 设计一个4路组相联映像(即Cache 每组内共有4个块)的Cache组织, 要求:
- (1)画出主存地址字段中各段的位数。
- (2)设Cache 的初态为空, CPU 依次从主存第0, 1, 2, ..., 99号单元读出 100 个字(主存一次读出一个字), 并重复按此次序读8次, 问命中率是多少?
- (3)若 Cache 的速度是主存的 6 倍, 试问有 Cache 和无 Cache 相比, 速度提高多少倍?

(12.0分)

正确答案

(1) 主存容量为 4MB,按字节编址,所以主存地址为 22 位,地址格式如图 5-34 所示。因为块的大小为 32B,所以块内地址 5 位;又因为 Cache 的组数 $=16KB \div 32B \div 4 = 128$ ,所以组号 7 位;其余为标记位, $22 - 7 - 5 = 10$  位。

标记 (10 位)	组号 (7 位)	块内地址 (5 位)
-----------	----------	------------

图 5-34 主存地址格式

(2) 由于每个字块有 8 个字,所以主存第 0,1,2,...,99 号字单元分别在字块 0~12 中,采用 4 路组相联映像将分别映像到第 0~12 组中,但 Cache 起始为空,所以第一次读时每块中的第一个单元没命中,但后面 7 次每个单元均可以命中。

$$\text{命中率} = \frac{N_c}{N_c + N_m} = \frac{100 - 13 + 7 \times 100}{8 \times 100} \times 100\% \approx 98.4\%$$

(3) 设 Cache 的存取周期为 T,则主存的存取周期为 6T。假设 Cache 不命中时才访问主存。

$$\begin{aligned} \text{有 Cache 的访存时间} &= H \times T_c + (1 - H) \times (T_c + T_m) = T_c + (1 - H) \times T_m \\ &= T + (1 - 98.4\%) \times 6T = 1.096T \end{aligned}$$

无 Cache 的访存时间为 6T。所以速度提高倍数 $=6 \div 1.096 = 5.47$ 。

我的答案