





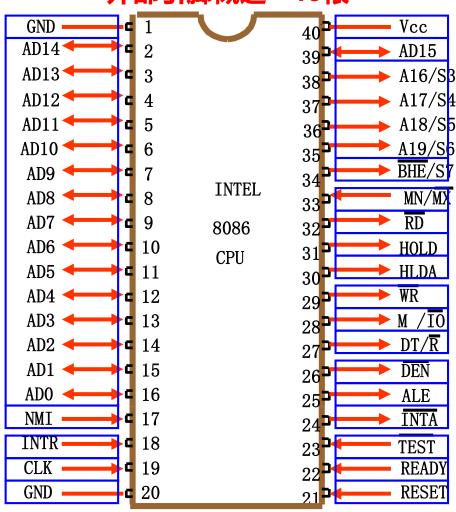
主要内容(问题):

- · 8086CPU的各引脚功能(最小方式)
- · 8086最小方式的总线结构和时序

8086CPU引脚功能序



外部引脚概述--40根



8086引脚 最小方式

地址线相关

20根地址线

1根BHE

1根ALE

数据线相关

16根数据线

1根数据使能线

1根数据收/发线

基本管脚

1根电源线 2根接地线 1根工作模式线 1根时钟线 1根复位线

> 微处理器 级总线

控制线相关

1根读信号线

1根写信号线

1根存储器/IO选择线

3根中断相关线

2根总线申请/应答线

其它控制线



基本管脚

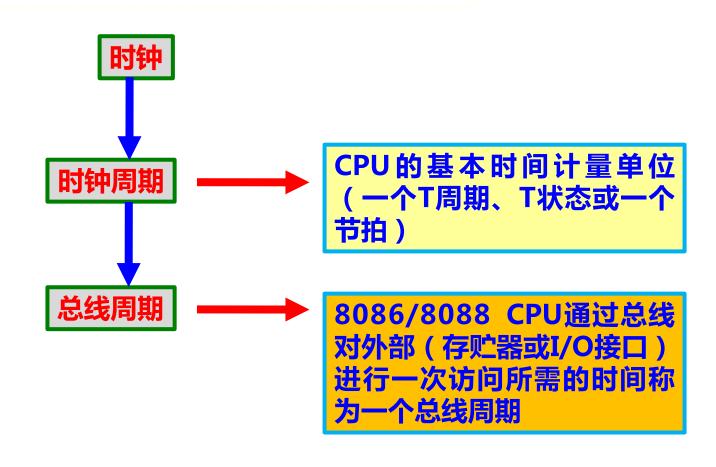
1. MN/MX(输入)工作方式控制线

- ·引脚直接产生存贮器或I/O读写的读写命令等控制信号。



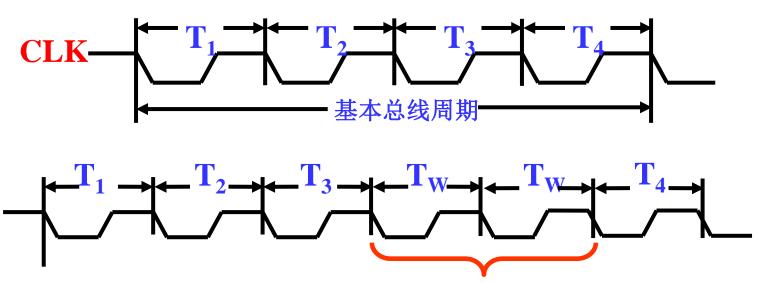
基本管脚

2. CLK(输入) 时钟信号输入端

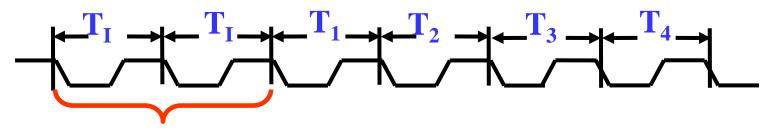




典型的总线周期时序



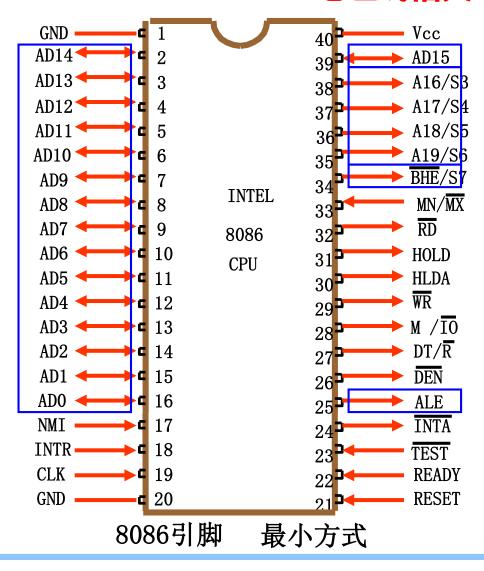
用于等待存储器或I/0接口响应的等待状态



总线周期间的等待状态 (空闲状态)



地址线相关



20根地址线 1根BHE 1根ALE



地址线相关

- 3. AD₁₅-AD₀
- ❖ 分时复用地址/数据总线
- ❖ 总线周期的T1状态作为地址总线输出A₁₅—A₀(16位地址)
- ❖ 在其它T状态作为双向数据总线D₁₅—D₀ (16位数据)



地址线相关

4. $A_{19}/S_6 - A_{16}/S_3$

- ❖ 分时复用地址/状态信号线
- ❖ 总线周期的T1状态输出高4位地址A₁₉-A₁₆ (存贮器读写操作);
- ❖ 对I/O端口输入输出操作时,全为低电平(未用);
- ❖ 在总线周期的其它T状态,用来输出状态信号:
 - ·S6始终为低电平;
 - ·S5是中断允许标志位IF的当前状态(PSW);
 - S4和S3用来指示当前正在使用的段寄存器。



地址线相关

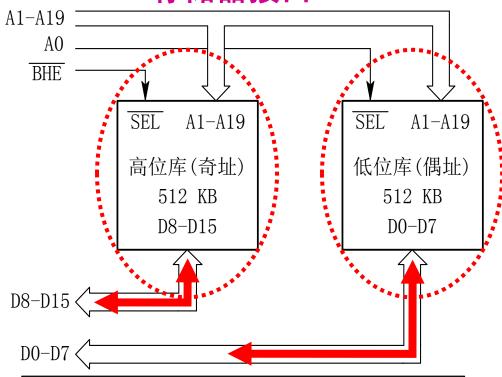
5. \overline{BHE}/S_7

- **❖ 分时复用信号线;**
- ❖ T1状态输出BHE(锁存),其它T状态输出S₇(未定义);
- ❖ BHE低电平有效,表示使用高8位数据线AD₁₅-AD₈;
- ❖ BHE和地址总线的A。状态组合功能如下:



地址线相关

存储器接口



- ❖ 8086系统的数据总线为16位 双体存储器;
- ❖ 既可以实现16位存储,也可以实现8位存储。

BHE和A。的功能

操作	BHE A ₀	使用的数 据引脚
读或写偶地址 的一个字	0 0	$AD_{15} \sim AD_0$
读或写偶地址 的一个字节	1 0	$\mathbf{AD_7}_{\sim}\mathbf{AD_0}$
读或写奇地址 的一个字节	0 1	$AD_{15} \sim AD_8$
读或写奇地址 的一个字	1 0	AD ₁₅ ~ AD ₈ · · · · · · · · · · · · · · · · · · ·



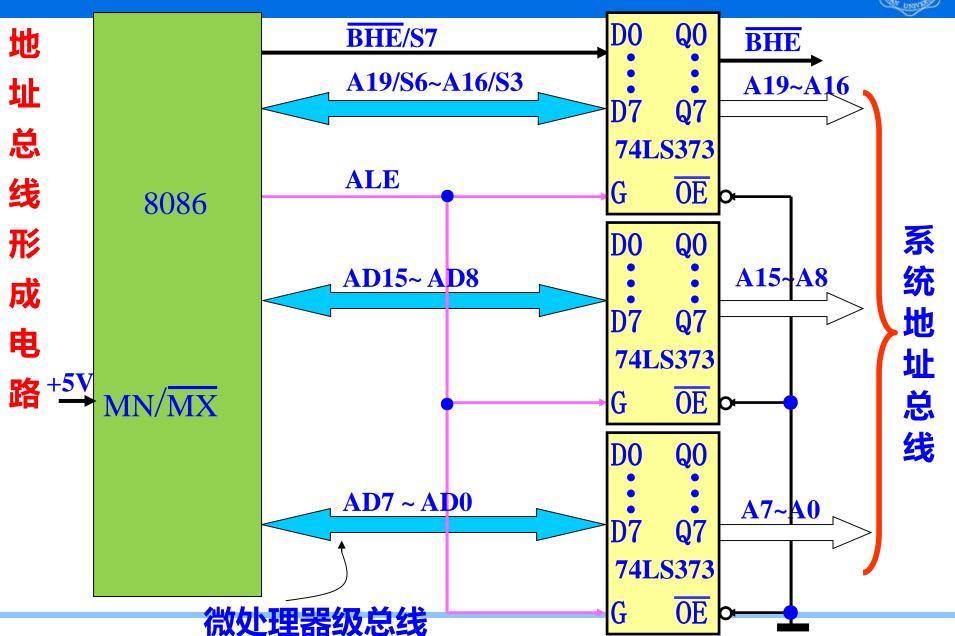
地址线相关

6. ALE

- ❖ 地址锁存允许信号;
- ❖ ALE变为有效,把地址信号和BHE信号锁存在地址锁存器。



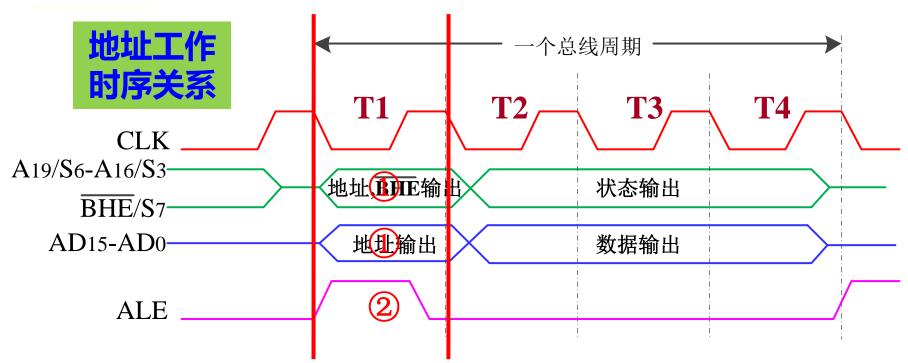






地址线相关

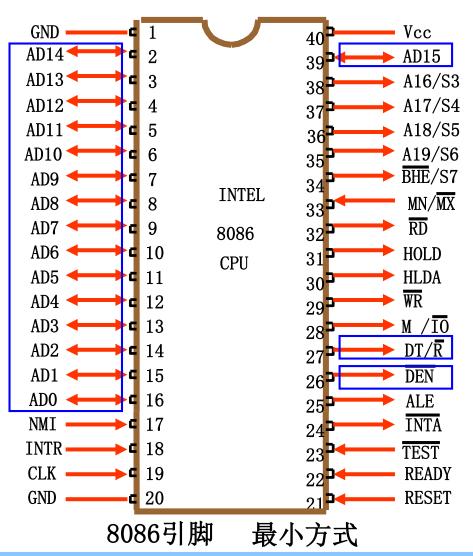
6. ALE



- **T1状态:** ① 给出地址, 若存储器给出20位地址, 若I/0端口给出低16位地址(高4位为低)
 - ② ALE变为有效,将复用线上的地址锁存



数据线相关



16根数据线

1根数据使能线

1根数据收/发线



数据线相关

- 7. AD₁₅-AD₀
- ❖ 分时复用地址/数据总线
- ❖ 总线周期的T1状态作为地址总线输出A₁₅—A₀(16位地址)
- ❖ 在其它T状态作为双向数据总线D₁₅—D₀(16位数据)



数据线相关

8. DEN

- ❖ 数据允许信号,低电平有效,表示CPU准备好接收或发送数据;
- ❖ 在每一次存储器访问、I/O访问或中断响应周期有效。

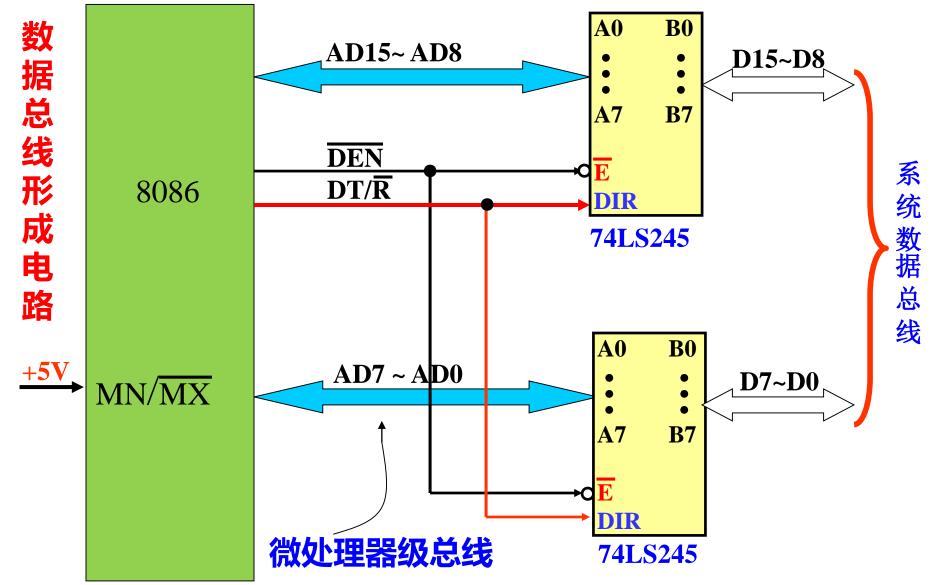
9. DT/\overline{R}

❖ 数据收/发信号,表示CPU是接收数据(低电平),还是发送为程 (高电平);
如何配合?

DEN 连接双向收发器74LS245时,控制74LS245的输出允许

DT/R 控制数据双向缓冲器74LS245的传送方向

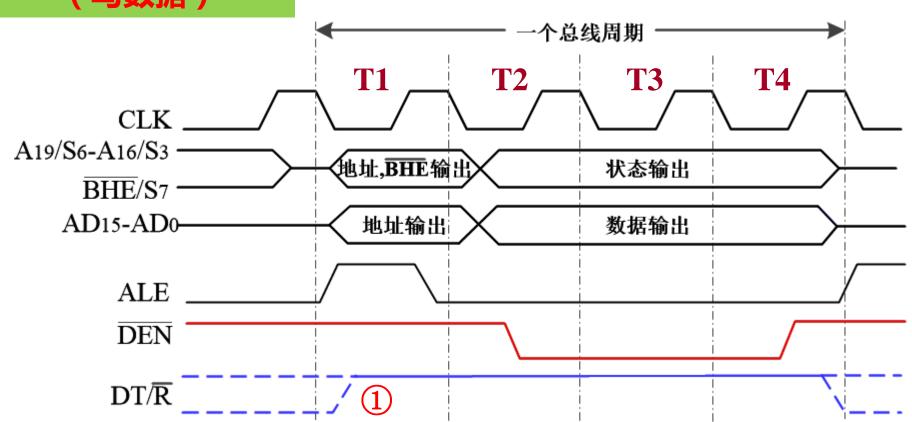






地址和数据工作时序 (写数据)

数据线相关

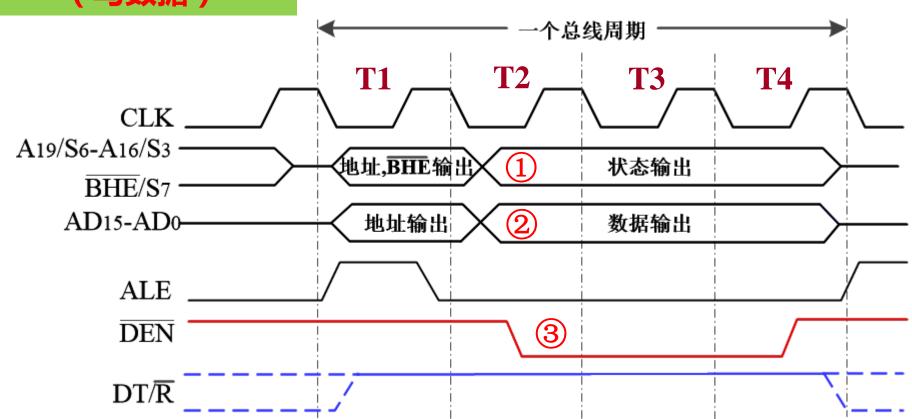


T1状态: ① DT/R变高,表示CPU写



地址和数据工作时序 (写数据)

数据线相关

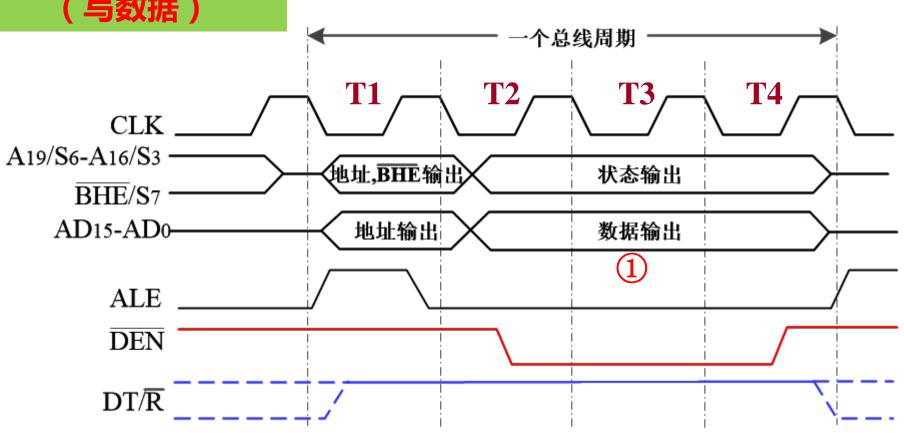


- T2状态: ①地址信号消失,高四位输出 $S_6 \sim S_3$;
 - ②CPU数据送到数据总线AD₁₅~AD₀;
 - ③选通74LS245





数据线相关

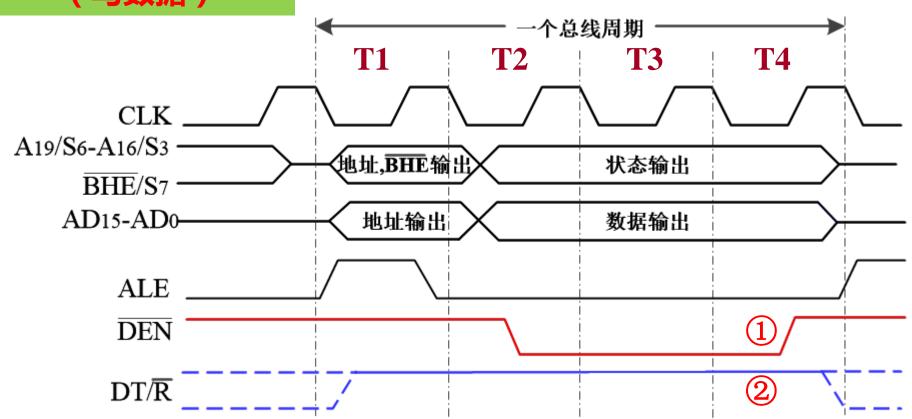


T3状态: ①CPU输出数据AD₁₅~AD₀保持



地址和数据工作时序 (写数据)

数据线相关

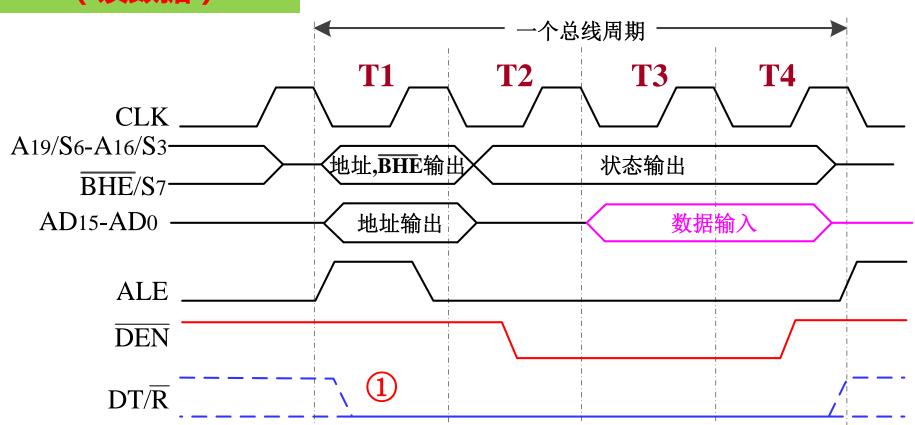


- T4状态: ① DEN变为高电平,总线收发器不工作
 - ② DT/R原态



地址和数据工作时序 (读数据)

数据线相关

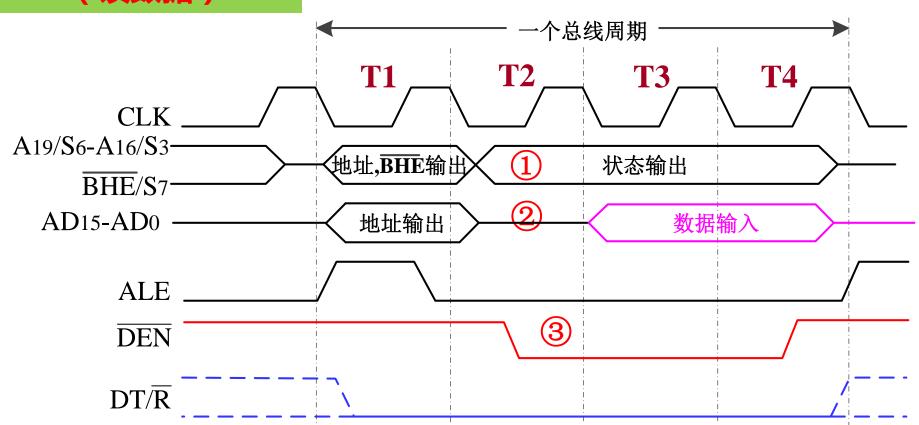


T1状态: ① DT/R变低,表示CPU读



地址和数据工作时序 (读数据)

数据线相关



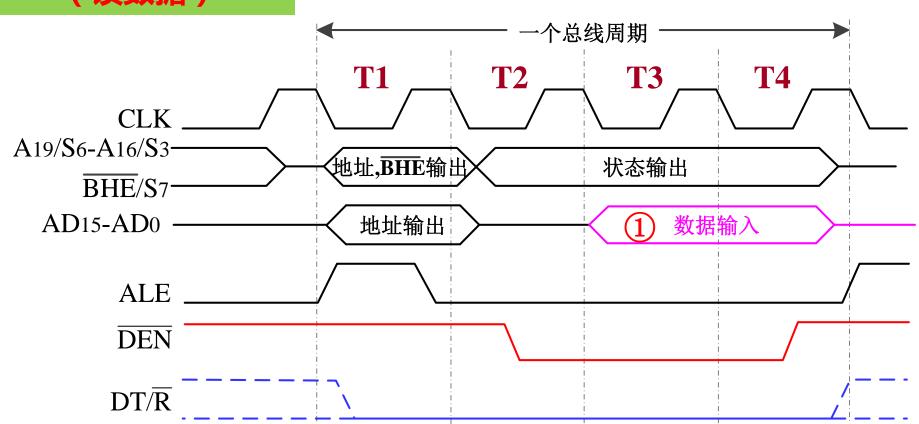
T2状态: ①地址信号消失,高四位输出 $S_6 \sim S_3$;

- ②AD₁₅~AD₀高阻;
- ③ 选通74LS245



地址和数据工作时序 (读数据)

数据线相关

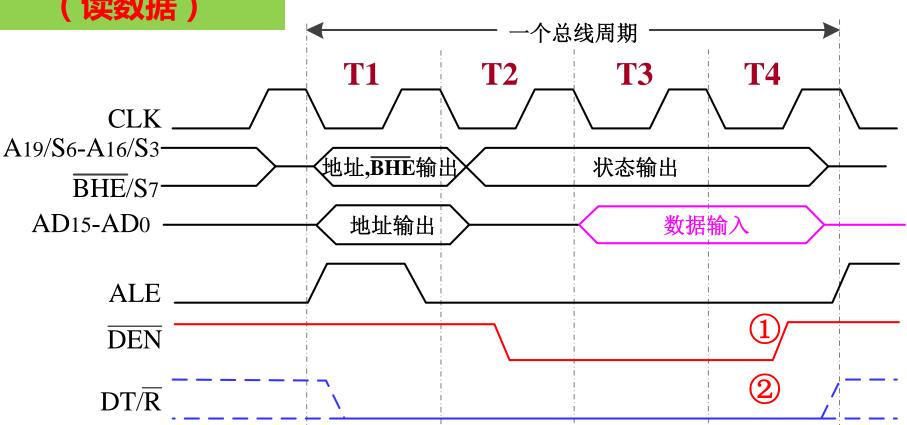


T3状态: ①存储器或I/O数据送到数据总线 AD_{15} ~ AD_{0}





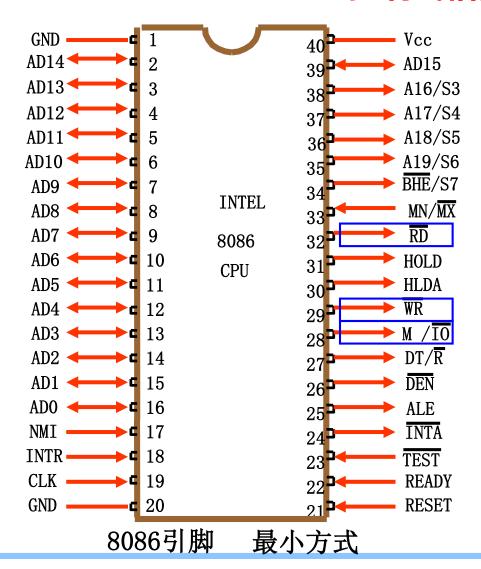
数据线相关



- T4状态: ① DEN变为高电平,总线收发器不工作
 - ② DT/R原态



控制线相关



1根读信号线

1根写信号线

1根存储器/IO选择线



控制线相关

10. RD

- ❖ 读信号, 低电平有效;
- ❖ 有效时表示CPU正在执行从存贮器或I/O端口的输入操作。

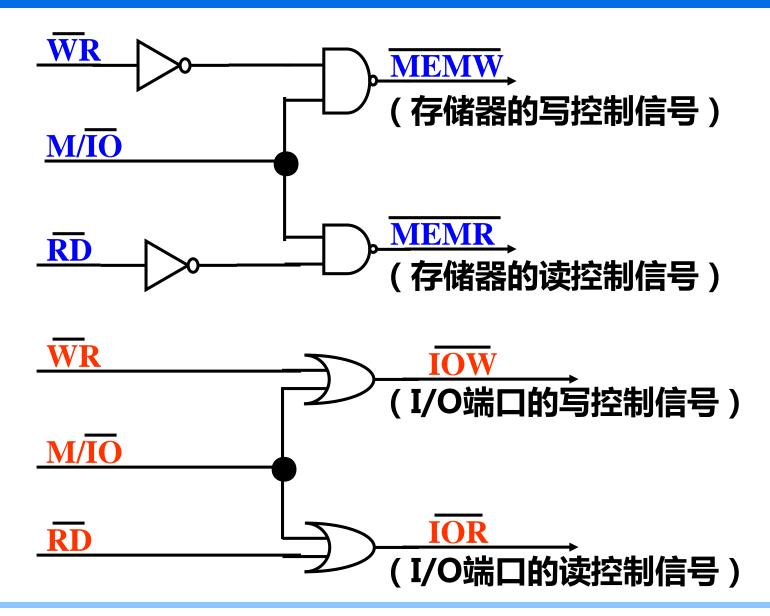
11. WR

- ❖ 写信号, 低电平有效;
- ❖ 有效时表示CPU正在执行向贮存器或I/O端口的输出操作。

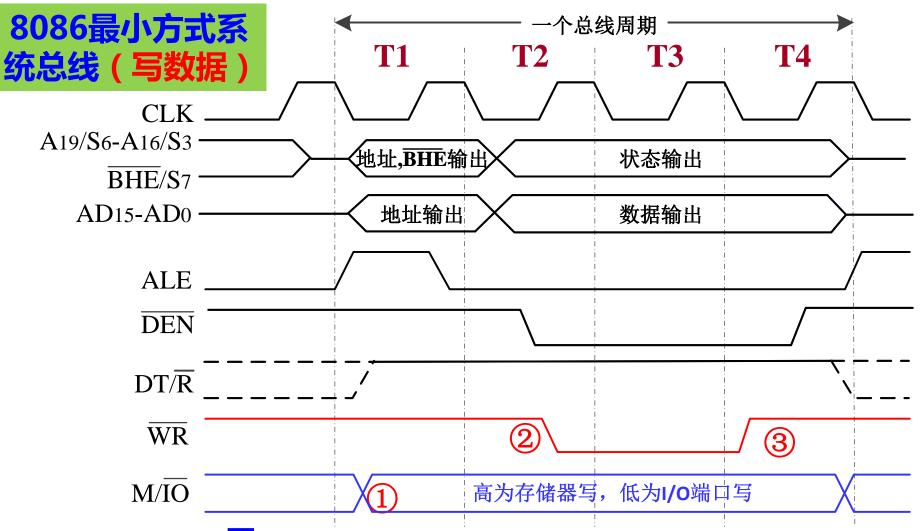
12. M/IO

- ❖ 区分访问存贮器(高电平), 还是访问I/O端口(低电平);
- ❖ 在8088中,该引脚定义为IO/M,极性与8086反相。





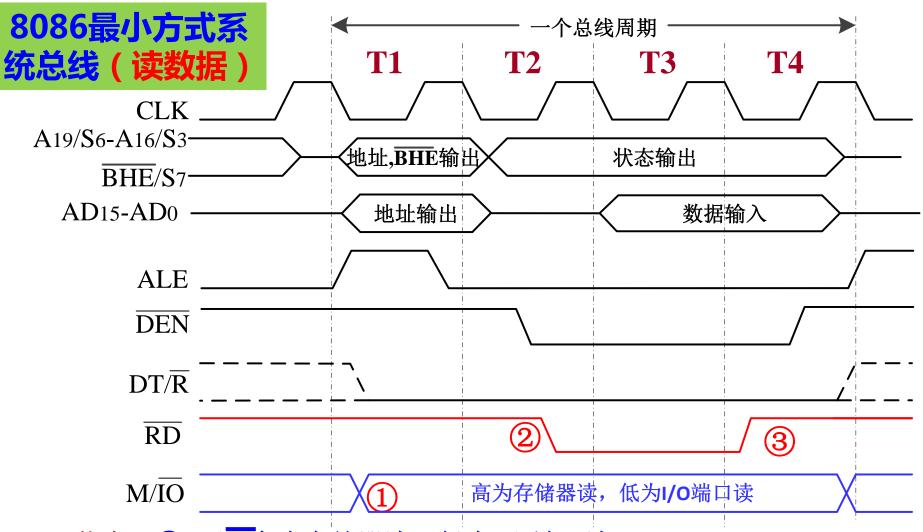




T1状态: ① M/I0高为存储器写,低为I/0端口写

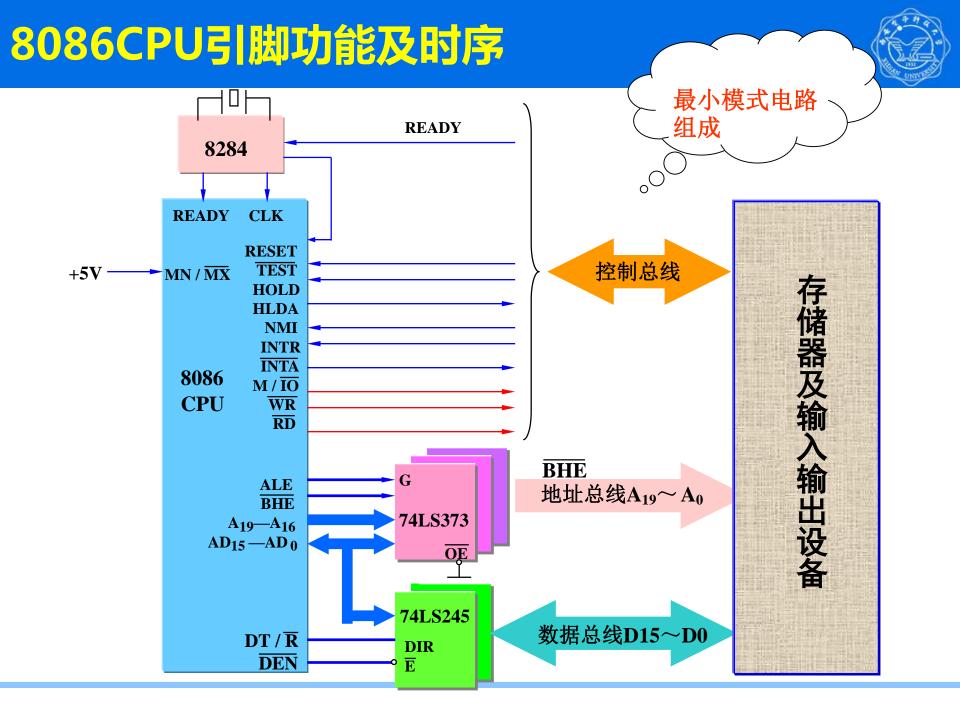
T2状态: ② WR 为低 T4状态: ③ WR 为高





T1状态: ① M/I0高为存储器读,低为I/0端口读

T2状态: ② RD 为低 T4状态: ③ RD 为高



5.3 8086/8088CPU引脚功能及时序

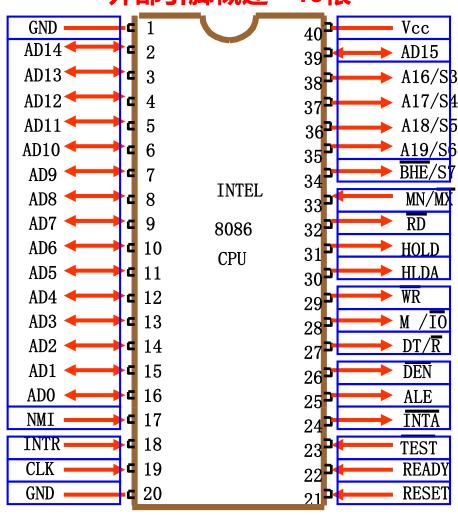


8086/8088 CPU最小方式其他管脚 (基本管脚和其他相关管脚)

8086CPU引脚功能序



外部引脚概述--40根



8086引脚 最小方式

地址线相关

20根地址线

1根BHE 1根ALE

数据线相关

16根数据线

1根数据使能线

1根数据收/发线

基本管脚

1根电源线 2根接地线

1根工作模式线 1根时钟线 1根复位线

> 微处理器 级总线

控制线相关

1根读信号线

1根写信号线

1根存储器/IO选择线

B根中断相关线

2根总线申请/应答线

其它控制线

5.3 8086的引脚功能及时序



1. MN/MX(输入)工作方式控制线

最小方式:适合用于由单处理器组成的小系统。在这种方式中,8088/8086CPU引脚直接产生存贮器或I/O读写的读写命令等控制信号。

最大方式:适合用于实现多处理器系统,在这种方式中,8088/8086CPU不直接提供用于存贮器或I/O读写的读写命令等控制信号,而是将当前要执行的传送操作类型编码为三个状态位($\overline{S_2},\overline{S_1},\overline{S_0}$)输出,由外部的总线控制器8288对状态信号进行译码产生相应信号。

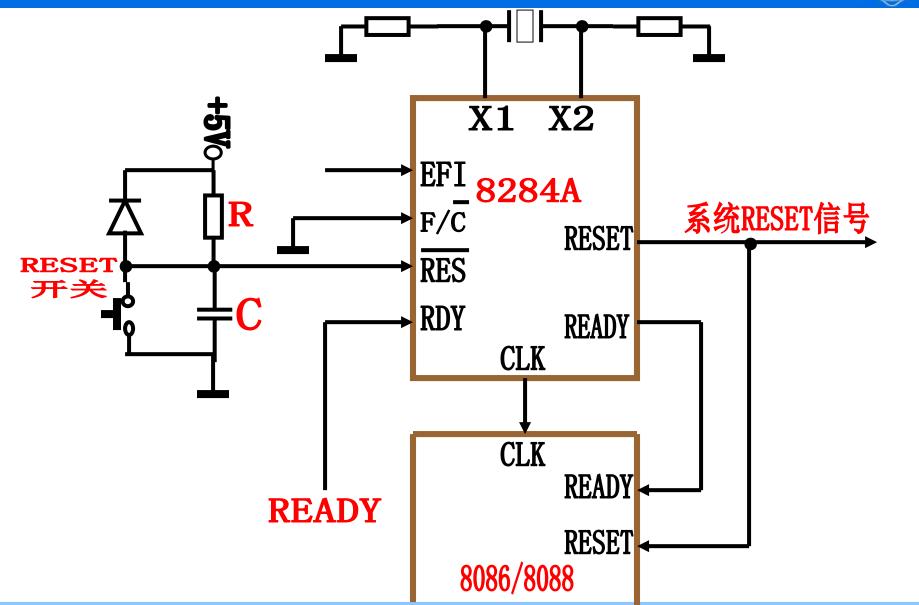
5.3 8086的引脚功能及时序



- 2. CLK(输入) 时钟信号输入端。
- → 最高频率对8086和8088为5MHz,对8086-2为8MHz, 对8086-1为10MHz。8086/8088的CLK信号必须由 8284A时钟发生器产生。
- 8284A不只是时钟电路,除了提供频率恒定的时钟信号外,还具有复位信号发生电路和准备好信号控制电路;
 - · 复位信号发生电路产生系统复位信号RESET;
 - 准备好信号控制电路用于对存储器或I/O接口产生的 准备好信号READY进行同步。

8284A的典型用法如下图







供给8284A的频率源可来自脉冲发生器(接在EFI引脚上), 也可来自振荡器(接在X₁和X₂之间)。

- ➤ F/C接+5V,则由EFI输入决定频率;
- > F/C接地,便由振荡器决定时钟频率。

不管在哪种情况下,时钟输出CLK的频率是输入频率的三分之一。



- 3. RESET(输入)系统复位信号
- · 高电平有效(至少保持4个时钟周期)。RESET信号有效时,CPU清除IP,DS,ES,SS,标志寄存器和指令队列为0,置CS为0FFFFH(执行BIOS程序,然后引导系统)。
- · 该信号结束后,CPU从存贮器的0FFFF0H地址开始读取和执行指令。系统加电或操作员在键盘上进行"RESET"操作时产生RESET信号。



其它引脚

4. NMI (输入)

- 非可屏蔽中断请求输入信号,上升沿有效。当该引脚输入一个由低变高的信号时,CPU在执行完现行指令后,立即进行中断处理。
- · CPU对该中断请求信号的响应不受标志寄存器中断允许 标志位IF状态的影响。



5. INTR (输入)

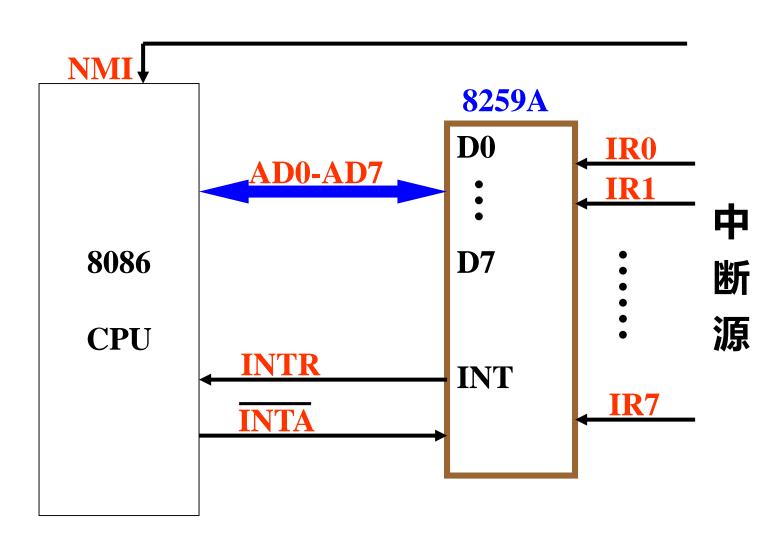
- · 可屏蔽中断请求输入信号,高电平有效。当INTR为高电平时,表示外部有中断请求。
- · CPU在每条指令的最后一个时钟周期对INTR进行测试, 以便决定现行指令执行完后是否响应中断。
- · CPU对可屏蔽中断的响应受中断允许标志位IF状态的影响。



6. INTA (输出)

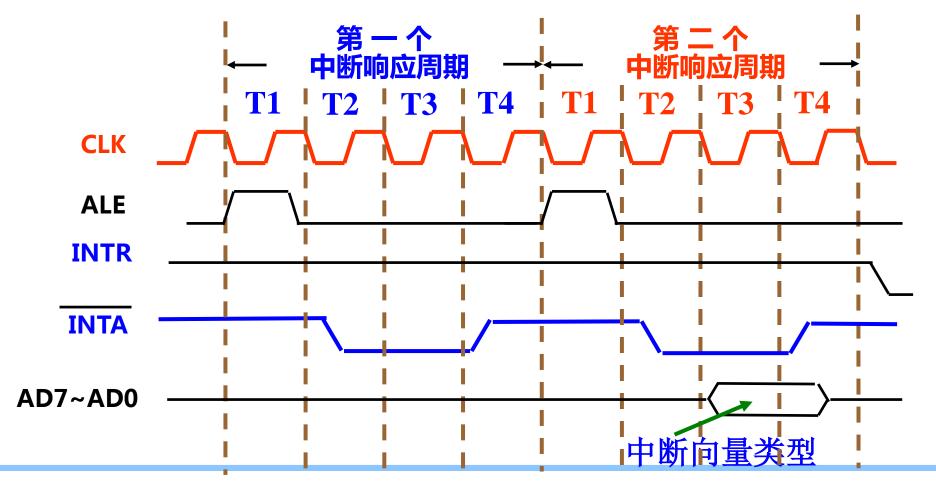
- INTA 是处理器发向中断控制器的中断响应信号。在相邻的两个总线周期中输出两个负脉冲。
- · 外部设备(中断源)不能直接通过8086/8088的INTR 端向CPU提出可屏蔽中断请求,必须通过可编程中断控 制器8259A。具体方法如下图所示。







- ◆ 外部中断源通过INTR引线向CPU发出中断请求信号,如果标志寄存器的中断允许标志位IF=1,CPU会响应外部中断请求。
- CPU在当前指令执行完以后,响应中断,中断响应周期时序如下图。





- · 在中断响应周期的两个总线周期中,各从INTA端输出一个负脉冲,每个脉冲从T2持续到T4状态。
- 在收到第二个脉冲后,接受中断响应的接口把中断类型号放到 AD_7 -- AD_0 上,而在这两个总线周期的其余时间里, AD_7 -- AD_0 处于浮空。
- CPU读入中断类型码后,则可以在中断向量表中找到该 外设的服务程序入口地址,转入中断服务。



7. HOLD (输入)

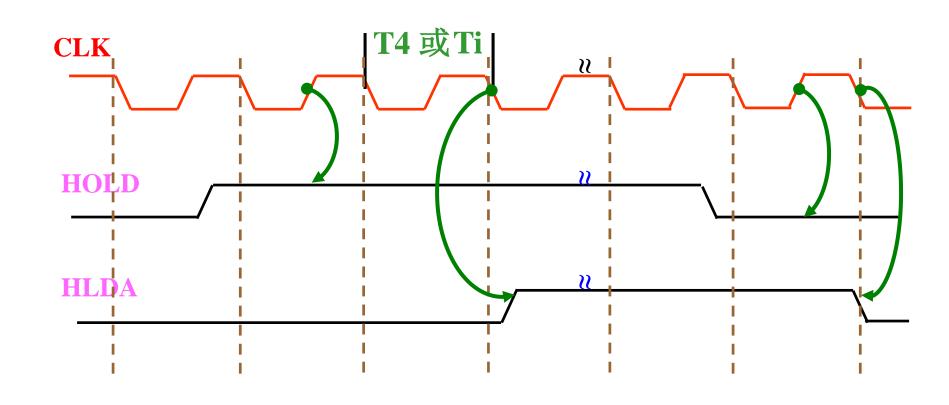
HOLD是系统中其它总线主控设备向CPU请求总线使用权的总线申请信号,高电平有效。CPU让出总线控制权直到这个信号撤消后才恢复对总线的控制权。

8. HLDA (输出)

HLDA是CPU对系统中其它总线主控设备请求总线使用权的应答信号,高电平有效,当CPU让出总线使用权时,就发出这个信号,并使微处理器所有具有三态的引脚处于高阻状态,与外部隔离。



最小方式下总线请求和总线授予时序





- ➤ CPU在每个时钟脉冲的上升沿测试HOLD引脚,如果检测到HOLD引脚为高电平,并允许让出总线,则在总线周期的T4或TI(空闲)之后的下一个时钟周期CPU发HLDA信号,后续的总线周期将授予提出请求的主控设备,直到该主控设备撤消总线请求为止(HOLD变低)。
- 总线请求信号HOLD变低是在时钟脉冲的上升沿进行测试的,而HLDA信号则在该时钟脉冲后1—2个时钟脉冲的下降沿为低电平。
- 当HLDA为高电平时,CPU所有三态输出都进入高阻状态, 已在指令队列中的指令将继续执行,直到指令需要使用总 线为止。



9.TEST (输入)

- 》 测试信号,低电平有效,当CPU执行WAIT指令的操作时,每隔5个时钟周期对TEST输入端进行一次测试,若为高电平,CPU继续处于等待状态,直到TEST出现低电平时,CPU才开始执行下一条指令。
- ➤ TEST引脚信号用于多处理器系统中,实现8086/8088 CPU与协处理器间的同步协调功能。

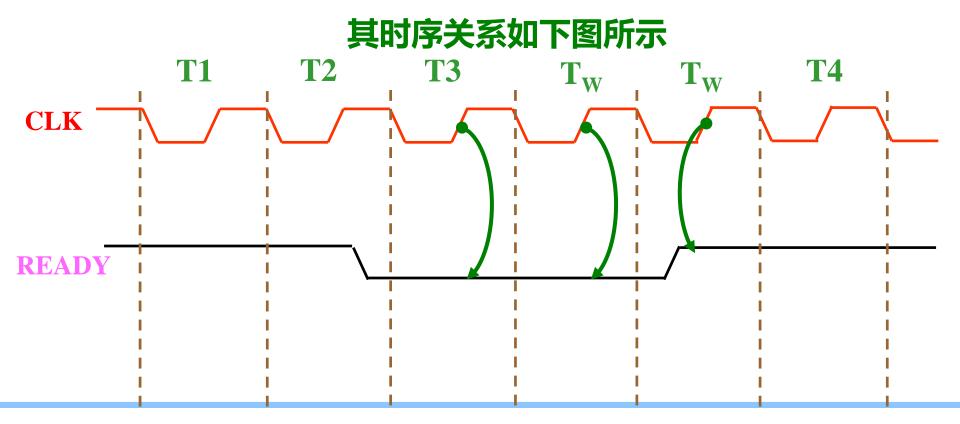


10. READY (输入)

- ➤ 准备好信号,来自存贮器或I/O接口的应答信号,高电平有效,CPU在T3状态的开始检查READY信号,当READY信号有效时,表示存贮器或I/O端口准备就绪,将在下一个时钟内将数据置入到数据总线上(输入时)或从数据总线上取走数据(输出时),CPU及其总线控制逻辑可以在下一个时钟周期后完成总线周期。
- 无论是读(输入)还是写(输出),若READY信号为低电平,表示存贮器或I/O端口没有准备就绪,CPU可自动插入一个或几个等待周期(在每个等待周期开始,同样对READY信号进行检查),直到READY信号有效为止。



等待周期的插入意味着总线周期的延长。这是为了保证 CPU和慢速的存贮器或I/O端口之间传送数据。该信号 由存贮器或I/O端口根据其速度用硬件电路产生。





总结:

- ▶ 讲解了8086 CPU工作于最小方式下的所有引脚的功能;
- > 设计了系统总线形成逻辑电路;
- > 讲解了系统总线上各信号之间的时序关系;

8088引脚功能与8086的差别归纳为以下三点:



- (1)8086中的AD15—AD8 在8088中为单一的地址总线A15—A8 (输出,三态),只用于输出地址。这样,在8086系统中用于 锁存这8位地址的1片74LS373在8088系统中为可选部件。用于 数据线上的 74LS245收发器在8088系统中只需1片,在8088系统中,74LS245数据端只与AD0—AD7相连,系统数据总线为 D0—D7。
- (2)在最小方式下,8086的M/IO引脚在8088中为IO/M,信号极性与8086反相。即对8088,该引脚为高电平代表I/O操作,为低电平代表存贮器操作。
- (3)8086中的 \overline{BHE}/S_7 引脚在8088中为 \overline{SS}_0 (输出),仅用于在最小方式时提供状态信息,在最大方式中始终为高电平。