



一、单选题（题数：40，共 100.0 分）

<div>1 随堂4-2 关于静态随机访问存储器SRAM和动态随机访问存储器DRAM，下列说法错误的是： (2.5分)</div>	2.5分
<div>A、 初始加电，状态随机 B、 SRAM功耗大，速度快 C、 DRAM集成度高 D、 SRAM必须定时刷新</div>	67M
<div>正确答案： D 我的答案： D</div>	
<div>答案解析：</div>	
<div>2 4.17 存储器的存取时间t_A和存储周期t_m的关系是 (2.5分)</div>	2.5分
<div>A、 $t_A > t_m$ B、 $t_A \geq t_m$ C、 $t_A = t_m$ D、 $t_A < t_m$</div>	
<div>正确答案： D 我的答案： D</div>	
<div>3 存储字是指（ ） (2.5分)</div>	2.5分
<div>A、 存放在一个存储单元中的二进制代码组合 B、 存放在一个存储单元中的二进制代码位数 C、 存储单元的集合 D、 机器指令</div>	
<div>正确答案： A 我的答案： A</div>	
<div>4 存储字长是指（ ） (2.5分)</div>	2.5分
<div>A、 存放在一个存储单元中的二进制代码组合 B、 存放在一个存储单元中的二进制代码位数 C、 存储单元的个数 D、 机器指令的位数</div>	

正确答案： B 我的答案： B

5 若计算机的主存储器容量为1GB，也就等于（ ）。
(2.5分)

0.0分

- A、 2^{30} B
- B、 10^{30} B
- C、 2^9 B
- D、 10^9 B

正确答案： A 我的答案： D

6 下列几种存储器中，（ ）是易失性存储器。
(2.5分)

2.5分

- A、 cache
- B、 EPROM
- C、 Flash Memory
- D、 CD-ROM

正确答案： A 我的答案： A

7 假定主存地址空间大小为1024MB，按字节编址，每次读写操作最多可以一次存取32位。不考虑其他因素，则存储器地址寄存器MAR和存储器数据寄存器MDR的位数至少应分别为（ ）。
(2.5分)

0.0分

- A、 30和8
- B、 30和32
- C、 28和8
- D、 28和32

正确答案： B 我的答案： A

答案解析：

8 需要定时刷新的半导体存储器芯片是（ ）。
(2.5分)

2.5分

- A、 SRAM
- B、 DRAM
- C、 EPROM
- D、 Flash Memory

正确答案： B 我的答案： B

9 通常采用行、列地址引脚复用的半导体存储器芯片是（ ）。
(2.5分)

0.0分

- A、 SRAM
- B、 DRAM

- C、 EPROM
- D、 Flash Memory

正确答案： B 我的答案： C

10

下面有关半导体存储器的叙述中，错误的是（ ）。
(2.5分)

0.0分

- A、 半导体存储器都采用随机存取方式进行读写
- B、 ROM芯片属于半导体随机存储器芯片
- C、 SRAM是半导体静态随机访问存储器，可用作cache
- D、 DRAM是半导体动态随机访问存储器，可用作主存

正确答案： A 我的答案： B

答案解析：

11

假定用若干个16Kx1位的存储器芯片组成一个64Kx8位的存储器，芯片内各单元连续编址，则地址BFF0H所在的芯片的最小地址为（ ）。
(2.5分)

2.5分

- A、 4000H
- B、 6000H
- C、 8000H
- D、 A000H

正确答案： C 我的答案： C

答案解析：

12

假定用若干个16Kx8位的存储器芯片组成一个64Kx8位的存储器，芯片内各单元交叉编址，则地址BFFFFH所在的芯片的最小地址为（ ）。
(2.5分)

0.0分

- A、 0000H
- B、 0001H
- C、 0002H
- D、 0003H

正确答案： D 我的答案： C

答案解析：

13

用存储容量为16Kx1位的存储器芯片组成一个64Kx8位的存储器，则在字方向和位方向上分别扩展了（ ）倍。
(2.5分)

0.0分

- A、 4和2
- B、 4和8
- C、 2和4
- D、 8和4

正确答案： B 我的答案： C

14 多模块存储器所以能高速进行读 / 写，是因为（ ）。
(2.5分)

0.0分

- A、 采用了高速元器件
- B、 各模块有独立的读写电路
- C、 采用了信息预读技术
- D、 模块内各单元地址连续

正确答案： B 我的答案： D

15 在存储器分层体系结构中，存储器速度从最快到最慢的排列顺序是（ ）。
(2.5分)

2.5分

- A、 寄存器-主存-cache-辅存
- B、 寄存器-主存-辅存-cache
- C、 寄存器-cache-辅存-主存
- D、 寄存器-cache-主存-辅存

正确答案： D 我的答案： D

16 假定CPU通过存储器总线读取数据的过程为：发送地址和读命令需1个时钟周期，存储器准备一个数据需8个时钟周期，总线上每
传送1个数据需1个时钟周期。若主存和cache之间交换的主存块大小为64B，存取宽度和总线宽度都为8B，则cache的一次缺失损
失至少为（ ）个时钟周期。
(2.5分)

0.0分

- A、 64
- B、 72
- C、 80
- D、 160

正确答案： C 我的答案： A

答案解析：

17 假定采用多模块交叉存储器组织方式，存储器芯片和总线支持突发传送，CPU通过存储器总线读取数据的过程为：发送首地址和
读命令需1个时钟周期，存储器准备第一个数据需8个时钟周期（即CAS潜伏期=8），随后每个时钟周期总线上传送1个数据，可
连续传送8个数据（即突发长度=8）。若主存和cache之间交换的主存块大小为64B，存取宽度和总线宽度都为8B，则cache的一次
缺失损失至少为（ ）个时钟周期。
(2.5分)

0.0分

- A、 17
- B、 20
- C、 33
- D、 65

正确答案： A 我的答案： C

答案解析:

18 某计算机主存容量为64KB，其中ROM区为4KB，其余为RAM区，按字节编址。现要用2Kx8位的ROM芯片和4Kx4位的RAM芯片来设计该存储器，则需要上述规格的ROM芯片数和RAM芯片数分别是（ ）。

(2.5分)

0.0 分

- A、 1、 15
B、 2、 15
C、 1、 30
D、 2、 30

正确答案: D 我的答案: B

答案解析:

19 下列有关RAM和ROM的叙述中，正确的是（ ）。

I.RAM是易失性存储器，ROM是非易失性存储器

II.RAM和ROM都采用随机存取方式进行信息访问

III.RAM和ROM都可用做Cache

IV.RAM和ROM都需要进行刷新

(2.5分)

2.5 分

- A、 仅I和II
B、 仅II和III
C、 仅I, II, III
D、 仅II, III, IV

正确答案: A 我的答案: A

答案解析:

20 下述关于存储器的描述中，正确的是（ ）。
I.CPU访存时间由存储器容量决定
II.ROM和RAM在存储器中是统一编址的
III.ROM中任一单元可随机访问
IV.DRAM是破坏性读出，因此需要读后重写

(2.5分)

0.0 分

- A、 I和II
B、 II和III
C、 III和IV
D、 II、III和IV

正确答案: D 我的答案: B

答案解析:

21

下面关于主存储器性能的说法中，不正确的是（ ）。

(2.5分)

2.5分

- A、 衡量一个主存储器的性能指标主要有主存容量、存储器存取时间和存储周期
- B、 指令中地址码的位数决定了主存储器可以直接寻址的空间
- C、 存储器存取时间是指从启动一次存储器操作到完成该操作所经历的时间
- D、 存储周期是指连续启动两次独立的存储器操作所需间隔的最小时间，通常存储周期略小于存取时间，其差别主要与主存储器的物理实现细节有关

正确答案： D

我的答案： D

22

动态存储器（DRAM）的刷新原则是（ ）。

(2.5分)

2.5分

- A、 各DRAM芯片轮流刷新
- B、 各DRAM芯片同时刷新，片内逐位刷新
- C、 各DRAM芯片同时刷新，片内逐字刷新
- D、 各DRAM芯片同时刷新，片内逐行刷新

正确答案： D

我的答案： D

答案解析：

23

可随机读写，且只要不断电，则其中存储的信息就可一直保存的，称为（ ）。

(2.5分)

2.5分

- A、 RAM
- B、 VRAM
- C、 DRAM
- D、 SRAM

正确答案： D

我的答案： D

答案解析：

24

为了提高计算机的性能，采用Cache、虚拟存储器等多项技术，（ ）不属于Cache的特征。

(2.5分)

2.5分

- A、 为了提高速度全部用硬件实现
- B、 可以显著提高计算机的主存速度
- C、 可以显著提高计算机的主存容量
- D、 对程序员是透明的

正确答案： C

我的答案： C

答案解析：

25

已知某高速缓存采用组相联映射方式，即组间直接映射，组内全相联映射。假设主存容量为4096块，每块256B，高速缓存包含32块，分为8组，每组4块。高速缓存的地址变换表应包含（ ）个存储单元。

(2.5分)

0.0分

- A、 8
- B、 16
- C、 32
- D、 48

正确答案： C 我的答案： B

答案解析：

26

某计算机主存按字节编址，主存与高速缓存（Cache）的地址变换采用组相联映射方式（即组内全相联，组间直接映射）。高速缓存分为2组，每组包含4块，块的大小为512B，主存容量为1MB。构成高速缓存的地址变换表相联存储器容量为（ ）。
(2.5分)

2.5分

- A、 4×10b
- B、 8×10b
- C、 4×11b
- D、 8×11b

正确答案： B 我的答案： B

答案解析：

27

Cache一般采用（ ）存储器件构成。
(2.5分)

0.0分

- A、 DRAM
- B、 SRAM
- C、 ROM
- D、 NVRAM

正确答案： B 我的答案： C

28

计算机的存储系统采用分级存储体系的理论依据是（ ）。
(2.5分)

0.0分

- A、 存储容量、价格与存取速度间的协调性
- B、 程序访问的局部性
- C、 主存和CPU之间的速度匹配
- D、 程序运行的定时性

正确答案： B 我的答案： C

29

U盘属于（ ）类型的存储器。
(2.5分)

0.0分

- A、 高速缓存
- B、 主存
- C、 只读存储器
- D、 随机存取存储器

答案解析:

0.0 分

- 答案解析:

0.0 分

- 答案解析:

0.0 分

- 答案解析:

0.0 分

- 8/10

正确答案： D 我的答案： B

答案解析：

34 地址总线A0（高位）~A15（低位），用4Kx4位的存储芯片组成16KB存储器，则产生片选信号的译码器的输入地址线应该是（0.0分）。

(2.5分)

- A、 A2A3
- B、 A0A1
- C、 A12A13
- D、 A14A15

正确答案： A 我的答案： B

答案解析：

35 【2011】某计算机存储器按字节编址，主存地址空间大小为64MB，现用4M×8位的RAM芯片组成32MB的主存储器，则存储器地址寄存器MAR的位数至少是（0.0分）

(2.5分)

- A、 22位
- B、 23位
- C、 25位
- D、 26位

正确答案： D 我的答案： B

答案解析：

36 在统一编址的方式下，区分存储单元和I/O设备是靠（0.0分）

(2.5分)

- A、 不同的地址码
- B、 不同的地址线
- C、 不同的控制线
- D、 不同的数据线

正确答案： A 我的答案： B

37 【2015】某计算机使用4体交叉编址存储器，假定在存储器总线上出现的主存地址（十进制）序列为8005、8006、8007、8008、8001、8002、8003、8004、8000，则可能发生访存冲突的地址对是（0.0分）。

(2.5分)

- A、 8004和8008
- B、 8002和8007
- C、 8001和8008
- D、 8000和8004

正确答案： D 我的答案： B

答案解析：

38 【2016】某存储器容量为64KB，按字节编址，地址4000H~5FFFH为ROM区，其余为RAM区，若采用8K×4位的SRAM芯片进行设计，则需要该芯片的数量是（ ）。
(2.5分)

0.0分

- A、 7
- B、 8
- C、 14
- D、 16

正确答案： C 我的答案： B

答案解析：

39 【2018】某32位计算机按字节编址，采用小端存储方式存放数据。若语句int i=0；对应指令的机器代码是C7 45 FC 00 00 00 00，则语句int i=-64；对应的指令的机器代码是（ ）。
(2.5分)

0.0分

- A、 C7 45 FC C0 FF FF FF
- B、 C7 45 FC 0C FF FF FF
- C、 C7 45 FC FF FF FF C0
- D、 C7 45 FC FF FF FF 0C

正确答案： A 我的答案： B

答案解析：

40 【2019】下列关于磁盘存储器的叙述中，错误的是（ ）。
(2.5分)

2.5分

- A、 磁盘的格式化容量比非格式化容量小。
- B、 扇区中包含数据、地址和校验等信息
- C、 磁盘存储器的最小读写单位为一字节
- D、 磁盘存储器由磁盘控制器、磁盘驱动器和盘片组成

正确答案： C 我的答案： C

答案解析：