数字电路与逻辑设计大作业

1. 设计课题阐述

相较于传统的机械钟，数字电子钟以其卓越的时准性和直观的显示方式，在现代社会中得到了广泛的应用。从人们手腕上的电子手表，到车站、码头、机场等公共区域的大型数显屏幕，数字电子钟几乎无处不在，极大地丰富了我们的日常生活。

数字电子钟，作为一种以数字形式展示秒、分、时、日的计时设备，其内部结构通常由几个关键部分构成。首先是秒脉冲发生器，由石英晶体振荡器和分频器共同组成，确保时间的精准流逝。其次是校时电路，用于调整时间，确保时钟的准确性。接着是计数器部分，包括六十进制的秒、分计数器和二十四进制（或十二进制）的计时计数器，它们负责计算并显示时间。最后，是译码显示部分，负责将计数器中的数字信号转换为人们可以直接读取的显示形式。这些组成部分共同协作，构成了我们日常所见到的数字电子钟。

1. 设计任务及具体要求

用中、小规模集成电路设计一台能显示日、时、分、秒的数字电子钟，要求如下：

1. 由晶振电路产生1Hz标准秒信号。

2. 秒、分为00～59六十进制计数器。

3. 时为00～23二十四进制计数器。

4. 周显示从1～日为七进制计数器。

5. 可手动校时：能分别进行秒、分、时、日的校时。只要将开关置于手动位置，可分别对秒、分、时、日进行手动脉冲输入调整或连续脉冲输入的校正。

6. 整点报时。整点报时电路要求在每个整点前呜叫五次低音（500Hz），整点时再呜叫一次高音（1000Hz）。

1. 总体设计方案方框图及各部分电路设计
2. 总体设计方案图

显示电路

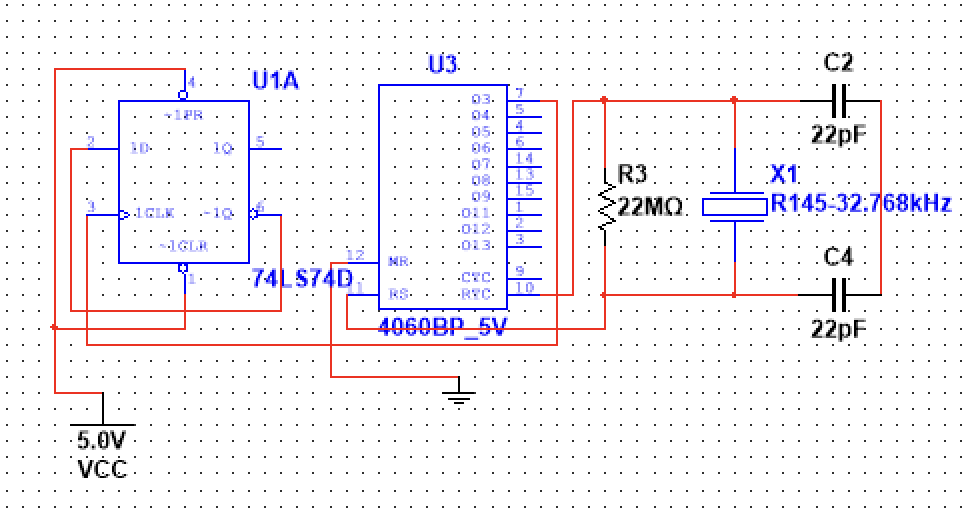
鸣叫电路

计时电路

晶振电路

校时电路

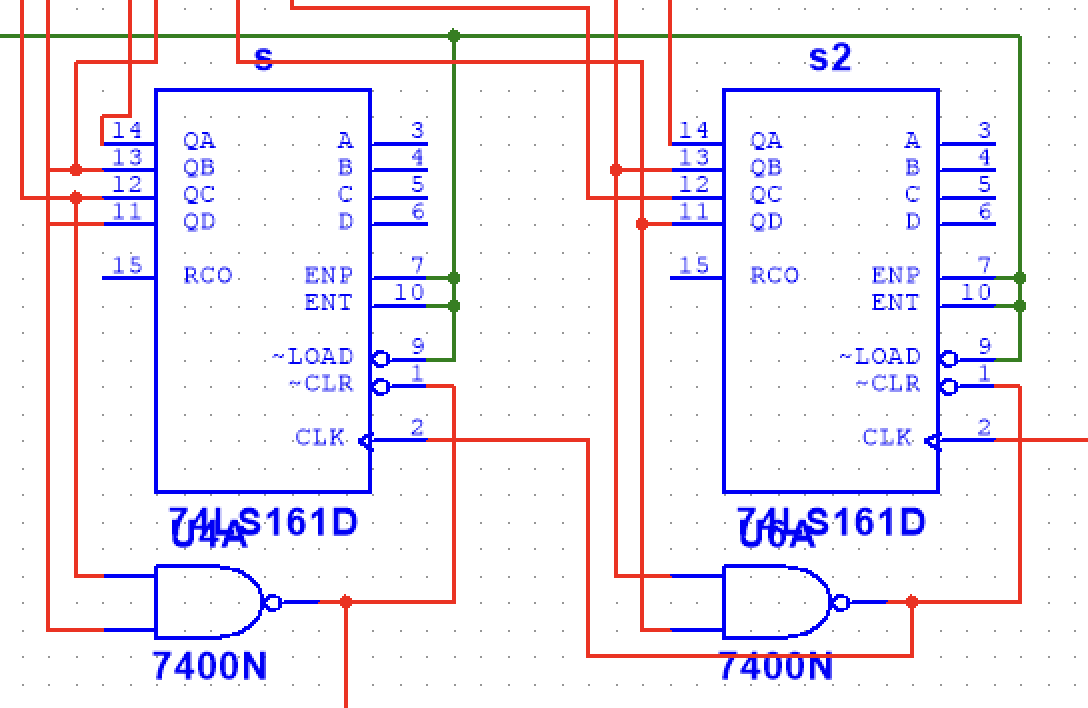
1. 各部分电路设计
2. 晶振电路

晶振电路，其核心组成部分包括石英晶体振荡器和分频器，其设计目标是产生精确的1Hz秒脉冲。在我的设计中，我选择了32768Hz的晶体振荡电路，因为这个频率正好是2的15次方，使得后续的分频过程更为简便。为了实现从高频到低频的转换，我设计了一个包含15级2分频的电路。其中，4060BP集成电路提供了14级的分频功能，而为了完成最后一级分频，我额外添加了一个上升沿D触发器。通过这样的组合，我成功地将32768Hz的输入信号转换为稳定的1Hz输出脉冲，为数字电子钟提供了精确的时间基准。

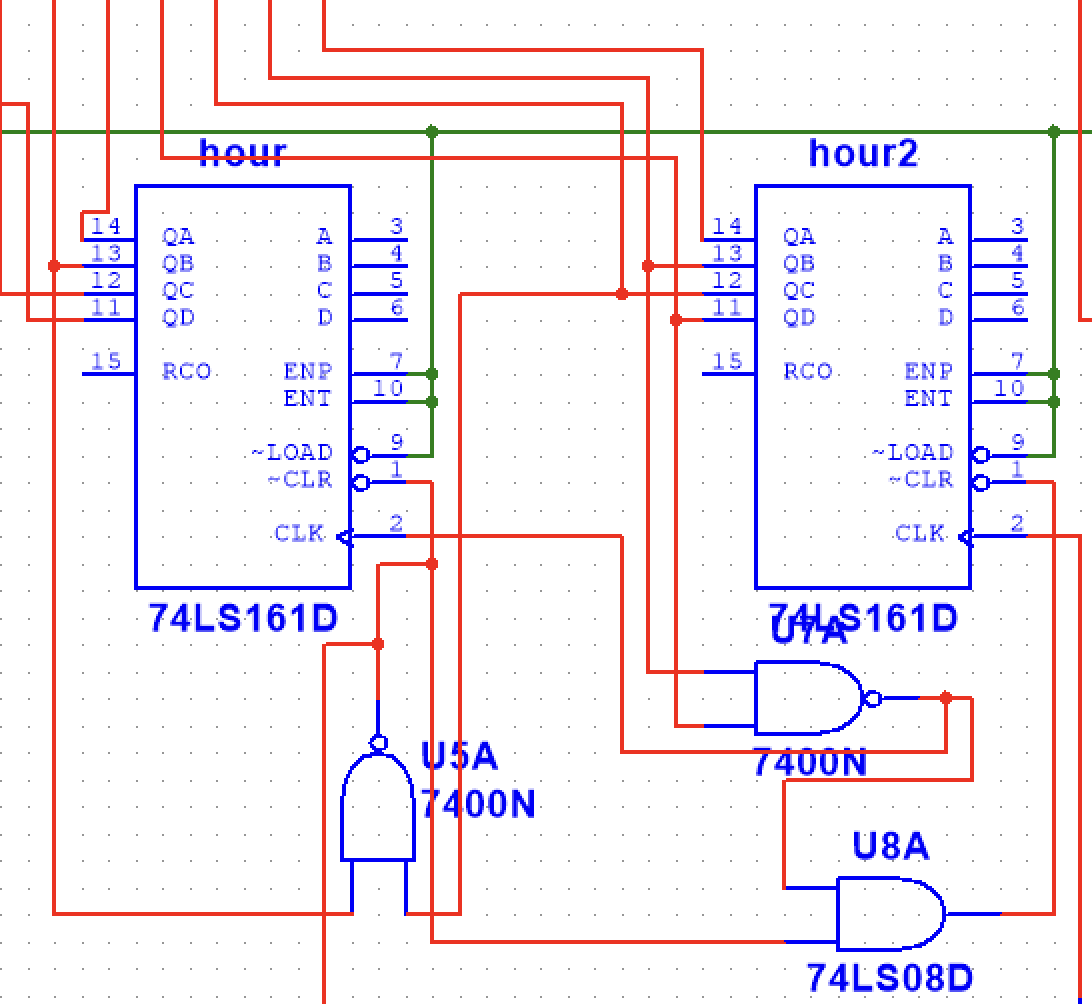
2.计时电路

计时电路需要有模7计数器，模24计数器，和两个模60计数器。考虑到后续的数字显示，我使用异步清零法来实现任意模制计数器，采用大模分解法来实现大模计数器。

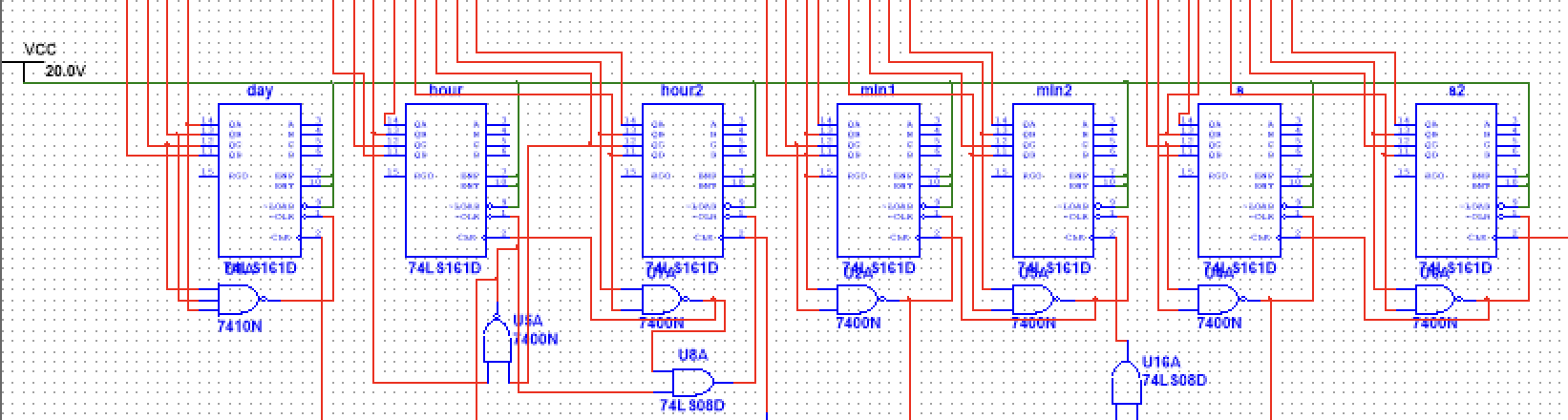
因为采用了异步清零法，所以Oc端的输出永远为0，又由于每经过一个周期，clear端会出现一个0的信号进行清零，因此，在异步级联时，我可以将前一级的clear输出接入下一级的clk端，进而实现大模计数器（秒，分，日都可如此设计），示意图如下：



在设计模24计数器以表示小时数时，确实需要考虑进位和清零的逻辑。对于个位数的进位和清零，我可以通过将个位计数器的clr端接入十位计数器的clk端来实现异步级联。当个位数达到9并递增至10时，个位计数器会发出一个清零信号（通常是个位计数器的最大计数值后的下一个脉冲），这个信号将作为十位计数器的时钟输入，使其增加1。

然而，当小时数达到24时（即十位为2，个位为4），我需要对十位和个位计数器同时清零。为此，利用逻辑门电路来实现这一功能。具体来说，我可以将十位的Qb（代表数字2）与个位的Qc（代表数字4）进行逻辑与（AND）操作，然后再进行逻辑非（NOT）操作。这样，当且仅当十位为2且个位为4时，输出的信号才会是有效的清零信号。我将这个信号分别接入十位和个位计数器的clr端，以实现同时清零。

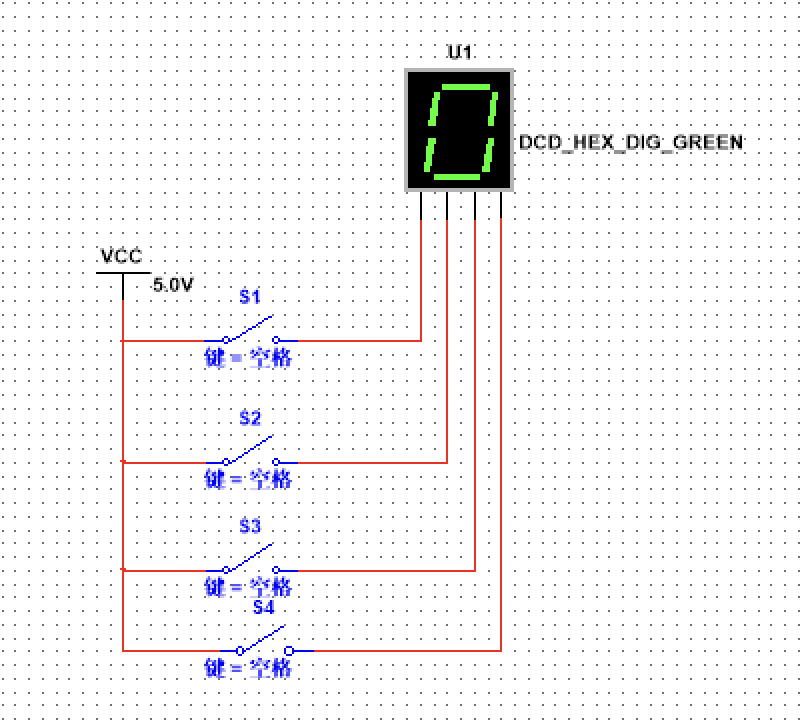
在构建完整的计时电路时，需要确保秒、分、时、日之间的正确级联。为此，可以将秒的clr（清零）输入端接到分的clk（时钟）端，以便在秒数达到60时触发分钟计数器的增加。同样地，将分的clr输入端接到时的clk端，以便在分钟数达到60时触发小时计数器的增加。最后，将时的clr输入端接到日的clk端，以便在小时数达到24时触发日期计数器的增加（或根据具体需求，可能是进行日期的进位操作）。

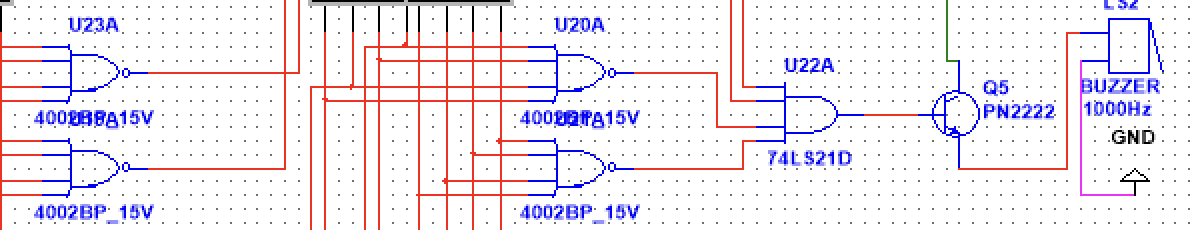
在设计这一级联时，已经考虑到了进位和清零的逻辑。特别是对于小时计数器，使用了特定的逻辑门电路来确保在小时数达到24时能够同时清零十位和个位计数器。电路图如下图所示：

3.显示电路

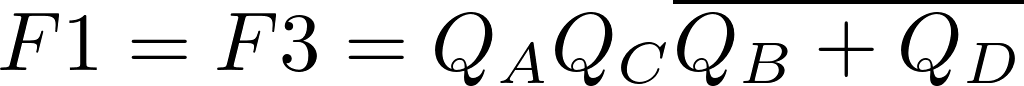
显示电路需根据计数器的输出信号，显示对应的日、时、分、秒。为了电路的简洁，使用DCD-HEX数码管。

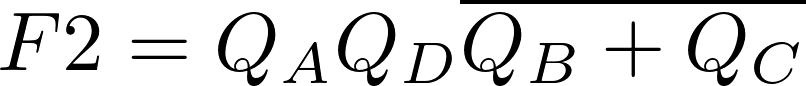
DCD\_HEX数码管也是[七段数码管](https://so.csdn.net/so/search?q=%E4%B8%83%E6%AE%B5%E6%95%B0%E7%A0%81%E7%AE%A1&spm=1001.2101.3001.7020)的一种。DCD\_HEX相当于将译码器集成在数码管内部，可以直接输入四位二进制信号，在数码管上显示该四位二进制数对应的十进制数值。  
 其电路图如下图所示：

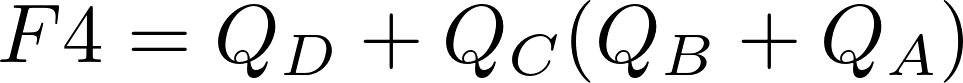


整点报时，即为00:00报时。因此，可以将分和秒的16个输出端或非起来，只有当其全部为0时，才会输出1信号，从而促使蜂鸣器鸣叫。示意图如下：

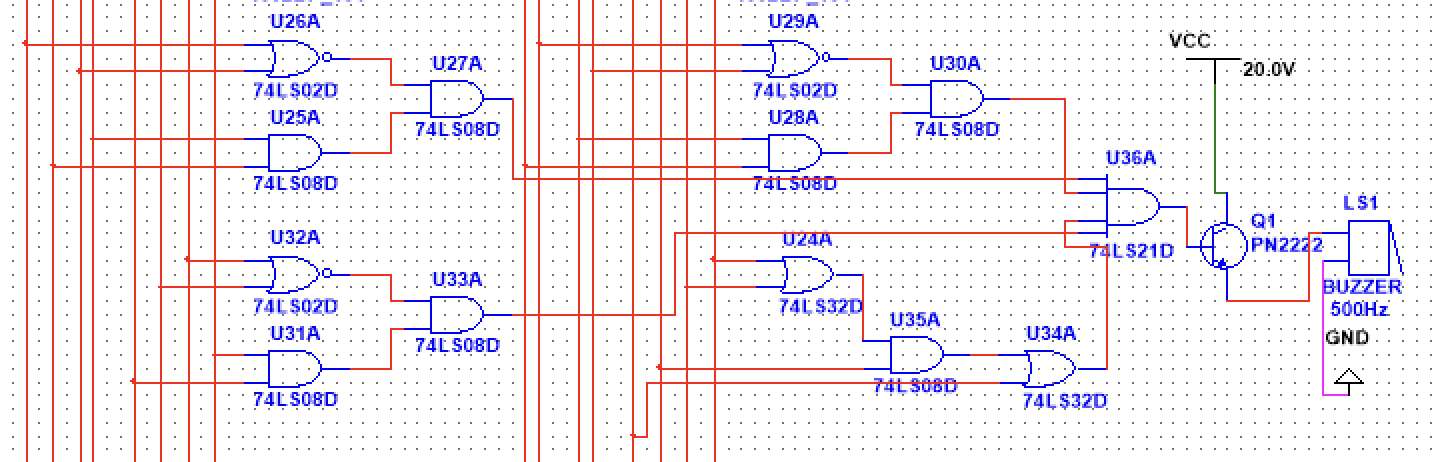
整点前鸣叫五次低音,即为59：55～59:59鸣叫。因此根据其真值表，写出它们对应的函数表达式：





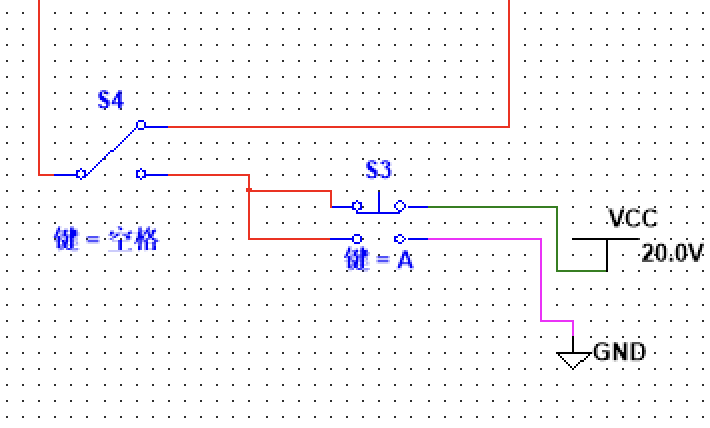


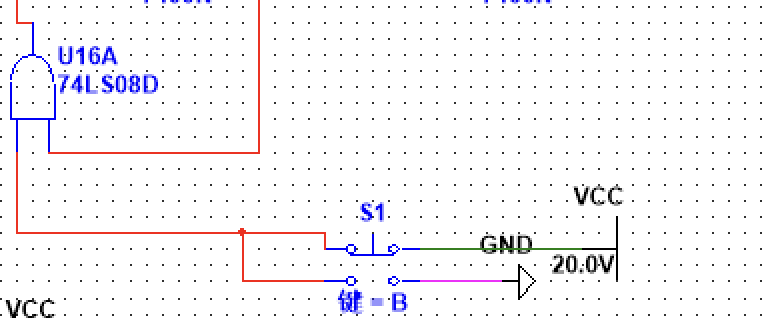
最后再将四个输入端与起来。示意图如下：



5.校时电路

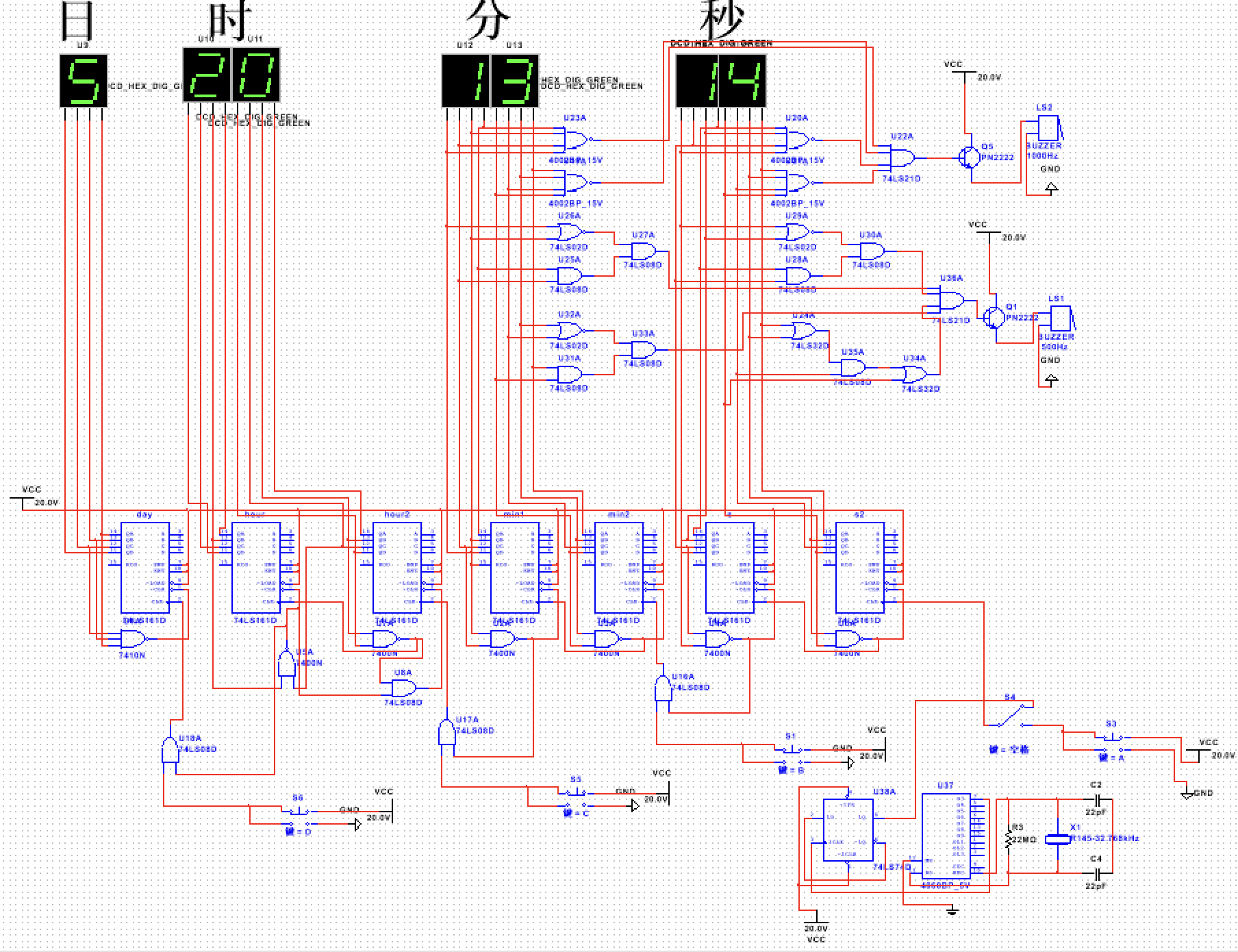
首先对于秒校时，采用一个单刀双置开关来控制整个电路的CP信号，然后采用一个上下开关来输入1信号或0信号。示意图如下：



对于分，时，日的校对，仍采用上述电路图，不过，需将该电路输出端与上一级的clr输入端经过与门，再接入clk端，示意图如下：

1. 整机电路图

整机电路图如下图所示：



1. 器件清单

* 导线若干
* DCD\_HEX数码管\*7
* 74LS161二进制计数器\*7
* 4060BD\*1
* 74LS74D\*1
* 开关，电源，地线若干
* 与门，或门，与非门等若干
* 蜂鸣器\*2

六、总结与体会

通过本次电路设计项目，我对计数器的级联方式有了更深入的了解，同时也巩固了我在数字电子学方面的知识。在设计过程中，我遇到了课本上未曾提及的知识点，这促使我主动收集资料、学习新知，这一过程极大地培养了我的自主学习能力和探索精神。从最初的毫无头绪，到最后成功设计出完整的数字电子钟，这一路上的挑战和收获都极大地激发了我对电路设计的兴趣。