**1、假定一台计算机的显示存储器用DRAM芯片实现，若要求显示分辨率为**

**1600x1200，颜色深度为24位，帧频为85Hz，显存总带宽的50％用来刷新屏幕，则需要的显存总带宽至少约为（ ）**

A、 245Mbps B、 979Mbps

C、 1958Mbps D、 7834Mbps 正确答案： D

**2、以下有关磁盘驱动器的叙述中，错误的是（）。**

A、 送到磁盘驱动器的盘地址由磁头号、盘面号和扇区号组成

B、 能控制磁头移动到指定磁道，并发回“寻道结束”信号

C、 能控制磁盘片转过指定的扇区，并发回“扇区符合”信号

D、 能对指定盘面的指定扇区进行数据的读或写操作 正确答案： A

**3、假定一个磁盘存储器有4个盘片，用于记录信息的柱面数为2000，每个磁道上有3000个扇区，每个扇区512B，则该磁盘存储器的容量约为（）。**

A、 12MB B、 24MB C、 12GB D、 24GB 正确答案： D

**4、假定一个磁盘的转速为7200rpm，磁盘的平均寻道时间为20ms，平均数据传输率为 1MB／s，不考虑排队等待时间。那么读一个512B的扇区的平均时间大约为（ ）。**

A、 14.7ms B、 18.8ms C、 24.7ms D、 28.8ms 正确答案： C

**5、假定计算机系统中连接主存和磁盘的总线带宽是68.8MB／s，磁盘的最大数据传输 率是5MB／s。如果允许磁盘输入输出占用100％的总线和主存带宽，那么总线上可同 时接入的磁盘个数最多是（ ）。**

A、 13 B、 14 C、 15 D、 16 正确答案： A

**6、以下有关RAID技术的叙述中，错误的是（ ）。**

A、 RAID技术可实现海量后备存储系统

B、 RAID技术可提高存储系统的可靠性

C、 RAID中的校验信息都存放在一个磁盘上

D、 RAID通过多个盘并行访问来提高速度 正确答案： C

**7、下面有关半导体存储器组织的叙述中，错误的是（ ）。**

A、 存储器的核心部分是存储阵列，由若干存储单元构成

B、 存储单元由若干个存放0或1的存储元件构成

C、 一个存储单元有一个编号，就是存储单元的地址

D、 同一个存储器中，每个存储单元的宽度可以不同

正确答案： D

解析：半导体存储器中用于存储0或1的是记忆单元（也称存储元），每个记忆单元由一个存储元件实现，所有存储元件构成一个存储阵列。若干个存储元件构成一个存储单元，每个存储单元有一个地址，因而构成同一个存储单元的存储元件的地址是相同的，具有相同地址的存储元件的个数就是编址单位。例如，若编址单位是字节，则每个存储单元都是一个字节的宽度。综上所述，选项D的说法是错误的。答案为选项D。

**8、（ ）是目前已被淘汰的存储器。**

A、 半导体存储器 B、 磁表面存储器 C、 磁芯存储器 D、 光盘存储器

正确答案： C

**9、若计算机的主存储器容量为1GB，也就等于（ ）。**

A、 230B B、 1030BC、 29 B D、 109 B 正确答案： A

**10、某SRAM芯片，其容量为1024x4位，则地址和数据引脚的数目分别为（)。**

A、 10和4 B、 5和4 C、 10和8 D、 5和8

正确答案： A 解析：存储器芯片的容量为1024x4位，说明有1024个存储单元，每个存储单元占4位。 SRAM芯片不采用地址引脚复用方式，因此，存储单元数和地址引脚数n的关系为：存储单元数= 。因此，答案为选项A。

**11、某计算机字长16位，主存地址空间大小是64KB，按字节编址，则寻址范围是()。**

A、 0~(64K-1) B、 0~(32K-1) C、 0~(64KB-1) D、 0~(32KB-1)

正确答案： A 解析：主存地址空间大小是64KB，按字节编址，说明主存空间中的存储单元数为 64KB／1B=64KK，计算机中地址的编号总是从0开始，因此，寻址范围是0～（64K- 1），答案为选项A。

**12、EPROM是指（）。**

A、 读写存储器 B、 掩膜只读存储器 C、 可编程的只读存储器

D、 可擦除可编程的只读存储器 正确答案： D

**13、下列几种存储器中，（ ）是易失性存储器。**

A、 cache B、 EPROM C、 Flash Memory D、 CD-ROM 正确答案： A

**14、假定主存地址空间大小为1024MB，按字节编址，每次读写操作最多可以一次存取32位。不考虑其他因素，则存储器地址寄存器MAR和存储器数据寄存器MDR的位 数至少应分别为（）。**

A、 30和8 B、 30和32 C、 28和8 D、 28和32

正确答案： B 解析：主存地址空间大小为1024MB，按字节编址，说明主存地址位数为log2（1024MB／1B）=30，因此，MAR的位数至少应为30。因为每次读写操作最多可以一次存取32位，所以MDR的位数至少应为32。答案B。

**15、需要定时刷新的半导体存储器芯片是（）。**

A、 SRAM B、 DRAM C、 EPROM D、 Flash Memory 正确答案： B

**16、通常采用行、列地址引脚复用的半导体存储器芯片是（)。**

A、 SRAM B、 DRAM C、 EPROM D、 Flash Memory 正确答案： B

**17、具有 （行地址选通）和 （列地址选通）信号引脚的半导体存储器**

**芯片是( )。** A、 SRAM B、 DRAM C、 EPROM D、 Flash Memory 正确答案： B

**18、下面有关ROM和RAM的叙述中，错误的是（ ）**

A、 RAM是可读可写存储器，ROM是只读存储器

B、 ROM和RAM都采用随机访问方式进行读写

C、 系统的主存由RAM和ROM组成 D、 系统的主存都用DRAM芯片实现

正确答案： D 解析：选项D的说法是错误的。通用PC系统的主存由RAM区和ROM区组成，其中 RAM区一般都用DRAM芯片实现，ROM区则用相应的ROM存储元件实现。有些嵌入 式专用系统可能其主存都是由ROM存储元件实现，还有些系统也会用SRAM芯片实现内存，所以，并不是所有系统的内存都是由DRAM芯片实现的。答案为选项D。

**19、下面有关半导体存储器的叙述中，错误的是（）。**

A、 半导体存储器都采用随机存取方式进行读写

B、 ROM芯片属于半导体随机存储器芯片

C、 SRAM是半导体静态随机访问存储器，可用作cache

D、 DRAM是半导体动态随机访问存储器，可用作主存

正确答案： A 解析：有些半导体存储器可以采用按内容访问方式。例如，全相联映射的cache就是根据标志信息（Tag）来访问的。因此，选项A的说法是错误的。答案为选项A。

**20、假定DDR3 SDRAM芯片内部核心频率为133.25MHz，与之相连的存储器总线每次传输8B，则下面有关叙述中，错误的是（）。**

A、 芯片内部I／O缓冲采用8位预取技术

B、 存储器总线每秒传1066M次数据 C、 存储器总线的时钟频率为1066MHz

D、 存储器总线的带宽大约为8.5GB／s

正确答案： C 解析：因为是DDR3 SDRAM芯片，所以芯片内部I／O缓冲采用8位预取技术。因此，存储器总线每秒传送数据的次数为133.25MX8＝1066M，其带宽为1066Mx8B≈8.5GB/s。因为存储器总线每个时钟周期传送两次数据，所以，其时钟频率为1066M／2＝533MHz。综上所述，答案为选项C。

**21、假定用若干个16Kx1位的存储器芯片组成一个64Kx8位的存储器，芯片内各单元连续编址，则地址BFF0H所在的芯片的最小地址为（ )。**

A、 4000H B、 6000H C、 8000H D、 A000H

正确答案： C 解析：因为64Kx8位 /16Kx1位=4×8，说明在行方向（字方向）扩大了4倍。因为芯片内各单元连续编址，所以，每个芯片的片选信号由最高两位地址确定，低14位为片内地址。4个芯片的地址范围分别为0000H～3FFFH、4000H～7FFFH、8000H～BFFFH、C000H～FFFFH，显然，地址BFFOH所在的芯片的最小地址为8000H。答案为选项C。

**22、假定用若干个16Kx8位的存储器芯片组成一个64Kx8位的存储器，芯片内各单元交叉编址，则地址BFFFH所在的芯片的最小地址为（ ）。**

A、 0000H B、 0001H C、 0002H D、 0003H

正确答案： D 解析：因为64Kx8位/16Kx8位=4xx1，说明在行方向（字方向）扩大了4倍。因为芯片内各单元交叉编址，所以，每个芯片的片选信号由最低两位地址确定，高14位为片内地址。4个芯片内各存储单元的最低两位地址分别为00、01、10、11，最小地址分别为0000H、0001H、0002H、0003H。地址BFFFH的最低两位为11，因此，该存储单元所在芯片的最小地址为0003H。答案为选项D。

**23、用存储容量为16Kx1位的存储器芯片组成一个64Kx8位的存储器，则在字方向和位方向上分别扩展了（ ）倍。**

A、 4和2 B、 4和8 C、 2和4 D、 8和4 正确答案： B

**24、存储容量为16Kx4位的DRAM芯片，其地址引脚和数据引脚数各是（ )。**

A、 7和1 B、 7和4 C、 14和1 D、 14和4

正确答案： B 解析：存储容量为16Kx4位，说明芯片内共有16K个存储单元，每个单元有4个数据位，因而其地址为14位，DRAM芯片采用行、列地址引脚复用技术，故地址引脚数为 14／/2=7，数据引脚数为4，答案为选项B。

**25、多模块存储器所以能高速进行读／写，是因为（ ）。**

A、 采用了高速元器件 B、 各模块有独立的读写电路

C、 采用了信息预读技术 D、 模块内各单元地址连续正确答案： B

**26、相联存储器是按（ ）进行寻址访问的存储器。**

A、 地址指定方式 B、 内容指定方式

C、 堆栈访问方式 D、 队列访问方式 正确答案： B

**27、在存储器分层体系结构中，存储器速度从最快到最慢的排列顺序是（ )。**

A、 寄存器-主存-cache-辅存 B、 寄存器-主存-辅存-cache

C、 寄存器-cache-辅存-主存 D、 寄存器-cache-主存-辅存 正确答案： D

**28、在存储器分层体系结构中，存储器从容量最大到最小的排列顺序是（）。**

A、 主存-辅存-cache-寄存器 B、 辅存-cache-主存-寄存器

C、 辅存-主存-cache-寄存器 D、 辅存-主存-寄存器-cache 正确答案： D

**29、在主存和CPU之间增加cache的目的是（ ）。**

A、 增加内存容量 B、 提高内存可靠性

C、 加快信息访问速度 D、 增加内存容量，同时加快访问速度 正确答案： C **30、以下（ ）情况能很好地发挥cache的作用。**

A、 程序中不含有过多的I／O操作 B、 程序的大小不超过实际的内存容量

C、 程序具有较好的访问局部性D、 程序的指令间相关度不高 正确答案： C

**31、假定主存地址位数为32位，按字节编址，主存和cache之间采用直接映射方式，主 存块大小为1个字，每字32位，写操作时采用直写（write through）方式，则能存放 32K字数据的cache的总容量至少应有（）位。**

A、 1504K B、 1536K C、 1568K D、 1600K

正确答案： B 解析：主存块大小为1个字，每字32位，按字节编址，因而块内地址占两位；cache共有32K字数据，采用直接映射方式，因而cache共有32K字／1字＝32K行，故cache行号占15位；主存地址位数为32位，所以标志Tag占32-1-15-2=15位。因为采用直写（writethrought）方式，故无需修改位（dirty bit）。综上所述，cache的总容量至少应有32Kx(1+15＋32）＝1536K位。答案为选项B。

**32、假定主存地址位数为32位，按字节编址，主存和cache之间采用直接映射方式，主存块大小为1个字，每字32位，写操作时采用回写（writeback）方式，则能存放32K字数据的cache的总容量至少应有（ ）位。**

A、 1504K B、 1536K C、 1568K D、 1600K

正确答案： C 解析：主存块大小为1个字，每字32位，按字节编址，因而块内地址占两位；cache共有32K字数据，采用直接映射方式，因而cache共有32K字／1字＝32K行，故cache行号占15位；主存地址位数为32位，所以，标志Tag占32-1-15-2=15位。因为采用回写（writeback）方式，故需一位修改位。综上所述，cache的总容量至少应有32KX(1+15+32+1)=1568K位。答案为选项C。

**33、假定主存地址位数为32位，按字节编址，主存和cache之间采用全相联映射方式，主存块大小为1个字，每字32位，采用回写（write back）方式和随机替换策略，则能存放32K字数据的cache的总容量至少应有（ ）位。**

A、 1536K B、 1568K C、 2016K D、 2048K

正确答案： D

解析：主存块大小为1个字，每字32位，按字节编址，因而块内地址占两位，全相联映射方式下，主存地址只包含两个字段，故标志占32-2＝30位。因为采用回写（writeback）方式，故需一位修改位；因为采用随机替换策略，故无须替换控制位。综上所述，cache的总容量至少应有32Kx(1+30+32+1)=2048K位。答案为选项D。

**34、假定主存按字节编址，cache共有64行，采用直接映射方式，主存块大小为32B，所有编号都从0开始。主存第2593号单元所在主存块对应的cache行号是（ ）。**

A、 1 B、 17 C、 34 D、 81

正确答案： B

解析：因为按字节编址，主存块大小为32B，所以块内地址占5位。采用直接映射方式，共64行，故行号占6位。因为2593=0···01 010001 00001B，根据主存地址划分的结果，可以看出2593单元所在主存块对应的cache行号为010001B=17。答案为选项B。

**35、假定CPU通过存储器总线读取数据的过程为：发送地址和读命令需1个时钟周期，存储器准备一个数据需8个时钟周期，总线上每传送1个数据需1个时钟周期。若主存和cache之间交换的主存块大小为64B，存取宽度和总线宽度都为4B，则cache的一次缺失损失至少为（ ）个时钟周期。**

A、 64 B、 72 C、 80 D、 160

正确答案： D

解析：一次缺失损失需要从主存读出一个主存块（64B），每个总线事务读取4B，因此，需要64B／4B＝16个总线事务。每个总线事务所用时间为1+8+1=10个时钟周期，总共需要160个时钟周期。答案为选项D。

**36、假定CPU通过存储器总线读取数据的过程为：发送地址和读命令需1个时钟周期，存储器准备一个数据需8个时钟周期，总线上每传送1个数据需1个时钟周期。若主存和cache之间交换的主存块大小为64B，存取宽度和总线宽度都为8B，则cache的一次缺失损失至少为（ ）个时钟周期。**

A、 64 B、 72 C、 80 D、 160

正确答案： C 解析：一次缺失损失需要从主存读出一个主存块（64B），每个总线事务读取8B，因此，需要64B／8B＝8个总线事务。每个总线事务所用时间为1+8+1=10个时钟周期，总共需要80个时钟周期。答案为选项C。

**37、假定采用多模块交叉存储器组织方式，存储器芯片和总线支持突发传送，CPU通过存储器总线读取数据的过程为：发送首地址和读命令需1个时钟周期，存储器准备第一个数据需8个时钟周期（即CAS潜伏期=8），随后每个时钟周期总线上传送1个数据，可连续传送8个数据（即突发长度=8)。若主存和cache之间交换的主存块大小为64B，存取宽度和总线宽度都为8B，则cache的一次缺失损失至少为（）个时钟周期。**

A、 17 B、 20 C、 33 D、 65

正确答案： A 解析：一次缺失损失需要从主存读出一个主存块（64B），每个突发传送总线事务可读取8Bx8=64B，因此，只需要一个突发传送总线事务。每个突发传送总线事务所用时间为1＋8+8=17个时钟周期，因此总共只需要17个时钟周期。答案为选项A。

**38、以下是有关虚拟存储管理机制中地址转换的叙述，其中错误的是（ )。**

A、 地址转换是指把逻辑地址转换为物理地址

B、 通常逻辑地址的位数比物理地址的位数少

C、 地址转换过程中会发现是否“缺页”

D、 MMU在地址转换过程中要访问页表项

正确答案： B 解析：最初提出分页式虚拟存储管理的目的是为了让程序员可以在一个比主存地址空间大得多的虚拟（逻辑）地址空间中写程序，显然，逻辑地址空间比主存大，因而逻辑地址位数比物理地址位数多。在执行程序时，由CPU中的MMU进行虚拟（逻辑）地 址到主存（物理）地址的转换，在进行转换过程中，MMU需要查找对应的页表项，根据页表项中的装入（有效）位是否为1来确定是否发生了缺页。综上所述，选项B的说法是错误的，其他都是对的。答案为选项B。

**39、假定主存按字节编址，cache共有64行，采用4路组相联映射方式，主存块大小为32B，所有编号都从0开始。主存第2593号单元所在主存块对应的cache组号是（)**

A、 1 B、 17 C、 34 D、 81

正确答案： A 解析：因为按字节编址，主存块大小为32B，所以块内地址占5位。采用4路组相联映射方式，共64行，分64／4＝16组，故组号占4位。因为2593=0..0101 0001 00001B，根据主存地址划分的结果，可以看出2593单元所在主存块对应的cache组号为0001B=1。答案为选项A。

**40、下列命中组合情况中，一次访存过程中不可能发生的是（ )。**

A、 TLB命中、cache命中、Page命中

B、 TLB未命中、cache命中、Pagge命中

C、 TLB未命中、cache未命中、Page命中

D、 TLB未命中、cache命中、Page未命中 正确答案： D

**41、以下是有关虚拟存储管理机制中页表的叙述，其中错误的是（）。**

A、 系统中每个进程有一个页表 B、 表中每个表项与一个虚页对应

C、 每个页表项中都包含装入位（有效位） D、 所有进程都可以访问页表

正确答案： D

**42、以下是有关缺页处理的叙述，其中错误的是（ ）。**

A、 若对应页表项中的有效位为0，则发生缺页

B、 缺页是一种外部中断，需要调用操作系统提供的中断服务程序来处理

C、 缺页处理过程中需根据页表中给出的磁盘地址去读磁盘数据

D、 缺页处理完后要重新执行发生缺页的指令

正确答案： B 解析：显然，选项B的说法是错误的。缺页是在CPU执行某条指令过程中进行取指令或读写数据时发生的一种故障，而不是由CPU外部向CPU提出的一种外部中断请求。答案为选项B。

**43、以下是有关页式存储管理的叙述，其中错误的是（ ）。**

A、 进程被划分成等长的页，内存被划分成同样大小的页框

B、 采用全相联映射，每个页可以映射到任何一个空闲的页框中

C、 当从磁盘装入的信息不足一页时会产生页内碎片

D、 相对于段式存储管理，分页式更利于存储保护 正确答案： D

**44、以下是有关段式存储管理的叙述，其中错误的是（ ）。**

A、 段是逻辑结构上相对独立的程序块，因此段是可变长的

B、 按程序中实际的段来分配主存，所以分配后的存储块是可变长的

C、 每个段表项必须记录对应段在主存的起始位置和段的长度

D、 分段方式对低级语言程序员和编译器来说是透明的 正确答案： D

**45、以下是有关快表的叙述，其中错误的是（ ）。**

A、 快表的英文缩写是TLB，称为转换后援缓冲器

B、 快表中存放的是当前进程的常用页表项

C、 在快表中命中时，在L1 cache中一定命中

D、 快表是一种高速缓存，一定在CPU中 正确答案： C

**46、以下给出的事件中，无需异常处理程序进行处理的是（ )。**

A、 缺页故障 B、 cache 缺失 C、 地址越界 D、 除数为0

正确答案： B 解析：缺页、地址越界和除数为0都是执行某条指令时发生的故障，需要调出操作系统内核中相应的异常处理程序来处理，而cache缺失由CPU进行处理，无须调出异常处理程序进行处理。答案为选项B。

**47、执行过程中访存1000次，其中访问Cache缺失（未命中）50次，则Cache的命中率是（ ）。** A、 5% B、 9.5% C、 50% D、 95%

正确答案： D

**48、计算机系统中，广义的存储系统包括寄存器、Cache、主存储器和外存储器其每位价格由高到低的顺序是（ ）。**

A、 寄存器、Cache、主存储器、外存储器

B、 Cache、寄存器、主存储器、外存储器

C、 存储器、寄存器、Cache、外存储器

D、 外存储器、主存储器、Cache、寄存器 正确答案： A

**49、（2009年真题）某计算机的Cache共有16块，采用2路组相联映射方式（即每组2 块）。每个主存块大小为32字节，按字节编址。主存129号单元所在主存块应装入到的Cache组号是（ ）。**

A、 0 B、 2 C、 4 D、 6

正确答案： C 解析：组相联映射方式是将某一主存块j按模Q（Q是Cache的组数）映射到cache的第i 组中的任一块，即i=j mod Q。根据题目可知，Q=16/2=8组。 因为，每个主存块大小为32字节，按字节编址，所以主存129号单元所在的主存块号为 4（注意：从0开始技术），所以i=4 mod 8=4

**50、某计算机主存容量为64KB，其中ROM区为4KB，其余为RAM区，按字节编址。 现要用2Kx8位的ROM芯片和4Kx4位的RAM芯片来设计该存储器，则需要上述规格的 ROM芯片数和RAM芯片数分别是（ ）。**

A、 1、15 B、 2、15 C、 1、30 D、 2、30

正确答案： D

解析：因为1B=8位，ROM区的总大小为4KB，即为4Kx8位，那么需要的ROM芯片数为(4Kx8位)/(2Kx8位)=2片。64KB-4KB=60KB，即60Kx8位，那么需要的RAM芯片数为(60Kx8位)/(4Kx4位)=30片。

**51、（2010年真题）假定用若干个2Kx4位芯片组成一个8Kx8位存储器，则地址 0B1FH所在芯片的最小地址是（ ）。**

A、 0000H

B、 0600H

C、 0700H

D、 0800H

正确答案： D

解析：芯片的大小为2K×4位，而存储器的大小为8K×8位，不难得出要获得这样一个大小的存储器，需要8片2K×4位的芯片。如果按字节编址，每两个2K×4位的芯片一组，同时选中。对应一个大小为8KX8位的存储器，需要13位地址，其中高2位为片选地址，低11位为片内地址，而题目给出的地址0B1FH转换为二进制为0101100011111，其高2位为01，即片选地址为01。因此，地址0B1FH对应第2组芯片，该芯片的起始地址（最小地址）为01 000 0000 0000，即 0800H。

**52、下列有关RAM和ROM的叙述中，正确的是（ ）。**

**I.RAM是易失性存储器，ROM是非易失性存储器**

**II.RAM和ROM都采用随机存取方式进行信息访问**

**III.RAM和ROM都可用做Cache**

**IV.RAM和ROM都需要进行刷新**

A、 仅I和II B、 仅II和III C、 仅I，II，III D、 仅II，III，IV

正确答案： A解析：对于计算机系统中的存储器，常用的数据存取方式有顺序存取、直接存取、随机存取和相联存取四种，其中RAM和ROM都是采用随机存取方式。RAM具有读、写方便、使用灵活等优点，但断电后无法保存信息，因此只能用于暂存数据，可用于主存和Cache。

ROM的信息是固化在存储器中，断电后仍然能保存信息，信息不容易丢失。但ROM中的信息只可读出，无法改写，当然不需要刷新。一般用于存放系统程序BIOS和用于微程序控制，不适合用于读写频繁的Cache。

**53、（2010年真题）下列命令组合情况中，一次访存过程中，不可能发生的是（ )。**

A、 TLB未命中，Cache未命中，页未命中

B、 TLB未命中，Cache命中，页命中

C、 TLB命中，Cache未命中，页命中

D、 TLB命中，Cache命中，页未命中正确答案： D

解析：TLB是缓存曾经访问过的虚拟地址所指向的物理地址，以使将来快速得到相同物理地址的高速存储器，与Cache的作用相似。在一次访问存储器的过程中，如果能够Cache命中，说明就访问到了需要的页，即页命中。同样的道理，如果能够TLB命中，也说明访问到了需要的页，如果这两者都命中，那么页肯定命中。因此本题中选项D的情况是不可能发生的。

**54、下述关于存储器的描述中，正确的是（ )。**

**I.CPU访存时间由存储器容量决定 II.ROM和RAM在存储器中是统一编址的**

**III.ROM中任一单元可随机访问 IV.DRAM是破坏性读出，因此需要读后重写**

A、 I和II B、 II和III C、 III和IV D、 II、III和IV

正确答案： D 解析：RAM中任何存储单元的内容都能随机存取，且存取时间和存储单元的物理位置无关。由于存取原理的不同，又分为SRAM和DRAM。静态RAM以触发器原理寄存信息，DRAM以电容充放电原理寄存信息，对DRAM的读出是破坏性读出，因此需要读后重写。ROM只能对其存储的内容读出，而不能对其重新写入。一般来说，CPU访问存储器的时间与存储器容量的大小无关（或者说关系很小），而是由存储单元的材料 决定的。

**55、下面关于主存储器性能的说法中，不正确的是（ ）。**

A、衡量一个主存储器的性能指标主要有主存容量、存储器存取时间和存储周期

B、 指令中地址码的位数决定了主存储器可以直接寻址的空间

C、 存储器存取时间是指从启动一次存储器操作到完成该操作所经历的时间

D、 存储周期是指连续启动两次独立的存储器操作所需间隔的最小时间，通常存储周期略小于存取时间，其差别主要与主存储器的物理实现细节有关

正确答案： D

**56、若一台计算机的字长为4字节，则表明该机器（ ）。**

A、 能处理的数值最大为4位十进制数

B、 能处理的数值最多由4位二进制数组成

C、 在CPU中能够作为一个整体处理32位的二进制代码

D、 在CPU中运算的结果最大为232 正确答案： C

**57、现有存储器SRAM、DRAM、Cache以及寄存器、磁盘、磁带和光盘，存储容量 由小到大，存取时间由快到慢的顺序为（ ）。**

A、 寄存器，Cache，SRAM，DRAM，磁盘，光盘，磁带

B、 Cache，寄存器，SRAM，DRAM，磁盘，光盘，磁带

C、 寄存器，Cache，DRAM，SRAM，磁盘，光盘，磁带

D、 寄存器，Cache，SRAM，DRAM，磁带，磁盘，光盘 正确答案： A

**58、动态存储器（DRAM）的刷新原则是（ ）。**

A、 各DRAM芯片轮流刷新

B、 各DRAM芯片同时刷新，片内逐位刷新

C、 各DRAM芯片同时刷新，片内逐字刷新

D、 各DRAM芯片同时刷新，片内逐行刷新

正确答案： D 解析：为了使已写入存储器的信息保持不变，一般每隔一定时间必须对存储体中的所 有记忆单元的栅极电容补充电荷，这个过程就是刷新。刷新的时间间隔由栅极电容的 泄放速度决定，一般选定MOS型DRAM允许的最大刷新间隔为2ms。刷新和重写是两 个完全不同的概念，重写是随机的，某个存储单元只有在破坏性读出之后才需要重 写，而刷新是定时的，即使许多记忆单元长期未被访问，若不及时补充电荷的话，信 息也会丢失。无论是由刷新控制逻辑产生的地址逐行循环的刷新，还是芯片内部自动 的刷新，都不依赖外部的访问，刷新对CPU是透明的。刷新通常是一行一行进行，每 一行中各记忆单元同时被刷新，故刷新操作时仅需要行地址，不需要列地址。刷新操 作类似于读出操作，但又有所不同，因为刷新操作仅是给栅极电容补充电荷，，不需 要输出信息，另外刷新不需要加片信号，即整个存储器中的所有芯片同时被刷新。

**59、在一个引入Cache的计算机主存中，已知Cache为16KB，主存为128MB，Cache中 块的大小为1KB，当采用直接地址映射时，主存地址的二进制格式为（ )。**

A、 7位区号，4位块号，1位内地址 B、 7位区号，16位块号，11位内地址

C、13位区号，4位块号，10位内地址 D、27位区号，14位块号，10位内地址

正确答案： C 解析：Cache容量为16KB，因为16KB=214，所以Cache的地址为14位。Cache块的大小为1KB，所以块内地址10位，块地址为4位。主存容量为128MB，因为128MB=227，所以主存的地址为27位。 Cache中块的大小为1KB，采用直接地址映射，则Cache可以分为16块，也就是说，主存的每个区（页）有16块，而主存一共有128MB/1KB=217块，即主存可以分为217/16=213个区，所以区号为13位。

**60、可随机读写，且只要不断电，则其中存储的信息就可一直保存的，称为**

A、 RAM B、 VRAM C、 DRAM D、 SRAM

正确答案： D

解析：SRAM的存储单元是用双稳态触发器（六管MOS）来记忆信息的，即一个存储单元存储一位信息“0”或“1”。静态存储单元保存的信息比较稳定、其结构简单、可靠性高、速度较快。信息被读出后仍然保持原有信息而不需要再生（非破坏性读出），不需要重写（再生）。但是其占用元件较多，占硅片面积大且功耗高，集成度不高，同时SRAM是易失性存储器，一旦断电，原来保存的信息就会丢失，通常被用来做Cache，因此选D。

**61、可随机读写，但即使在不断电的情况下其存储的信息也要定时刷新才不致丢失的，称为（)。**

A、 RAM B、 VRAM C、 DRAM D、 SRAM

正确答案： C 解析：DRAM的存储单元有三管式和单管式两种，靠电容存储电荷的原理来寄信息。若电容上存有足够的电荷则表示“1”，电容上无电荷则表示“0”。与SRAM相比，DRAM具有集成度更高、功耗低、价格便宜等特点。但是读出是破坏性的，故读出后要立即对单元进行“重写”。即使不被读出，由于电容会漏电，电容上的电荷一般只能维持1ms～2ms，因此即使电源不掉电，电容上的电荷也会自动消失。为保证信息不丢失，必须在2ms内对存储单元进行一次恢复操作，这个过程称为再生或者刷新。DRAM通常用于主存储器，常用的刷新方式有集中刷新、分散刷新和异步刷新，因此选C。

**62、所存信息由生产厂家用掩膜技术写好后就无法再改变的称为（ )。**

A、 EPROM B、 PROM C、 MROM D、 CDROM 正确答案： C

**63、通过紫外线照射后可擦除所有信息，然后重新写入新的信息并可多次进行的，称为（)。** A、 EPROM B、 PROM C、 ROM D、 CDROM 正确答案： A

**64、通过电信号可在数秒钟内快速删除全部信息，但不能进行字节级别删除操作的，称为（ ）。**

A、 EEPROM B、 Flash Memory C、 EPROM D、 Virtual Memory 正确答案： B

**65、实存的存储分配算法用来决定输入的程序和数据放到主存中的位置，总是将程序装入主存中最大的空闲区域的算法称为（）。**

A、 最佳适应算法 B、 最差适应算法

C、 首次适应算法 D、 循环首次适应算法

正确答案： B

解析：通常使用的四种存储分配算法如下。 首次适应算法：将内存中的可用分区单独组成可用分区表或可用分区自由链，按起始 地址递增的次序排列。每次按递增次序向后找，一旦找到大于或等于所要求内存长度的分区，则结束探索，从找到的分区中找出所要求的内存长度分配给作业，并把剩余的部分进行合并。循环首次适应算法：首次适应算法经常利用的是低地址空间，后面经常是较大的空白区，为使内存所有线性地址空间尽可能地轮流使用到，每重新分配一次，都要在当前之后寻找。最佳适应算法：将输入作业放入主存中与它所需大小最接近的空白区中，使剩下的未用空间最小，该算法要求空白区大小按从小到大次序组成空白区可用表或自由链。在进行分配时总是从最小的一个开始查询，找到一个能满足要求的空白区便是最佳的一个。最差适应算法：分配时将一个作业程序放入主存中最不适合它的空白区，即最大的空白区（空闲区）内。

**66、下面关于Cache的说法中，不正确的是（）。**

A、 Cache存储器中保存的字块是主存中相应字块的一个副本

B、 Cache的容量和块的大小是影响命中率的重要因素

C、 从现实而言，Cache可以取代主存

D、 一般来说，Cache的存储容量比主存的容量小得多，但不能太小，太小会使命中率太低。也没有必要过大，过大不仅会增加成本，而且当容量超过一定值后，命中率随容量的增加将不会有明显的增长

正确答案： C

解析：Cache从理论上讲可以取代主存，但是当用Cache取代主存时，主存价格增长幅 度大，在速度上比带Cache的存储器提高不了多少，并且用Cache做主存，则主存和辅助存储器的速度差别加大，在信息调入时，需要更多的额外开销，因此从现实而言，Cache难以取代主存。

**67、在CPU与主存之间设置Cache，其目的是为了（）。**

A、 扩大主存的存储容量 B、 提高CPU对主存的访问效率

C、 既扩大主存容量又提高存取速度 D、 提高外存储器的速度

正确答案： B 解析：由于CPU的速度比主存的读取速度快得多，为了解决这种不匹配，在它们之间设置Cache（高速缓冲存储器），将主存中的内容事先调入Cache中，CPU直接访问Cache的时间短得多，这样大大提高了CPU对主存的访问效率，也提高了整个计算机系统的效率。

**68、在关于主存与Cache的地址映射方式中，（）是正确的。**

A、 全相联映射方式适用于大容量Cache

B、 直接映射是一对一的映射关系，组相联映射是多对一的映射关系

C、 在Cache容量相等条件下，直接映射方式的命中率比组相联映射方式有更高的命中率

D、 在Cache容量相等条件下，组相联映射比直接映射方式有更高的命中率

正确答案： D 解析：地址映射方式与Cache容量没有必然联系，故A错。组相联映射是一对多关系，故B错。组相联映射方式块冲突概率低，空间利用率较直接映射高，命中率更高，故选D。

**69、在分析Cache对机器性能的影响时，（）是正确的。**

A、 Cache容量比主存小许多，决定机器访问存储器的速度是主存，Cache只起次要作用

B、 Cache的主要作用是减少调用子程序的开销

C、 核心程序法是评价计算机性能的方法之一，由于它程序短，访问存储器的局部性较大，Cache的命中率比一般程序高

D、 奔腾计算机采用两级Cache结构，一级放系统程序，另一级放用户程序

正确答案： C 解析：直接映射方式是一种多对一的映射关系，但一个主存块只能复制到Cache的一个特定块位置上去。直接映射方式的优点是以RAM作为Cache 存储器，硬件电路较简单，成本低。缺点是每个主存块只有一个固定的块位置可存放，容易产生冲突，因此适合大容量Cache采用。

全相联映射使用相联存储器(CAM)作为Cache，其速度快于直接映射，但是硬件电路较复杂，而且价格也较昂贵。使用相联存储器组成的Cache存储器，其基本单元分成两部分：地址部分和数据部分。数据部分用于存放数据，而地址部分则存放该数据的相联存储器把CPU发出的存储器地址与Cache内所有的地址信息同时进行比较，以确定是否命中。全相联映射方式因比较器电路难于设计和实现，只适用于小容量Cache。组相联映射方式是前两种方式的折中方案。它将Cache分成u组，每组v块，主存块存放到哪个组是固定的，至于存到该组哪一块是灵活的。组相联映射方式中的每组块数v一般取值较小，这种规模的v路比较器容易设计和实现。而块在组中的排放又有一定的灵活性，冲突减少。在Cache容量相等的条件下，组相联映射比直接映射方式有更高的命中率。若计算机的Cache容量大，速度快，而且运行的程序又能使CPU读写的数据经常在Cache中获得，则该程序执行的速度就快，也就是说如果程序短，访问存储器的局部性比较大，Cache的命中率会比一般程序高。采用这种程序来评价计算机性能往往评价偏好。 个人计算机采用两级Cache结构时，在CPU内有一级，容量小速度更快，在主板上另有一级，容量稍大，在使用中有时可分成指令Cache和数据Cache两部分，指令Cache不需要写操作，管理更方便。

**70、为了提高计算机的性能，采用Cache、虚拟存储器等多项技术，（ ）不属于Cache的特征。**

A、 为了提高速度全部用硬件实现 B、 可以显著提高计算机的主存速度

C、 可以显著提高计算机的主存容量 D、 对程序员是透明的

正确答案： C

解析：Cache的功能是提高CPU数据输入／输出的速率，通常在CPU和主存储器之间设置小容量的Cache。Cache容量小但速度快，主存储器速度较低但容量大，通过优化调度算法，系统的性能会大大改善，仿佛其存储系统容量与主存相当而访问速度近似Cache。而这一切对程序员而言是透明的。

**71、内存地址从AC000H到C7FFFH，共有（ ）K个地址单元。** A、 132

B、 156 C、 96 D、 112 正确答案： D 解析：C7FFFH-AC000H＋1H＝1C000H，把1C000H转换为十进制数为114688,再化为K，即有114688／1024＝112K个地址单元。

**72、内存地址从AC000H到C7FFFH，如果该内存地址按字（16bit）编址，由28片存储器芯片构成。已知构成此内存的芯片每片有16K个存储单元，则该芯片每个存储单元存储（）位。** A、 4 B、 8 C、 16 D、 24

正确答案： A 解析：已知内存地址按字（16b）编址，则共有112位。内存由28片存储器芯片构成，每片有16K个存储单元，则该芯片每个存储单元存储(112Kx16)/(28x16K)=4

**73、已知某高速缓存采用组相联映射方式，即组间直接映射，组内全相联映射。假设主存容量为4096块，每块256B，高速缓存包含32块，分为8组，每组4块。高速缓存的地址变换表应包含（ ）个存储单元。**

A、 8 B、 16 C、 32 D、 48 正确答案： C

**74、已知某高速缓存（Cache）采用组相联映射方式，即组间直接映射，组内全相联映射。假设主存容量为4096块，每块256B，高速缓存包含32块，分8组，每组4块。高速缓存的地址变换表应包含（）个存储单元，每个存储单元应能存放（）位二进制数，每次参与相联比较的是（ ）个存储单元。**

A、 8，4，2 B、 16，4，4 C、 32，9，4 D、 48，7，4

正确答案： B 析：高速缓存的地址变换表中存储单元的数量，对应高速缓存的块数。题干中“高速缓存包含32块”，故地址变换表共包含32个存储单元。每个存储单元存放的是主存块的编号，4096/8=512=2^9,所以每组中的任意一块需要存储编号长度为9。组内的四块是全相联，故每次参与比较的是4个单元

**75、某计算机主存按字节编址，主存与高速缓存（Cache）的地址变换采用组相联映射方式（即组内全相联，组间直接映射）。高速缓存分为2组，每组包含4块，块的大小为512B，主存容量为1MB。构成高速缓存的地址变换表相联存储器容量为（)。**

A、 4×10b B、 8×10b C、 4×11b D、 8×11b

正确答案： B 解析：已知主存容量为1MB，可分为1MB／512B＝2048块。因为高速缓存分为2组， 所以主存每组2块，主存可分为2048/2=1024=210个组。因此需要10位组号。因为高速缓存共有8块，因此，其地址变换表应包含8个存储单元，每个存储单元的长度为主存地址组号长度，即10位二进制数。

**76、以下关于相联存储器，下面的论述中，错误的是（）。**

A、 相联存储器按地址进行并行访问

B、 相联存储器的每个存储单元都具有信息处理能力

C、 相联存储器能并行进行各种比较操作

D、 在知识库中应用相联存储器实现按关键字检索

正确答案： A 解析：相联存储器是一种特殊的存储器，是一种基于数据内容进行访问的存储设备， 相联存储器的特点是每个存储单元都必须有一个处理单元。当对其写入数据时，相联存储器能够自动选择一个未用的空单元进行存储；当要读出数据时，不是给出其存储单元的地址，而是直接给出该数据或者该数据的一部分内容，相联存储器对所有的存储单元中的数据同时进行比较，并标记符合条件的所有数据以供读取。由于比较是同时、并行进行的，所以这种基于数据内容进行读写的机制，其速度比基于地址进行读写的方式要快许多。在计算机系统中，相联存储器主要用于虚拟存储器和Cache。在虚拟存储器中存放分段表、页表和快表，在高速缓存中作为存放Cache的块地址。另外，相联存储器还经常用于数据库与知识库中按关键字进行检索。

**77、Cache一般采用（）存储器件构成。**

A、 DRAM B、 SRAM C、 ROM D、 NVRAM 正确答案： B

**78、虚拟存储系统中的页表有快表和慢表之分，下面关于页表的叙述中正确的是 （ ）。**

A、 快表与慢表都存储在主存中，但快表比慢表容量小

B、 快表采用了优化的搜索算法，因此比慢表的查找速度快

C、 快表比慢表的命中率高，因此快表可以得到更多的搜索结果

D、 快表采用快速存储器件组成，按照查找内容访问，因此比慢表查找速度快

正确答案： D

**79、目前，计算机系统中常用的三级存储体系是（）。**

A、 寄存器、内存、外存 B、 寄存器、Cache、内存

C、 Cache、主存、辅存 D、 L0、L1、L2三级Cache 正确答案： C

**80、计算机的存储系统采用分级存储体系的理论依据是（ ）。**

A、 存储容量、价格与存取速度间的协调性 B、 程序访问的局部性

C、 主存和CPU之间的速度匹配 D、 程序运行的定时性 正确答案： B

**81、某一SRAM芯片，其容量为1024x8位，除电源和接地端外，该芯片的引脚的最小数目为（ ）。**

A、 21 B、 22 C、 23 D、 24

正确答案： A 解析：10根地址线，8根数据线，片选线、读控制线、写控制线

**82、某存储器容量为32Kx16位，则（）。**

A、 地址线为16根，数据线为32根 B、 地址线为32根，数据线为16根

C、 地址线为15根，数据线为16根 D、 地址线为15根，数据线为32根

正确答案： C

**83、若RAM中每个存储单元为16位，则下面所述正确的是（)。**

A、 地址线也是16位 B、 地址线与16无关

C、 地址线与16有关 D、 地址线不得少于16位 正确答案： B

**84、DRAM的刷新是以（）为单位的。**

A、 存储单元 B、 行 C、 列 D、 存储字 正确答案： B

**85、下面是有关DRAM和SRAM存储器芯片的叙述：**

**I.DRAM芯片的集成高**

**II.DRAM芯片的成本比SRAM高 III.DRAM芯片的速度比SRAM快**

**IV.DRAM芯片工作时需要刷新，SRAM芯片工作时不需要刷新通常情况下，错误的是 （）。**

A、 I和II B、 II和III C、 III和IV D、 I和IV 正确答案： B

**86、下列说法中，正确的是（）。**

A、 半导体RAM信息可读可写，且断电后仍能保持记忆

B、 DRAM是易失性RAM，而SRAM中的存储信息是不易失的

C、 半导体RAM是易失性RAM，但只要电源不断电，所存信息是不易失的

D、 半导体RAM是非易失性的RAM 正确答案： C

**87、关于SRAM和DRAM，下列叙述中正确的是（）。**

A、 通常SRAM依靠电容暂存电荷来存储信息，电容上有电荷为1，无电荷为0

B、 DRAM依靠双稳态电路的两个稳定状态来分别存储0和1

C、 SRAM速度较慢，但集成度稍高；DRAM速度稍快，但集成度低

D、 SRAM速度较快，但集成度稍低；DRAM速度稍慢，但集成度高

正确答案： D 解析：SRAM是双稳态电路，DRAM利用电容的充放电；SRAM速度快，价格高； DRAM集成度高。

**88、（2012年真题）下列关于闪存的叙述中，错误的是（）。**

A、 信息可读可写，并且读、写速度一样快

B、 存储元由MOS管组成，是一种半导体存储器

C、 掉电后信息不丢失，是一种非易失性存储器

D、 采用随机访问方式，可替代计算机外部存储器

正确答案： A 解析：本题考查闪存的特性，闪存是EEPROM的进一步发展，可读可写，用MOS管的浮栅上有无电荷来存储信息，它依然是ROM的一种，故写速度比读速度要慢不少。闪存是一种非易失性存储器，它采用随机访问方式，现在常见的SSD固态硬盘就是由Flash芯片组成的，故答案为A。

**89、下列几种存储器中，（）是易失性存储器。**

A、 Cache B、 EPROM C、 Flash Memory D、 CD-ROM 正确答案： A

**90、U盘属于（）类型的存储器。**

A、 高速缓存 B、 主存 C、 只读存储器D、 随机存取存储器

正确答案： D 解析：U盘是由Flash芯片组成，是随机存取存储器。

**91、某计算机系统，其操作系统保存于硬盘上，其内存储器应该采用（)。**

A、 RAM B、 ROM C、 RAM和ROM D、 均不完善

正确答案： C 解析：操作系统保存在硬盘上，首先需要将其引导到主存中，而引导程序通常存放在ROM中，程序运行需要可读可写，因此采用RAM。

**92、下列说法正确的是（）。**

A、 EPROM是可改写的，故而可以作为随机存储器

B、 EPROM是可改写的，但不能作为随机存储器

C、 EPROM是不可改写的，故而不能作为随机存储器

D、 EPROM只能改写一次，故而不能作为随机存储器

正确答案： B 解析：EPROM只能用强紫外线照射来擦除。

**93、在下列几种存储器中，CPU不能直接访问的是（)。**

A、 硬盘 B、 内存 C、 Cache D、 寄存器

正确答案： A 解析：CPU不能直接访问硬盘，需先将硬盘中的数据调入内存才能访问。

**94、若某存储器存储周期为250ns，每次读出16位，则该存储器的数据传输率是 （）。**

A、 4x106 B/s B、 4MB/sC、 8x106 B/s D、 8MB/s

正确答案： C 解析：计算的是存储器的带宽，每个存储周期读出16b=2B，故而数据传输率是 2B/(250x10-9 s)，即8x106 B/s。本题中8MB/s是8x1024x1024B/s

**95、设机器字长为64位，存储容量为128MB，若按字编址，它可寻址的单元数是 （）。**

A、 16MB B、 16M C、 32M D、 32MB

正确答案： B 解析：128MB/(64/8)B=16M。

**96、在Cache和主存构成的两级存储体系中，Cache的存取时间是100ns，主存的存取时间是1000ns，如果希望有效（平均）存取时间不超过Cache 存取时间的15％，则Cache的命中率至少应为（）。**

A、 90% B、 98% C、 95% D、 99%

正确答案： D 解析：假设命中率为x，则可得到100x+1000(1-x)≤100x(1+15%)，简单计算后可得98.33％，因此命中率至少为99％。x≥98.3

**97、（2011年真题）某计算机存储器按字节编址，主存地址空间大小为64MB，现用4M×8位的RAM芯片组成32MB的主存储器，则存储器的地址寄存器MAR的位数至少 是（ ）。**

A、 22 位 B、 23 位 C、 25 位 D、 26 位

正确答案： D 解析：存储器按字节编址，64MB的主存地址空间，故而MAR的寻址范围是64M，故而是26 位。而实际的主存空间不能代表MAR的位数。

**98、（2009年真题）某计算机主存容量为64KB，其中ROM区为4KB，其余为RAM区；按字节编址。现要用2Kx8位的ROM芯片和4Kx4位的RAM芯片来设计该存储器， 则需要上述规格的ROM芯片数和RAM芯片数是（）。**

A、 1、15 B、 2、15 C、 1、30 D、 2、30

正确答案： D 解析：首先确定ROM的个数，ROM区为4KB，选用2Kx8位的ROM芯片，需要 (4Kx8)/(2Kx8)=2片，采用字扩展方式；60KB的RAM区，选用4Kx4位的RAM芯片，需要（(60Kx8)/(4Kx4)=30片，采用字和位同时扩展方式。

**99、（2010年真题）假定用若干个2Kx4位的芯片组成一个8Kx8位的存储器，则地址0B1FH所在芯片的最小地址是（ )。**

A、 0000H B、 0600H C、 0700H D、 0800H

正确答案： D 解析：用2Kx4位的芯片组成一个8Kx8位存储器，每行中所需芯片数为2，每列中所需 芯片数为4，各行芯片的地址分配为：

第一行（2个芯片并联）0000H～07FFH

第二行（2个芯片并联）0800H～0FFFH

第三行（2个芯片并联）1000H～17FFH

第四行（2个芯片并联）1800H～1FFFH 于是地址0B1FH所在芯片的最小地址即为0800H。

**100、用存储容量为16Kx1位的存储器芯片组成一个64Kx8位的存储器，则在字方向和位方向分别扩展了（ ）倍。**

A、 4、2 B、 8、4 C、 2、4 D、 4、8 正确答案： D

解析：字方向扩展了64K／16K＝4倍，位方向扩展了8b/1b=8倍。

**101、 80386DX是32位系统，当在该系统中用8KB的存储芯片构造32KB的存储体时，应完成存储器的（ ）设计。**

A、 位扩展 B、 字扩展 C、 字位扩展 D、 字位均不扩展

正确答案： A 解析：将4片8KB的存储芯片位扩展为8Kx32位（因为此系统为32位的系统），即为32KB，即得到题意要求的32KB的存储体，故只需进行位扩展。

**102、某计算机字长为16位，存储器容量为256KB，CPU按字寻址，其寻址范围是 （）。**

A、 0~219 -1 B、 0~220-1 C、 0~218-1 D、 0~217-1

正确答案： D 解析：256KB=218B，按字寻址，可寻址的单元数=218B/2B=217，其寻址范围是0~217-1

**103、4个16K×8位的存储芯片，可设计为（ ）容量的存储器。**

A、 32Kx16位 B、 16Kx16位 C、 32Kx8位 D、 8Kx16

正确答案： A 解析：4个16Kx8位的存储芯片构成的存储器容量=4x16Kx8位=512K位或64KB，只有选项A的容量为64KB。需要注意的是，但若有某项为128K×4位，是不能选的。

**104、16片2Kx4位的存储器可以设计为（ ）存储容量的16位存储器。**

A、 16K B、 32K C、 8K D、 2K

正确答案： C 解析：设存储容量为M，则(Mx16位）)/(2Kx4位)=16，所以M=8K。

**105、设CPU地址总线有24根，数据总线有32根，用512Kx8位的RAM芯片构成该计算机的主存储器，则该计算机主存最多需要（ ）片这样的存储芯片。**

A、 256 B、 512 C、 64 D、 128

正确答案： D 解析：主存的总容量=224x32位，所需存储芯片数=(224x32位)/(512Kx8位）＝128。

**106、地址总线A0（高位）～A15（低位），用4Kx4位的存储芯片组成16KB存储器， 则产生片选信号的译码器的输入地址线应该是（ )。**

A、 A2A3 B、 A0A1 C、 A12A13 D、 A14A15

正确答案： A 解析：由于A15为地址线的低位，接入各芯片地址端的是地址线的低12位，A4～ A15，共有8个芯片（分为4组）组成16KB的存储器，由高2位地址线A2A3作为译码器 的输入。

**107、若内存地址区间为4000H～43FFH，每个存储单元可存储16位二进制数，该内存区域用4片存储器芯片构成，则构成该内存所用的存储器芯片的容量是**

A、 512x16b B、 256x8b C、 256x16b D、 1024x8b

正确答案： C 解析：43FF-4000＋1＝400H，即内存区域为1K个单元，总容量为1K×16b，由4片存储芯片构成，则芯片容量为256x16b

**108、内存按字节编址，地址从90000H到CFFFFH，若用存储容量为16K×8位芯片构成该内存，至少需要的芯片数是（）。**

A、 2 B、 4 C、 8 D、 16

正确答案： D 解析：CFFFF-90000+1=40000H，即256K。若用存储容量为16Kx8b的芯片，则需要芯片数=(256Kx8)/(16Kx8)=16片。

**109、（2012年真题）假设某计算机按字编址，Cache有4个行，Cache和主存之间交换的块大小为1个字。若Cache的内容初始为空，采用2路组相联映射方式和最近最久未使用算法（LRU）替换策略。访问的主存地址依次为0,4,8,2,0,6,8,6,4,8时，命中Cache的次数是（）。**

A、 1 B、 2 C、 3 D、 4

正确答案： C 解析：地址映射采用2路组相连，则主存地址0～1、4～5、8～9设置到第0组Cache中，主存地址2～3、6～7映射到第1组Cache中。则Cache置换过程如表所示。

**110、（2014年真题）某容量为256MB的存储器由若干4Mx8位的 DRAM 芯片构成， 该DRAM芯片的地址引脚和数据引脚总数是（ ）。**

A、 19 B、 22 C、 30 D、 36 正确答案： A

**111、（2014年真题）采用指令 Cache 与数据Cache 分离的主要目的是（ )**

A、 降低 Cache 的缺失损失 B、 提高 Cache 的命中率

C、 降低 CPU 平均访存时间 D、 减少指令流水线资源冲突

正确答案： D 解析：把指令 Cache 与数据 Cache 分离后，取指令和取数分别到不同的 Cache中寻找，那么指令流水线中取指令部分和取数部分就可以很好地避免冲突，即减少了指令流水线的冲突。

**112、（2015年真题）假定主存地址为32位，按字节编址，主存和Cache之间采用直接映射方式，主存块大小为4个字，每字32位，采用回写（Write Back）方式，则能存放4K字数据的Cache的总容量的位数至少是（ ）。**

A、 146K B、 147K C、 148K D、 158K

正确答案： B

解析：本题考查Cache和主存的映射方式。直接映射方式地址映射规则：主存储器中一块只能映射到Cache的一个特定的块中。采用直接映射方式的地址结果是：主存标记字段，Cache块号字段，块内地址字段。根据题意主存地址是30位，采用字节编址，主存块大小是4x4字节，因此块内地址是4位。欲存放4K个字，每个块大小4个字，得到4K／4＝1024个块，所以块内地址是10位；主存字块标记是30-10-4＝18位。Cache总容量等于Cache数据容量加上高速缓存地址映射表大小。Cache数据容量是4Kx32b=128Kb Cache 地址映射表大小是1024x(18+1+1)=20Kb,，其中1024表示1024块，每一个块都要有地址映射表，18表示主存字块标记，第一个1表示有效位，第二个1表示数据一致性维护位。

**113、【2009】某计算机的cache共有16块，采用2路组相联方式映射（即每组2块）。 每个主存块大小为32字节，按字节编址。主存129号单元所在主存块应装入到的cache组号是（ ）**

A、 0 B、 2 C、 4 D、 6 正确答案： C

**114、【2009】某计算机主存容量为64KB，其中ROM区为4KB，其余为RAM区，按字节编址。现要用2K×8位的ROM芯片和4K×4位的RAM芯片来设计该存储器，则需要上述规格的ROM芯片数和RAM芯片数分别是（ ）**

A、 1,15 B、 2,15 C、 1,30 D、 2,30 正确答案： D

**115、【2010】假定用若干个2Kx4位芯片组成一个8K×8位存储器，则地址0B1FH所在芯片的最小地址是（ ）。**

A、 0000H B、 0600H C、 0700H D、 0800H 正确答案： D

**116、【2010】下列有关RAM和ROM的叙述中，正确的是。**

**I.RAM是易失性存储器，ROM是非易失性存储器**

**II.RAM和ROM都是采用随机存取的方式进行信息访问**

**III.RAM和ROM都可用作 cache**

**IV.RAM和ROM都需要进行刷新**

A、 仅I和II B、 仅II和III C、 仅I、II、III D、 仅II、III、IV

正确答案： A 解析：RAM中的内容断电后即丢失（易失性），ROM中的内容断电后不会丢失（非易失性），同时RAM和ROM都采用随机存取方式（即CPU对任何一个存储单元的存取时间相同），区别在于RAM可读可写，ROM只读不写。ROM显然不可用作 Cache，也不需要刷新。

**117、【2010】下列命令组合情况中，一次访存过程中，不可能发生的是（）。**

A、 TLB未命中，cache未命中，Pge未命中

B、 TLB未命中，cache命中，Page命中

C、 TLB命中，cache未命中，Page命中

D、 TLB命中，cache命中，Page未命中 正确答案： D

**118、【2011】下列各类存储器中，不采用随机存取方式的是（ ）**

A、 EPROM B、 CDROM C、 DRAM D、 SRAM 正确答案： B

解析：B.光盘采用顺序存取方式。

**119、【2011】某计算机存储器按字节编址，主存地址空间大小为64MB，现用4M×8 位的RAM芯片组成32MB的主存储器，则存储器地址寄存器MAR的位数至少是（ ）**

A、 22位 B、 23位 C、 25位 D、 26位

正确答案： D 解析：D.64MB的主存地址空间，故而MAR的寻址范围是64M，故而是26位。而实际的主存的空间不能代表MAR的位数

**120、【2012】下列关于闪存（Flash Memory）的叙述中，错误的是（ ）。**

A、 信息可读可写，并且读、写速度一样快

B、 存储元由MOS管组成，是一种半导体存储器

C、 掉电后信息不丢失，是一种非易失性存储器

D、 采用随机访问方式，可替代计算机外部存储器 正确答案： A

**121、一台显示器的图形分辨率为1024×768，要求显示256种颜色，显示存储器VRAM 的容量至少为（ ）**

A、 512KB B、 1MB C、 3MB D、 4MB

正确答案： B 解析：1024\*768\*8=768KB≈1MB

**122、某磁盘的转速为7200r/min，传输速度为4MB/s，控制器开销为1ms。要保证读或写一个512B的扇区的平均时间为11.3ms，则该磁盘的平均寻道时间不超过（ ）**

A、 3.9ms B、 4.7ms C、 5.5ms D、 6.1ms

正确答案： D 解析：磁盘的平均存取时间=平均寻道时间+平均等待时间+控制开销+读写时间。 平均等待时间等于磁盘旋转半圈的时间，60÷（2×7200）≈4.17ms。 读写时间=512B÷4MB/s≈0.122ms

平均寻道时间=磁盘的平均存取时间-（平均等待时间+控制开销+读写时间）=11.3-（4.17+1+0.122）≈6.1ms

**123、CRT的分辨率为1024x1024像素，像素的颜色数为256，则刷新存储器的每单元字长为（ ），总容量为（ ）。**

A、 8B,256MB B、 8b,1MB C、 8b,256KB D、 8B,32MB

正确答案： B 解析：刷新存储器中存储单元的字长取决于显示的颜色数，颜色数为m，字长为n，二者的关系为 2n=m。本题颜色数为256。因此刷新存储器单元字长为8位。刷新存储器的容量是每个像素点的位数和像素点个数的乘积，故而刷新存储器的容量为1024x1024x8b=1MB。

**124、一个磁盘的转速为7200r/min，每个磁道有160个扇区，每个扇区有512B。那么在理想情况下，其数据传输率为（ ）。**

A、 7200x160KB/s B、 7200KB/s C、 9600KB/s D、 19200KB/s

正确答案： C 解析：磁盘的转速为72000r/min=120r/s，转一圈经过160个扇区，每个扇区为512B，所以数据传输率为 120×160×512/1024=9600KB/s

**125、磁盘驱动器向盘片磁道记录数据时采用（ ）方式写入。**

A、 并行方式 B、 串行方式 C、 并行一串行方式 D、 串行一并行方式

正确答案： B 解析：磁盘驱动器向盘片磁道记录数据时采用串行方式写入。

**126、【2013】某磁盘的转速为10000转/分，平均寻道时间是6ms，磁盘传输速率是20MB/s，磁盘控制器延迟为0.2ms，读取一个4KB的扇区所需的平均时间约为（ ）。**

A、 9ms B、 9.4ms C、 12ms D、 12.4ms

正确答案： B 解析：读取一个扇区的平均时间应该包括平均寻道时间、平均等待时间、数据传输时间和磁盘控制器延迟4部分。其中平均等待时间是磁盘旋转半圈的时间，数据传输时间等于传输的数据量除以磁盘传输速率。磁盘转速是10000转／分，平均转一圈的时间是6ms，因此平均等待时间是3ms，平均 寻道时间是6ms，读取4KB扇区信息的时间为4KB÷20MB/s=0.2ms，信息延迟的时间为 0.2ms，所以读取一个扇区的平均时间为 3+6+0.2+0.2=9.4ms

**127、【2013】下列选项中，用于提高RAID可靠性的措施有（ )。**

**I.磁盘镜像 II.条带化III.奇偶校验 IV.增加Cache机制**

A、 仅I、II B、 仅I、III C、 仅I、III和IV

正确答案： B

解析：RAID是英文Redundant Array of Independent Disks的缩写，中文简称为独立冗余磁盘阵列。简单地说，RAID是一种把多块独立的硬盘（物理硬盘）按不同的方式组合起来形成一个硬盘组（逻辑硬盘），从而提供比单个硬盘更高的存储性能和提供数据备份技术。磁盘镜像是指复制到相同功能的存储装置中以起到增强数据整合度，增强容错功能，增加可靠性。磁盘条带化是指利用条带化技术就是将一块连续的数据分成很多小部分并把它们分别存储到不同磁盘上去，该方法可以提高速写速度，并不能增加可靠性。奇偶校验是增加了校验功能，尽可能保证数据的正确性。该项正确。Cache机制可以提高读写速度，但是不能增加可靠性。因此B正确。

**128、【2015】若磁盘转速为7200转/分，平均寻道时间为8ms，每个磁道包含1000个扇 区，则访问一个扇区的平均存取时间大约是（ ）。**

A、 8.1ms B、 12.2ms C、 16.3ms D、 20.5ms

正确答案： B 解析：平均存取时间＝平均寻道时间＋平均等待时间，平均等待时间是磁盘旋转半圈的时间，为1÷（2×7200÷60）=4.2ms，所以平均存取时间为4.2+8=12.17m≈12.2ms。在本例中忽略了数据传输时间和磁盘控制器延迟，因为他们相对于其他两个时间来说要短的多。

**129、【2015】假定编译器将赋值语句“x=x+3;；”转换为指令“add xaddr,3" , 其中 xaddr是x对应的存储单元地址。若执行该指令的计算机采用页式虚拟存储管理方式，并配有相应的TLB，且Cache使用直写（Write Through）方式，则完成该指令功能需要访问主存的次数至少是（ ）。**

A、 0 B、 1 C、 2 D、 3 正确答案： B

解析：赋值语句x=x+3，要执行该语句，首先要获得x的值，之后运行x=x+3，并且采用直写方式，需要访存次数，当初始化x的值已经在cache中，访问内存次数最少，只需要在执行x+3后把新的x的值写回内存，因此最少的次数为1次。

**130、【2015】下列存储器中，在工作期间需要周期性刷新的是（ ）。**

A、 SRAM B、 DRAM C、 ROM D、 FLASH

正确答案： B 解析：DRAM使用电容存储，所以必须隔一段时间刷新一次，如果存储单元没有被刷新，存储的信息就会丢失。

**131、【2015】某计算机使用4体交叉编址存储器，假定在存储器总线上出现的主存地址（十进制）序列为8005、8006、8007、8008、8001、8002、8003、8004、8000，则可能发生访存冲突的地址对是（）。**

A、 8004和8008 B、 8002和8007 C、 8001和8008 D、 8000和8004

正确答案： D 解析：采用4体交叉编址存储器，当给定主存编号时，该主存编号i存储的体号是t＝imod 4，因此各个存储地址对应的体号依次是8005存储到1，8006存储到2，8007存储到3，8008存储到0，8001存储到1，8002存储到2，8003存储到3，8004储存到0，8000也存储到0。此时8000和8004出现于同一模块内，而且访问位置相邻， 因此会发生地址冲突。

**132、【2016】某存储器容量为64KB，按字节编址，地址4000H～5FFFH为ROM区， 其余为RAM区，若采用8K×4位的SRAM芯片进行设计，则需要该芯片的数量是 （ ）。**

A、 7 B、 8 C、 14 D、 16 正确答案： C

解析：5FFF-4000＋1＝2000H，即ROM区容量为：213B=8KB(2000H=2×163=213)， RAM区容量为56KB（64KB-8KB=56KB)。则需要8K×4位的SRAM芯片 的数量为14（56KB／8K×4位＝14）

**133、【2016】有如下C语言程序段**

**for(k=0;k<1000;k++)**

**a[k]=a[k]+32;**

**若数组a及变量k均为int型，int型数据占4B，数据Cache采用直接映射方式，数据区大小为1KB，块大小为16B，该程序段执行前Cache为空，则该程序段执行过程中访问数组a的Cache缺失率约为（ ）。**

A、 1.25% B、 2.5% C、 12.5% D、 25%

正确答案： C 解析：分析语句“a[k]=a[k]+32”：首先读取a[k]需要访问一次a［k］，之后将结果赋值给 a［k］需要访问一次，共访问两次。第一次访问a［k］未命中，并将该字所在的主存块调入Cache对应的块中，对于该主存块中的4个整数的两次访问只在访问第一次的第一个元素时发生缺失，其他的7次访问中全部命中，故该程序段执行过程中访问数组a的Cache缺失率约为1/8，即12.5％

**134、【2017】某计算机主存按字节编址，由4个64M×8位的DRAM芯片采用交叉编址方式构成，并与宽度为32位的存储器总线相连，主存每次最多读写32位数据。若 double型变量x的主存地址为804001AH，则读取x需要的存储周期数是（）。**

A、 1 B、 2 C、 3 D、 4

正确答案： C 解析：由4个DRAM芯片采用交叉编址方式构成主存可知，主存地址最低二位表示该字节存储的芯片编号。double型变量占64位，8字节。它的主存地址804 001AH最低二位是10，说明它从编号为2的芯片开始存储（编号从0开始）。一个存储周期可以对所有芯片各读取1字节，因此需要3轮。

**135、【2016】某计算机字长为32位，按字节编址，采用小端方式存放数据。假定有一个double型变量，某机器数表示为1122 3344 5566 7788H，存放在从0000 8040H开始的连续存储单元中，则存储单元0000 8046中存放的是（ ）**

A、 22H B、 33H C、 66H D、 77H

正确答案： A解析：double型数据64位，占8个存储单元，小端方式是将高字节存放在高地址，低字节存放在低地址。存放在0000 8040H单元中国年的数据是88H，依次类推，在0000 8046H中存放的数据是22H

**136、【2018】某32位计算机按字节编址，采用小端存储方式存放数据。若语句int i=0；对应指令的机器代码是C7 45 FC 00 00 00 00，则语句int i=-64；对应的指令的机器代码是（ ）**

A、 C7 45 FC C0 FF FF FF B、 C7 45 FC 0C FF FF FF

C、 C7 45 FC FF FF FF C0 D、 C7 45 FC FF FF FF 0C

正确答案： A 解析：语句int i=0；对应指令的机器代码是C7 45 FC 00 00 00 00，最后32位为数据0。 现语句int i=-64；对应的指令的机器代码是C7 45 FC C0 FF FF FF，最后32位表示数据-64（1111 1111 1111 1111 1111 1111 1100 0000B），采用小端方式存放表示为C0 FF FF FF

**137、【2019】某计算机采用大端方式，按字节编址，某指令中操作数的机器数为1234 FF00H，该操作数采用基址寻址方式，形式地址（用补码表示）为FF12H，基址寄存器内容为F000 0000H，则该操作数的LSB（最低有效字节）所在的地址是（）**

A、 F000 FF12H B、 F000 FF15H C、 EFFF FF12H D、 EFFF FF15H

正确答案： D 解析：大端方式是将最低有效字节存储在最大地址位置。基址寻址方式有效地址EA为基址寄存器内容加上形式地址（需符号扩展），故EA=F000 0000H +FFFF FF12H=EFFF FF12H这是最高有效字节所在的地址，所以最低有效字节所在的地址为EFFF FF15H。本题容易误选B，这是因为在有效地址计算时，没有考虑符号扩展的问题。

**138、【2020】在按字节编址，采用小端方式的32位计算机中，按边界对齐方式为以下**

**C语言结构型变量a分配存储空间。**

**struct record {**

**short x1；**

**int x2；**

**} a；**

**若a的首地址为2020 FE00H，a的成员变量x2的机器数为1234 0000H，则其中34H所在的存储单元的地址是（ ）**

1. 2020 FE03H B、 2020 FE04H C、 2020 FE05H D、 2020 FE06H

正确答案： D

解析：因为short型和int型数据长度分别为16位和32位，按边界对齐方式存储，故变量x2的首地址应为2020 FE04H，又因为采用小端方式，所以34H所在存储单元的地址为2020 FE06H，即2020 FE00H+6=2020 FE06H。若采用大端方式，则34H所在存储单元的地址为2020 FE05H。

**139、存储器进行一次完整的读写操作所需的全部时间称为（ ）。**

A、 存取时间 B、 存取周期 C、 CPU周期 D、 机器周期

正确答案： B 解析：一次完整的读写操作所需的全部时间也就是连续两次访问存储器操作的间隔时间。

**140、存放用户程序的主存空间属于（ ）。**

A、 随机存取存储器 B、 只读存储器

C、 顺序存取存储器 D、 接存取存储器

正确答案： A 解析：用户程序可读可写，存放在RAM中。

**141、通常计算机的主存储器可采用（ ）。**

A、 RAM和ROM B、 ROM C、 RAM D、 RAM或ROM

正确答案： A 解析：主存由RAM和ROM组成，ROM中的信息是不可改变的，RAAM中的信息是可以改变的。

**142、在主存中，每一个基本的存取单位都被量予一个唯一的序号，这个序号称为 （ ）。**

A、 字节 B、 编号 C、 地址 D、 容量

正确答案： C解析：在主存中，每个存储单元都有唯一的序号，即存储单元的地址。

**143、为了提高访问主存中信息的速度，要求信息按整数边界存储（对齐方式存储），其含义是（ ）。**

A、 信息的字节长度必须是整数

B、 信息单元的存储地址必须是其字节长度的整倍数

C、 信息单元的字节长度必须是整数

D、 信息单元的存储地址必须是整数

正确答案： B 解析：边界对齐的数据存放方式要求信息单元的存储地址是其字节长度的整倍数。

**144、若数据在存储器中采用以低字节地址为字地址的存放方式，则十六进制数 12345678H的存储字节顺序按地址由小到大依次为（ ）。**

A、 12345678 B、 78563412 C、 87654321 D、 34127856

正确答案： B

解析：此存放方式是小端方式，将最低有效字节存储在最小地址位置。

**145、在一个按字节编址的计算机中，若数据在存储器中以小端方式存放。假定int型变量i的地址为08000000H，i的机器数为01234567H，地址08000000H单元的内容是 （ ）。**

A、 01H B、 23H C、 45H D、 67H

正确答案： D 解析：小端方式是将最低有效字节存储在最小地址位置。在数01234567H中，最低有效字节为67H。

**146、下面关于主存储器性能的说法中不正确的是（ ）。**

A、 主存储器的性能指标主要有主存容量、存储器存取时间和存取周期

B、 指令中地址码的位数决定了主存储器可以直接寻址的空间

C、 存储器存取时间是指从启动一次存储器操作到完成该操作所经历的时间

D、 存取周期是指连续启动两次独立的存储器操作所需间隔的最小时间，通常存取周期小于存取时间

正确答案： D 解析：一般情况下，存取周期大于存取时间。这是因为，对于任何一种存储器，在读写操作之后，总要有一段恢复内部状态的复原时间。

**147、下述说法中正确的是（ ）。**

A、 半导体RAM信息可读可写，且断电后仍能保持记忆

B、 动态RAM是易失性的，而静态RAM是非易失性的

C、 半导体RAM是易失性的，但只要电源不断电，所存信息是不丢失的

D、 半导体RAM是非易失性的

正确答案： C 解析：半导体RAM，无论是静态RAM还是动态RAM，都是易失性的，断电后信息将丢失。

**148、下面是有关DRAM和SRAM存储器芯片的叙述：**

**I.DRAM芯片的集成度比SRAM高 II.DRAM芯片的成本比SRAM高**

**III.DRAM芯片的速度比SRAM快**

**IV.DRAM芯片工作时需要刷新，SRAM芯片工作时不需要刷新**

**通常情况下，错误的是（ ）**

A、 I和II B、 II和III C、 III和IV D、 I和IV

正确答案： B 解析：DRAM的集成度高于SRAM，SRAM的速度高于DRAM，可以推出DRAM的成本低于SRAM，SRAM芯片工作时不需要刷新，DRAM，芯片工作时需要刷新。

**149、下面关于作为PC内存使用的ROM和RAM的叙述中错误的是（ ）**

A、 ROM和RAM都是半导体存储器

B、 PC关机后，存储在PC的CMOS RAM中的内容一般不会丢失

C、 RAM芯片掉电后，存放在芯片中的内容会丢失

D、 Flash ROM芯片中的内容经一次写入后再也无法更改

正确答案： D 解析：Flash ROM中的内容可以多次改写。CMOS(本意是指互补金属氧化物半导体存储嚣，是一种大规模应用于集成电路芯片制

造的原料)是微机主板上的一块可读写的RAM芯片，主要用来保存当前系统的硬件配置和操作人员对某些参数的设定。CMOS RAM芯片由系统通过一块后备电池供电，因此无论是在关机状态中，还是遇到系统掉电情况，CMOS信息都不会丢失。

**150、下列关于ROM和RAM的叙述中正确的是（ ）。**

A、 CD-ROM实质上是ROM

B、 Flash是对RAM的改进，可以实现随机存取

C、 RAM的读出方式是破坏性读出，因此读出后需要再生

D、 只有DRAM读后需要刷新

正确答案： D 解析：CD-ROM是一种光盘，与ROM有本质区别，所以A选项错误；Flash是EPROM 的改进产品，从原理上看仍属于ROM，所以B选项错误；SRAM的读出方式不是破坏性读出，读出后不需要再生，所以C选项错误。

**151、通过电信号可在数秒内快速删除全部信息，但不能进行字节级别删除操作的存储器是（ ）。**

A、 EEPROM B、 Flash Memory

C、 EPROM D、 Virtual Memory

正确答案： B

解析：Flash Memory不能进行字节级别删除操作。

**152、下列关于主存储器的描述中正确的是（ ）。**

**I.CPU访存时间由存储器容量决定 II.ROM和RAM在存储器中是统一编址的**

**III.ROM中任意一个单元都可以随机访问**

**IV.DRAM是破坏性读出，因此需要读后重写**

A、 I和II B、 II和III C、 III和IV D、 II、III和IV

正确答案： B 解析：CPU的访存时间与存储容量无关；不是所有的DRAM都是破坏性读出，4管 DRAM是非破坏性的记忆单元，单管DRAM是破坏性的记忆单元。

补充： 四管DRAM

**（1）组成**

**（2）定义**

“0”：T1导通，T2截止；C1有电荷，C2无电荷 ；

“1”：T1截止，T2导通；C1无电荷，C2有电荷。

**（3）写入**

**（4）保持**

（5）读出与此同时，W通过V4对C1充电，可补充泄漏掉的电荷。

由此可见，四管单元为**非破坏性读出**，且读出的过程可起**刷新**作用。

**153、在对破坏性读出的存储器进行读写操作时，为维持原来保存的信息不变，必须辅以（ ）。**

A、 刷新操作 B、 再生操作 C、 写保护操作 D、 主存校验操作

正确答案： B 解析：对于破坏性读出的存储器，每当完成一次读出操作之后，必须紧接一个重写（再生）的操作，以便恢复被破坏的信息，保持原有信息不变。

**154、下列关于DRAM刷新的说法中错误的是（ ）。**

A、 刷新是指对DRAM中的电容重新充电

B、 刷新是通过对记忆单元进行“读但不输出数据”的操作实现的

C、 由于DRAM内部设有专门的刷新电路，所以访存期间允许进行刷新

D、 刷新期间不允许访存，这段时间称为死区

正确答案： C 解析：DRAM在访存期间不允许刷新。

**155、DRAM的刷新原则是（ ）。**

A、 各DRAM芯片轮流刷新

B、 各DRAM芯片同时刷新，片内逐位刷新

C、 各DRAM芯片同时刷新，片内逐字刷新

D、 各DRAM芯片同时刷新，片内逐行刷新

正确答案： D 解析：整个存储器中的所有芯片同时刷新，在片内逐行进行。

**156、DRAM的刷新单位是( )。**

A、 存储单元 B、 行 C、 列 D、 存储位

正确答案： B 解析：动态RAM芯片中的全部记忆单元排列成矩阵，刷新是以行为单位进行的，一行中的各记忆单元同时被刷新。

**157、某SRAM芯片容量为1024×8位，除电源和接地端外，该芯片最少引出线数为 ( )。**

A、 16 B、 17 C、 20 D、 21

正确答案： C 解析：地址线为10根，数据线为8根，控制线（读写和片选）为2根。

**158、存储器容量32K×16为位，则( )。**

A、 地址线为16根，数据线为32根 B、 地址线为32根，数据线为16根

C、 地址线为15根，数据线为16根 D、 地址线为16根，数据线为15根

正确答案： C 解析：存储器容量为32K×16位，32×1024=215，所以有地址线15根，数据线16根。

**159、下列关于DRAM刷新的说法中错误的是（ ）。**

A、 刷新操作按行进行，一次刷新一行中的全部记忆单元

B、 刷新所需的行地址由DRAM内部的刷新计数器（行地址生成器）给出

C、 集中刷新方式的死区要大于异步刷新方式的死区

D、 分散刷新方式同样存在死区

正确答案： D 解析：分散刷新方式不存在死区。

**160、下述说法中正确的是（ ）。**

A、 EPROM是可改写的，因而也是随机存储器的一种

B、 EPROM是可改写的，但它不能作为随机存储器

C、 EPROM只能改写一次，故不能作为随机存储器

D、 EPROM是只能改写一次的只读存储器

正确答案： B 解析：EPROM是可擦除可改写的，允许改写多次，但它并不是随机存储器，也不能当作随机存储器使用。

**161、下面说法中正确的是（ ）**

A、 有了稳定的地址和写入数据，再有了片选信号，才能给出写命令，以保证无误的写操作

B、 有了稳定的地址与选片信号才可以读

C、 信号应有一定的持续时间，以保证读写操作得以正常完成

D、 以上说法都正确

正确答案： D解析：存储器在读写操作时，地址信号、片选信号、读写命令、读出的数据或写入的数据在时序的配合上都要满足这些条件。

**162、存储器采用部分译码法片选时（ ）**

A、 不需要地址译码器 B、 不能充分利用存储器空间

C、 会产生地址重叠 D、 CPU的地址线全参与译码

正确答案： C 解析：部分译码即只用高位地址的一部分参与译码，而高位地址的另一部分与译码电路无关，所以会出现一个存储单元对应多个地址的现象，这种现象被称为地址重叠。

**163、若低位地址（A0~A11)接在内存芯片地址引脚上，高位地址(A12~A19)进行选片译码（其中，A14和A16没有参加译码），且选片信号低电平有效，则对于图所示的译码电路，不属于此译码空间的地址是（ ）。**

A、 AB000H~ABFFFH B、 BB000H~BBFFFH

C、 EF000H~EFFFFH D、 FE000H~FEFFFH

正确答案： D 解析：这是一个部分译码的片选信号，高8位地址中有2位(A14和A16)没有参与译码，根据译码器电路，译码输出的逻辑表达式应为：CS反=A19·(A18+A17)·A15·A13·A12，在4个选项中，仅有D选项中的A12=0，其余选项中的A12=1，很显然D选项为不属于此译码空间的地址。

**164、内存按字节编址，地址为90000H～CFFFFH，若用存储容量为16K×8位的芯片构成该内存，需要的芯片数至少是( )。**

A、 2 B、 4 C、 8 D、 16

正确答案： D 解析：CFFFF-90000+1=40000，即256KB。若采用存储容量为16K×8位的芯片，则需芯片数为(256×1024×8)÷(16×1024×8)=16片。

**165、设某按字节编址的计算机已配有00000H～07FFFH的ROM区，现再用16K×8位的RAM芯片构成剩下的RAM区（08000H～FFFFFH），则需要这样的RAM芯片数为 （ ）。**

A、 61片 B、 62片 C、 63片 D、 64片

正确答案： B 解析：FFFFF-08000+1=F8000，即992KB。若采用存储容量为16K×8位的芯片，则需芯片数为992KB÷16KB=62片。

**166、假定用若干8K×8位的芯片构成一个32K×32位的存储器，则地址41F0H所在芯片的最大地址是（ ）。**

A、 0000H B、 4FFFH C、 5FFFH D、 7FFFH

正确答案： C 解析：用8K×8位的芯片构成一个32K×32位的存储器，共需16个芯片，每行4片，共4行。各行的地址分配依次是：0000H～1FFFH，2000H～3FFFH，4000H～5FFFH，

6000H～7FFFH，所以地址41F0H所在芯片的最大地址是5FFFH。

**167、若内存地址区间为4000H～43FFH，每个存储单元可存储16位二进制数，该内存区域用4片存储芯片构成，则构成该内存所用的存储芯片的容量是（）。**

A、 512×16位 B、 256×8位 C、 256×16位 D、 1024×8位

正确答案： C 解析：43FF-4000+1=400，即内存区域为1024个单元，总容量为1Kx16位。现有4片存储芯片构成，则芯片容量为256×16位。

**168、若片选地址为111，选定某一32K×16位的存储芯片工作，则该芯片在存储器中的首地址和末地址分别为( )。**

A、 00000H、01000H B、 38000H、3FFFFH

C、 3800H、3FFFH D、 0000H、0100H

正确答案： B 解析：32K×16位的存储芯片有地址线15根（片内地址），片选地址为3位，故地址总位数为18位。现在高3位（片选地址）为111，则首地址为1110000000000=38000H，地址为111111111111111111＝3FFFFH。

**169、地址总线为A15（高位）～A0（低位），若用1K×4位的存储芯片组成4KB存储器，并且以地址总线的高位作为选片信号，则加在各存储芯片上的地址线是( )。**

A、 A15~A0 B、 A11~A0 C、 A9~A0 D、 A8~A0

正确答案： C 解析：1K×4位的芯片说明每个芯片地址数为1024个，210=1024，则每个芯片需要地址线10根。地址线的低10位（即A9~A0）接到各存储芯片上。

**170、地址总线A0（高位）～A15(（低位），用4K×4位的存储芯片组成16KB存储器，则产生选片信号的译码器的输入地址线应该是( ) 。**

A、 A2A3 B、 A0A1 C、 A12A13 D、 A14A15

正确答案： A 解析：由于A15为地址线的最低位，接入存储芯片地址端的低12位地址是A4~A15，共 有8个芯片（分成4组）组成16KB的存储器，由高2位地址线A2A3作为译码器的输入产生4个片选信号。

**171、双端口存储器发生读写冲突的情况是( )。**

A、 左端口与右端口的地址码不同

B、 左端口与右端口的地址码相同

C、 左端口与右端口的数据码相同

D、 左端口与右端口的数据码不同

正确答案： B 解析：双端口存储器设计了两个端口，有两套读写逻辑电路。在同时操作同一单元时会发生冲突，所以地址码相同时会产生冲突。

**172、设存储器容量为32字，字长64位，模块数m=4，存储周期T=200ns，数据总 线宽度为64位，总线传送周期τ=50ns。用交叉方式进行组织，交叉存储器的带宽是 ( )。**

A、 32x107 b/s B、 8x107b/s C、 73x107b/s D、 18x107 b/s

正确答案： C

解析：字长为64位，交叉存储器连续读出4个字的信息总量q=64b×4=256b，交叉存储器连续读出4个字所需的时间t=T+(4-1)τ =200ns+3×50ns=350ns=3.5x10-7s，所以交叉存储器的带宽W=q/t=256b÷(3.5x10-7s)=73×107b/s。

**173、某计算机采用4体低位交叉存储器，现分别执行下列操作：**

**（1）读取6个连续地址单元中存放的存储字，重复80次。**

**（2）读取8个连续地址单元中存放的存储字，重复60次。**

**则（1）和（2）所花时间之比约为( )。**

A、 1:1 B、 2:1 C、 4:3 D、 3:4

正确答案： C 解析：假设存储器的存取周期为T，在（1）情况下，连续读取6个存储字需时间T+(6-1)×(T/4)=2.25T，但开始下一轮读取需在3T之后，故（1）共需时3T×(80-1)+2.25T=239.75T。在（2）的情况下，连续读取8个存储字需时间T+(8-1)×(T/4)=2.75T，但开始下一轮读取需3T时间之后，故（2）共需时3T×(60-1)+2.75T=179.75T。 综合上述分析，（1）和（2）所花时间之比约为4：3。

**174、如果一个存储单元被访问，则可能这个存储单元会很快地再次被访问，这称为 ( )。**

A、 时间局部性 B、 空间局部性 C、 程序局部性 D、 数据局部性

正确答案： A 解析：从时间上看，一个单元刚被访问又被再次访问，这是因为程序中存在着循环。

**175、在程序的执行过程中，Cache与主存的地址映射由( )。**

A、 操作系统管理 B、 程序员调度

C、 硬件自动完成 D、 软硬件共同完成

正确答案： C 解析：Cache存储系统全部用硬件来调度，对程序员是透明的。

**176、下面关于Cache的说法中不正确的是( )。**

A、 Cache中保存的字块是主存中相应字块的一个副本

B、 Cache的容量和块的大小是影响命中率的重要因素

C、 从现实而言，Cache可以取代主存

D、 通常Cache的容量比主存的容量小得多

正确答案： C 解析：从现实而言，Cache难以取代主存。

**177、在下面关于主存与Cache的地址映射方式的说法中正确的是( )。**

A、 全相联映射方式适用于大容量Cache

B、 直接映射是一对一的映射关系，组相联映射是多对一的映射关系

C、 在Cache容量相等的条件下，直接映射方式比组相联映射方式有更高的命中率

D、 在Cache容量相等的条件下，组相联映射方式比直接映射方式有更高的命中率

正确答案： D解析：在Cache容量相等的条件下，组相联映射比直接映射命中率高。

**178、在分析Cache对计算机性能的影响时，正确的是( )**

A、 Cache容量比主存小许多，决定计算机访问存储器的速度是主存，Cache只起次要作用

B、 Cache的主要作用是减少调用子程序的开销

C、 核心程序法是评价计算机性能的方法之一，由于这种方法程序较短，访问存储器的局部性较大，Cache的命中率比一般程序高

D、 奔腾计算机采用两级Cache结构，一级存放系统程序，另一级放用户程序

正确答案： C解析：核心程序法是评价计算机性能的比较好的方法。因为核心程序比较短，Cache命中率高于一般程序。

**179、在一个高速缓冲存储系统中，主存的容量为12MB，Cache的容量为400KB，则该存储系统的总容量为( )。**

A、 12MB+400KB B、 12MB

C、 400KB D、 12MB-400KB

正确答案： B 解析：由于Cache存放的是主存活跃块的副本，所以不能认为总容量是两个层次的存储器容量的简单相加。

**180、已知Cache的命中率H=0.98，主存的读写速度是Cache的1/4，已知主存的存取周期为200ns，平均访问时间是( )。**

A、 125ns B、 75ns C、 55ns D、 53ns

正确答案： D 解析：Tm=4Tc，Tc=200÷4=50ns，TA=H×Tc+(1-H)×Tm=0.98×50+(1-0.98)× 200=53ns。

**181、某计算机的存储系统由Cache-主存系统构成，Cache的存取周期为10ns，主存的存取周期为50ns。在CPU执行一段程序时，Cache完成的存取次数为4800次，主存完成的存取次数为200次，该Cache-主存系统的效率是()。** A、 0.856 B、 0.862 C、 0.958 D、 0.960

正确答案： B 解析：命中率H=4800÷(4800+200)=0.96，平均访问时间TA=0.96×10+(1-0.96)× 50=11.6ns，效率=10÷11.6≈0.862。

**182、已知Cache 命中率H=0.98，主存的读写速度是Cache的1／4，主存的存取周期为200ns，假设Cache访问和主存访问是同时启动的，则Cache-主存的效率是( )。**

A、 0.92 B、 0.94C、 0.96 D、 0.98

正确答案： B 解析：Tm=4Tc，Tc=Tm÷4=50ns，TA=H×Tc+(1-H)×Tm=0.98×50+(1-0.98)× 200=53ns，e=Tc÷TA=50÷53≈0.94。

**183、在Cache和主存构成的两级存储系统中，Cache的存取时间是100ns，主存的存取时间是1000ns，如果希望有效（平均）存取时间不超过Cache存取时间的15％，则Cache的命中率至少应为（ ）。**

A、 99% B、 90% C、 95% D、 98%

正确答案： A 解析：假设命中率为H，则有100×H+1000×(1-H)≤100×(1+15%)，计算可得出H≥ 98.33%，因此命中率至少为99％。

**184、影响Cache命中率的因素有（ ）。**

**I.每次与主存交换信息的单位量 II.Cache的容量**

**III.Cache 结构 IV.不同映射方式 V.主存的大小**

A、 I、II、III、IV B、 I、II、III C、 I、II、IV D、 只有I

正确答案： A 解析：影响 Cache命中率的因素有Cache的容量、Cache结构、每次与主存交换信息的单位量和不同的映射方式。

**185、某32位计算机的Cache容量为16KB，Cache块的大小为16B，若主存与Cache 地址映射采用直接映射方式，则主存地址为0x1234E8F8的单元装入Cache的地址是 （ ）。**

A、 00010001001101 B、 01000100011010

C、 10100011111000 D、 11010011101000

正确答案： C 解析：因为Cache容量为16KB，所以Cache地址长14位。主存与Cache 地址映射采用直接映射方式，将32位的主存地址0x1234E8F8写成二进制，取低14位就是Cache地址。

**186、有效容量为128KB的Cache，每块16字节，采用8路组相联映射。字节地址为 1234567H的单元调入该Cache，其Tag应为（ ）。**

A、 2468H B、 1234H C、 048DH D、 12345H

正确答案： C 解析：因为块的大小为16字节，所以块内地址字段为4位；又因为Cache容量为128KB，采用8路组相联映射，所以可以分为1024组，128KB÷(16B×8)=1024，对应的组号字段为10位；剩下的为标记字段。1234567H＝4567H=0001001000110100010101100100111，标记字段为其中的高14位，00010010001101＝048DH

**187、某机字长为32位，主存容量为1MB，按字编址，块长为512B，Cache共可存放16个块，采用直接映射方式，则Cache地址长度为（ ）。**

A、 11位B、 13位 C、 18位 D、 20位

正确答案： A解析：由于字长为32位，按字编址，块长为512B，512B÷4B=128W，即块内地址为7位。Cache共可存放16个块，块地址占4位，故Cache 地址共4+7=11位。

**188、设有Cache-主存层次的存储器，其主存容量为1MB，Cache容量为16KB，每块有8个字，每字32位，采用直接映射方式。若主存地址为35301H，且CPU访问Cache命中，则该主存块在Cache中的位置（Cache起始字块为第0字块）是（ ）。**

A、 152 B、 153 C、 154 D、 151

正确答案： A 解析：主存地址35301H＝0011 0101 0011 0000 0001B。其中标记字段为高6位， 块号字段为中间9位，块内地址字段为低5位。因为采用直接映射方式，主存地址中的块号直接映射到Cache的块号中，010011000写成十进制为152。

**189、下列关于Cache写策略的论述中错误的是（ ）。**

A、 直写法充分保证了Cache与主存的一致性

B、 采用直写法时，不需要为Cache行设置脏位／修改位

C、 写回法减少了Cache与主存之间的通信量

D、 多处理器系统通常采用写回法

正确答案： D

解析：多处理器系统对安全性、可靠性要求高，必须采用直写法。

**190、下列关于虚拟存储器的论述中正确的是（ ）。**

A、 虚拟存储器对应用程序员透明，对系统程序员不透明

B、 虚拟存储器对应用程序员不透明，对系统程序员透明

C、 虚拟存储器对应用程序员、系统程序员都不透明D、 虚拟存储器对应用程序员、系统程序员都透明

正确答案： A 解析：由于虚拟存储器需要通过操作系统来调度，因此对系统程序员是不透明的，但对应用程序员是透明的。

**191、下列关于Cache和虚拟存储器的叙述中正确的是（ ）。**

A、 当Cache没有命中时，会引起处理器切换进程，以更新Cache中的内容

B、 当虚拟存储器失效（如缺页）时，会引起处理器切换进程，以更新主存中的内容

C、 Cache和虚拟存储器由硬件和操作系统共同实现，对应用程序员均是透明的

D、 虚拟存储器的容量等于主存和辅存的容量之和

正确答案： B 解析：缺页时，由操作系统提供的缺页处理程序从外存读入缺失

**193、在页大小为4KB的页式存储管理中，页表中的内容依次是2、5、6、8、7、 11，则物理地址32773对应的逻辑地址为（ ）。**

A、 32773 B、 42773 C、 12293 D、 62773

正确答案： C 解析：物理地址32773=1000 0000 000000 0101B。后12位为页内地址，前4位为实页号。现在实页号为8，查页表可见，对应的虚页号为3，则逻辑地址为0011 0000 0000 0101B=12 293

**194、某虚拟存储器采用页式内存管理，使用LRU页面替换算法，假定内存容量为4页，且开始时是空的，页访问地址流（每次访问在一个时间单位内完成）为1，8，1，7，8，2，7，2，1，8，3，8，2，1，3，1，7，1，3，7，则页命中次数是 （ ）。**

A、 24 B、 14 C、 16 D、 6

正确答案： B 解析：LRU算法是堆栈型算法，按照页访问地址流很容易得到命中次数，如图所示。 共命中14次。

**195、当缺页故障处理完毕后，处理器将（ ）。**

A、 重新执行引发缺页故障的指令

B、 执行引发缺页故障的指令的下一条指令

C、 重新执行引发缺页故障的指令所在的进程

D、 终止执行引发缺页故障的指令所在的进程

正确答案： A 解析：当CPU要访问的页不在主存中时，发出缺页故障信号。操作系统处理缺页故障后，CPU将重新执行引发缺页故障的指令。

**196、下列关于页式存储管理与段式存储管理的区别的论述中正确的是（ ）。**

A、 页式存储管理更有利于存储保护

B、 段式存储管理的存储空间利用率较高

C、 在段式存储管理中，指令或数据不会跨段存储

D、 段的尺寸要大于页的尺寸

正确答案： C

解析：段式存储管理更有利于存储保护。段式存储管理的存储空间利用率较高。段的大小是不固定的，而页的大小是固定的。在段式存储管理中指令和数据不会跨段存储，所以正确选项为C。

**197、虚拟存储器中的页表有快表和慢表之分，下面关于页表的叙述中正确的是 （ ）。**

A、 快表与慢表都存储在主存中，但快表比慢表容量小

B、 快表采用了优化的搜索算法，因此查找速度快

C、 快表比慢表的命中率高，因此快表可以得到更多的搜索结果

D、 快表采用快速存储器件，按照查找内容访问，因此比慢表查找速度快

正确答案： D 解析：快表只是慢表的一个副本，而且只存放了慢表中很少的一部分。快表按内容访问，查表速度快。

**198、以下是有关虚拟存储管理机制中地址转换的叙述，其中错误的是（ ）。**

A、 地址转换是指把逻辑地址转换为物理地址

B、 通常逻辑地址的位数比物理地址的位数少

C、 地址转换过程中会发现是否缺页

D、 MMU在地址转换过程中要访问页表项

正确答案： B 解析：虚拟存储器比主存大得多，所以逻辑地址位数比物理地址位数多。

**199、以下关于相联存储器的论述中错误的是（ ）。**

A、 相联存储器按地址进行并行访问

B、 相联存储器的每个存储单元都具有信息处理能力

C、 相联存储器能并行进行各种比较操作

D、 在知识库中应用相联存储器实现按关键字检索

正确答案： A 解析：相联存储器是一种特殊的存储器，它基于数据内容进行访问，而不是按地址进行访问。

**200、下列关于相联存储器的说法中错误的是（）。**

A、 相联存储器指的是按内容访问的存储器

B、 在实现技术相同的情况下，容量较小的相联存储器速度较快

C、 相联存储器结构简单，价格便宜

D、 在存储单元数量不变的情况下，存储字长变长，相联存储器的访问速度下降

正确答案： C解析：相联存储器是按内容访问的存储器，其容量和存储字长的变化都会影响访问速度。由于相联存储器的结构比较复杂，所以价格比较贵。**201、计算机中的所有信息都以二进制表示的原因是（ )。**

A、 信息处理方便 B、 运算速度快 C、 节约元器件 D、 物理器件特性所致

正确答案： D

**202、引入八进制和十六进制的目的是（）。**

A、 节约元件 B、 实现方便 C、 可以表示更大范围的数

D、 用于等价地表示二进制，便于阅读和书写

正确答案： D

**203、108对应的十六进制形式是（ ）。**

A、 6CH B、 B4H C、 5CH D、 63H 正确答案： A

**204、下列数中最小的数为（ ）。**

A、 (1001 0110)2 B、 (63)8 C、 (2F)16 D、 (1001 0110)BCD 正确答案： C

**205、下列数中最小的数为（）。**

A、 (1110 0101)2 B、 9310 C、 (1001 0010)BCDD、 (5A)16 正确答案： D

**206、负零的补码表示为（ )。**

A、 100···00 B、 000···0

C、 0 11···11 D、 1 11···11 正确答案： B

**207、 （n为整数），它的模是（ ）**

A、 2n-1 B、 2n C、 1 D、 2 正确答案： D

**209、下列编码中，0的表示形式是唯一的编码是（)。**

A、 反码 B、 原码 C、 补码 D、 原码和补码 正确答案： C

**210、在下列有关补码和移码关系的叙述中，错误的是（）。**

A、 相同位数的补码和移码表示具有相同的表数范围

B、 0的补码和移码表示相同

C、 同一个数的补码和移码表示，其数值部分相同，而符号相反

D、 一般用移码表示浮点数的阶，而补码表示定点整数 正确答案： B

**211、计算机内部的带符号整数大多用补码表示，以下是一些关于补码特点的叙述： ①零的表示是唯一的。**

**②符号位可以和数值部分一起参加运算。**

**③和其真值的对应关系简单、直观。**

**④减法可用加法来实现。 以上叙述中，（ ）是补码表示的特点。**

A、 ①和② B、 ①和③ C、 ①、②和③ D、 ①、②和④ 正确答案： D

**212、假定X＝-0100 1010B，在计算机内部的表示为1011 0110B，则该数所用的编码方法是（ ）**A、 原码 B、 反码 C、 补码 D、 移码

正确答案： C

**213、设寄存器位数为8位，机器数采用补码形式（含一位符号位），则十进制数-26存放在寄存器中的内容为（ ）。**

A、 26H B、 9BH C、 E6H D、 5AH 正确答案： C

**214、-1029的16位补码用十六进制表示为（ ）。**

A、 0405H B、 7BFBH C、 8405H D、 FBFBH 正确答案： D

**215、考虑以下C语言代码：**

**short si=-8196**

**unsigned short usi=si**

**执行上述程序段后，usi的值是（ )。**

A、 8196 B、 34572 C、 57339 D、 57340

正确答案： D 解析：为-8196=-(8192+4)=-10 0000 0000 0100B，所以带符号整数和无符号整数的机器数均为1101 1111 1111 1100B，作为无符号数解释时的真值为216-1-213-2-1=65535-8192-3=57340

**216、设[X]原=1.X1X2X3X4，当满足（ ）时，X＞-1／2成立。**

A、 X1必须为1，X2、X3、X4至少有一个为1 B、 X1必须为1，X2、X3、X4任意

C、 X1必须为0, X2、X3、X4至少有一个为1 D、 X1必须为0, X2、X3、X4任意

正确答案： D 解析：符号位为1，表示X为负数。因为[X]原=1.X1X2X3X4，所以X=-0.X1X2X3X4。要使 X>-1/2成立，相当于X1X2X3X4>-1/2成立，必须0.X1X2X3X4<1/2，此时，X1必须是0，而 X2、X3、X4任意。因此，选项D正确。

**217、设X=-1011，则8位补码[X]补为（ )。**

A、 1000 0101 B、 1000 1011 C、 1111 0101

正确答案： C 解析：已知X=-1011=-0001011，符号位为1，数值部分各位取反，末位加1，即[X]补 =11110101，正确的选项为C。

**218、16位无符号数所能表示的数值范围是（ )。**

A、 0~（216-1） B、 0~（215-1） C、 0~216 D、 0~215

正确答案： A

**219、16位补码整数所能表示的范围是（）。**

A、 -215~﹢(215-1)B、 -(215-1)~﹢(215-1)

C、 -216~﹢(216-1) D、 -(216-1)~﹢(216-1) 正确答案： A

**220、若浮点数尾数用补码表示，则下列数中为规格化尾数形式的是（)。**

A、 1.110 0000 B、 0.011 1000 C、 0.010 1000 D、 1.000 1000

正确答案： D

**221、若浮点数尾数用原码表示，则下列数中为规格化尾数形式的是（ )。**

A、 1.110 0000 B、 0.011 1000 C、 0.01 01000 D、 1.000 1000

正确答案： A

**222、用于表示浮点数阶码的编码通常是（）。**

A、 原码 B、 补码C、 反码 D、 移码 正确答案： D

**223、假定某数采用IEEE754单精度浮点数格式表示为4510 0000H，则该数的值是( )。**

A、 (＋1.125)10×210 B、 (＋1.125)10×211

C、 (＋0.125)10×211 D、 (＋0.125)10×210

正确答案： B

**224、假定某数采用IEEE 754单精度浮点数格式表示为C820 0000H，则该数的值是 ( )。**

A、 (-1.01)10×217 B、 (-1.01)10×2144

C、 (-1.25)10×217 D、 (-1.25)10×2144 正确答案： C

**225、假定变量i、f的数据类型分别是int、float。已知i=12345, f=1.2345e3，则在一个 32位机器中执行下列表达式时，结果为“假”的是**

A、 i==(int)(float)i B、 i==(int)(double)i

C、 f==(float)(int)f D、 f==(float)(double)f 正确答案： C

解析：对于选项A，因为i=12345<16384=214，所以i的有效位数不会超过15<24，因而转换为float型数据后，不会发生有效位数丢失，再转换为int型数据，与原来的值完全相同。对于选项B，因为i的有效位数不会超过15<53，因而转换为double型数据后，不会发生有效位数丢失，再转换为int型数据，与原来的值完全相同。对于选项C，因为f＝1234.5，有小数部分，转换为int型数据时，小数部分被丢弃，再转换为float型数据后，与原来的值不相同。

对于选项D，因为double型数据的有效位数比float型的多，表数范围比float型的大，因而将float型数据转换为double型数据，其值不会发生任何变化，再转换为float型数据，与原来的值完全相同。综上所述，答案为C。

**226、IBM370的短浮点数格式中，总位数为32位，左边第一位(b0)为数符，随后7位 (b1~b7)为阶码，用移码表示，偏置常数为64，右边24位(b8~b31)为6位十六进制原码小数表示的尾数，采用规格化形式。若将十进制数-265.625用该浮点数格式表示，则应表示为( ）。（用十六进制形式表示）**

A、 C310 9A00H B、 4310 9A00H C、 8310 9A00H D、 0310 9A00H

正确答案： A

解析：因为IBM370浮点数格式的基数为16，所以，将-265.625先转换为十六进制表示形式：-265.625=-100001001.101B=-0001 0000 1001.1010B=(-0.109A)16x163根据IBM 370的短浮点数格式，知：b0=1,b1~b7=1000000+3=1000011B，即b0~b7=11000011B=C3H，尾数b8~b31=109A00H。因此，-265.625的短浮点数用十六进制表示为C310 9A00H

**227、假定两种浮点数表示格式的位数都是32位，但格式1的阶码长，尾数短，而格式2 的阶码短，尾数长，其他所有规定都相同。则它们可表示的数的精度和范围为（ )。**

A、 两者可表示的数的范围和精度均相同

B、 格式1可表示的数的范围更小，但精度更高

C、 格式2可表示的数的范围更小，但精度更高

D、 格式1可表示的数的范围更大，且精度更高 正确答案： C

**228、在一般的计算机系统中，西文字符编码普遍采用（ ）。**

A、 BCD码 B、 ASCII码 C、 格雷码 D、 CRC码正确答案： B

**229、假定某计算机按字节编址，采用小端方式，有一个float型变量x的地址为FFFFC000H，x＝1234 5678H，则在内存单元FFFF C001H中存放的内容是**

A、 1234H B、 34H C、 56H D、 5678H 正确答案： C

**230、下面有关机器字长的叙述中，错误的是（ ）。**

A、 机器字长是指CPU中定点运算数据通路宽度

B、 机器字长一般与CPU中寄存器的位数有关

C、 机器字长决定了数的表示范围和表示精度

D、 机器字长对计算机硬件的造价没有影响 正确答案： D

**231、下面是关于计算机中存储器容量单位的叙述，其中错误的是（)。**

A、 最小的计量单位为位（b），表示一位0或1

B、 最基本的计量单位是字节（B），一个字节等于8b

C、 一台计算机的编址单位、指令字长和数据字长都一样，且是字节的整数倍

D、 主存容量为1KB，其含义是主存中能存放1024B的二进制信息

正确答案： C

**232、假定下列字符编码中含有奇偶校验位，但没有发生数据错误，那么采用奇校验的字符编码是（ ）。**

A、 0101 0011 B、 0110 0110 C、 1011 0000 D、 0011 0101

正确答案： C

**233、假设需要传送的一个数据块的长度为10位，对每个数据块采用CRC校验，若约定的生成多项式为X3 +1，则对应的CRC码的位数是（）。**

A、 3 B、 4 C、 13 D、 14 正确答案： C

**234、假设某个需要校验的数据为0110 0101B，采用CRC校验，生成多项式为**

**X4 +X+1，则对应的校验码是（）。**

A、 0010 B、 0110 C、 1110 D、 1111 正确答案： A

**三、填空题（共33题，6.6分）**

**1、设有一个四体低位交叉的存储器，每个体的容量为256Kx64位，存取周期为 200ns。则数据总线的宽度为（ ）位，总线传送周期的最大值是（ ）ns。CPU连续读 4个字所需的最多时间是（ ）ns。** 正确答案： 第1空: 64 第2空: 50 第3空: 350

**2、存储器的带宽是指（ ），如果存储周期为T，存储字长为n位，则存储器带宽为 ( )，常用的单位是( )或( )。为了增加存储器的带宽可采用( )和( )。**正确答案： 第1空: 每秒从存储器中读出或写入的二进制代码位数 第2空: n/T 第3空: bps或Bps 第4空: 字/秒 第5空: 单体多字结构 第6空: 低位交叉多体并行结构 解析：

**3、虚拟存储器通常由（ ）和（ ） 两级组成。为了要运行某个程序，必须把（ ）映 射到主存的（ ）空间上，这个过程叫（ ）。** 正确答案： 第1空: 主存 第2空: 辅存 第3空: 逻辑地址 第4空: 物理地址 第5空: 地址映射

**5、在缓存-主存的地址映射中，（ ）灵活性强，（ ）成本最高。** 正确答案： 第1空: 全相联映射 第2空: 全相联映射

**6、在写操作时，对缓存与主存单元同时修改的方法称为（ ），若每次只暂时写入缓 存，直到替换时才写入主存的方法称为（ ）。** 正确答案： 第1空: 写直达法 第2空: 写回法

**7、一个n路组相联映射的缓存中，共有M块数据。当n=1时，该缓存变为（ ）映射； 当n=M时，该缓存成为（ ）映射。** 正确答案： 第1空: 直接 第2空: 全相联

**8、由容量为16KB的缓存和容量为16MB的主存构成的存储系统的总容量为（ ）。** 正确答案： 第1空: 16MB

**9、层次化存储器结构设计的依据是（ ）原理。** 正确答案： 第1空: 程序访问的局部性

**10、一个四路组相连的缓存共有64块，主存共有8192块，每块32个字。则主存地址中 的主存字块标记为（ ）位，组地址为（ ）位，字块内地址为（ ）位。** 正确答案： 第1空: 9 第2空: 4 第3空: 5

**11、在虚拟存储器系统中，CPU根据指令生成的地址是（ ），经过转换后的地址是 （ ）。** 正确答案： 第1空: 逻辑地址（或虚拟地址） 第2空: 物理地址（或实际地址）

**12、高位交叉编址的存储器能够提高访存速度的原因是（ ），其地址的高位部分用于 （ ），低位部分用于（ ）。** 正确答案： 第1空: 各个体分别响应不同请求源的请求，实现多体并行 第2空: 选择体号 第3空: 选择存储体内的字

**13、低位交叉编址的存储器能够提高访存速度的原因是（ ），其地址的高位部分用 于（ ） ，低位部分用于（ ）。** 正确答案： 第1空: 不改变每个体的存取周期的前提下，增加存储器的带宽 第2空: 选择存储体内的字 第3空: 选择体号

**14、一个采用直接映射方式的32KB的缓存，假设块长为8个32位的字，且CPU访问缓 存命中，则主存地址为ABCDEFH的单元在缓存的第（ ）H块内。** 正确答案： 第1空: 26F

**15、一个四路组相连的缓存，容量为16KB，假设块长为4个32位的字，则地址为 FEDCBAH的主存单元映射到缓存的第（ ）（十进制表示）组内。** 正确答案： 第1空: 203

**16、一个采用直接映射方式的缓存，其块长为4个16位的字，容量为4096字，主存容量 为64K字，则缓存有（ ）块，主存有（ ）块。** 正确答案： 第1空: 1024 第2空: 16K

**17、一个容量为16Mx8位的DRAM芯片，其地址线有（ ）条，数据线有（ ）条，地 址范围为（ ）H到（ ）H（均用十六进制表示）。** 正确答案： 第1空: 24 第2空: 8 第3空: 000000 第4空: FFFFFF

**18、（ ） 片1Kx8位的存储芯片可组成一个容量为4Kx32位的存储器。若按字寻址， CPU可寻址的空间为（ ），若按字节寻址，CPU可寻址的空间为（ ）。** 正确答案： 第1空: 16 第2空: 第3空: 解析：

**19、习题2.1 实现下列各数的转换 （1）(97.8125)10=( )2=( )8=( )16 （2）(110101.011)2=( )10=( )8= ( )16=（）8421BCD （3） (001101101001.0101) 8421BCD=( )10=( )2=( )16 (4) (2A7C.5E)16=( )2=( )10** 正确答案： 第1空: 110001.1101 第2空: 141.64 第3空: 61.D 第4空: 53.375 第5空: 65.3 第6空: 35.6第7空: 1010011.001101110101 第8空: 369.5 第9空: 101110001.1 第10空: 171.8 第11空: 0010101001111100.01011110 第12空: 10876. 3671875 解析：答 （1）(97.8125)10=( 110001.1101 )2=( 141.64)8=( 61.D)16 （2）(110101.011)2=(53.375)10=(65.3)8= (35.6)16=（1010011.001101110101）8421BCD （3） (001101101001.0101) 8421BCD=(369.5)10=( 101110001.1 )2=(171.8)16 (4) (2A7C.5E)16=(0010101001111100.01011110)2=(10876. 3671875)10

**20、习题2.2 已知[X]原，求[X]补和[X]反 （1）[X]原=0.1010110，[X]补= ，[X]反= （2）[X]原=1.0010110，[X]补= ，[X]反= （3）[X]原=01010110，[X]补= ，[X]反= （4）[X]原=11010010，[X]补= ，[X]反=** 正确答案： 第1空: 0.1010110 第2空: 0.1010110 第3空: 1.1101010 第4空: 1.1101001 第5空: 01010110 第6空: 01010110 第7空: 10101110 第8空: 10101101 解析：

**21、习题2.3 已知[X]补，求X （1）[X]补=1.1101101，X= （2）[X]补=0.1010110，X= （3）[X]补=10000000，X= （4）[X]补=11010010，X=** 正确答案： 第1空: 1.0010011 第2空: 0.1010110 第3空: 10000000 第4空: 10101110

**22、习题 2.4 假设机器字长为8位，求下列补码所对应的X的十进制真值。 （1）[2X]补=90H （2）[½X]补=C2H （3）[-X]补=FEH** 正确答案： 第1空: -56 第2空: -124 第3空: 2 解析：(1) [2X]补=90H=(10010000)2 2X=[10010000]补=11110000=-112 ∴X=-56 或2X=(10010000)2右移一位得到X，即(10111000)2=-56 (2) [½X]补=C2H=(11000010)2 ½X=[11000010]补=10111110 ½X左移一位得到X，即X=(11111100)2=-124 (3) [-X]补=FEH=(11111110)2 -X= [11111110]补=（10000010)2=-2 ∴ X=2

**23、习题2.6 假设机器字长位8位，已知[X]补=3AH，[Y]补=C5H，求[2X]补，[2Y]补， [X/2]补，[Y/4]补，[-X]补，[-Y]补，[X]原，[Y]原，[X]反，[Y]反，[X]移，[Y]移。注意：结果用 十六进制表示为xxH** 正确答案： 第1空: 74H 第2空: 8AH 第3空: 1DH 第4空: F1H 第5空: C6H 第6空: 3BH 第7空: 3AH第8空: BBH 第9空: 3AH 第10空: C4H 第11空: BAH 第12空: 45H 解析：答： [X]补=3AH=00111010，∴ X=00111010=58 [Y]补=C5H=11000101，∴ Y=10111011=-59 [2X]补=01110100=74H； [2Y]补= 10001010=8AH [X/2]补=00011101=1DH； [Y/4]补=[10001110]补=11110001=F1H [-X]补=[[X]补]求补=11000110=C6H； [-Y]补= [[Y]补]求补=00111011=3BH [X]原=00111010=3AH； [Y]原= 10111011=BBH [X]反=00111010=3AH； [Y]反=11000100=C4H [X]移=10111010=BAH； [Y]移=01000101=45H

**24、习题2.11 假设机器字长为8位 （1）码值为80H，若表示真值0，则为（ ）码；若表示真值-128，则为（ ）码；若 表示真值-127，则为（ ）码；若表示真值-0，则为（ ）码。 （2） 码值为FFH，若表示真值127，则为（ ）码；若表示真值-127，则为（ ）码；若 表示-1；则为 （ ）码；若表示真值-0，则为（ ）码。** 正确答案： 第1空: 移 第2空: 补 第3空: 反 第4空: 原 第5空: 移 第6空: 原 第7空: 补 第8空: 反

**25、浮点数的表示范围取决于（ ） 的位数，浮点数的表示精度取决于（ ） 的位 数，浮点数的正负取决于（ ）， （ ）在浮点数的表示中是隐含规定的。** 正确答案： 第1空: 阶码 第2空: 尾数 第3空: 数符 第4空: 阶底；阶码的底

**26、随堂2-1 若机器字长n＝8，则＋35、－35、＋0.8125 、－0.8125 的原码表示。注 意：整数小数点不用写，小数小数点写出来** 正确答案： 第1空: 00100011第2空: 10100011 第3空: 0.1101000 第4空: 1.1101000

**27、练习1- 求下列各数的十进制数值 （1）267.3Q （2）BD.CH （3）1011011.101B** 正确答案： 第1空: 183.375;183.375D 第2空: 189.75;189.75D 第3空: 91.625;91.625D解析：

**28、练习2-将下列十进制数转化为二进制、八进制和十六进制数据（小数取四位二进 制有效数据） （1）－282.75 （2）123.46 （3）-115/512 （4）44.9375** 正确答案： 第1空: -100011010.11B；-100011010.11 第2空: -432.6Q；-432.6O 第3空: -11A.CH 第4空: 1111011.0111B；1111011.0111 第5空: 173.34Q；173.34O 第6空: 7B.7H 第7空: -0.001110011B；-0.001110011第8空: -0.163Q；-0.163O 第9空: -0.398H 第10空: 101100.1111B；101100.1111 第11空: 54.74Q；54.74O 第12空: 2C.FH

**29、若机器字长为8 ，则＋35、－35、＋0.8125 、－0.8125 的原码表示（对小数，写 出小数点）。** 正确答案： 第1空: 00100011 第2空: 10100011 第3空: 0.1101000第4空: 1.1101000

**30、实现下列各数的转换。 (25.8125)10=( )2=( )8=( )16** 正确答案： 第1空: 1 1001.1101 第2空: 31.64 第3空: 19.D

**31、实现下列各数的转换。 (101101.011)2=( )10=( )8=( )16=( )8421** 正确答案： 第1空: 45.375 第2空: 55.3第3空: 2D.6 第4空: 0100 0101.0011 0111 0101

**32、实现下列各数的转换。 (0101 1001 0110.0011)8421=( )10=( )2=( )16** 正确答案： 第1空: 596.3 第2空: 1001010100.010011… 第3空: 254.4… **33、实现下列各数的转换。 (4E.C)16=( )10=( )2** 正确答案： 第1空: 78.75第2空: 100 1110.11

**19、一个双面5英寸软盘片，每面40道，每道8个扇段，每扇段512B，试问盘片容量为多少？该盘驱动器转速为600r／min，则平均等待时间为多少？最大传输速率为多少？**

软盘总容量＝面数x每面道数x每道扇段数x每扇段字节数=2x40x8x512 B=320 KB。平均等待时间为转一圈所需时间的一半，即0.5x[(60s)/(600r/min)]=50ms。盘每秒转10圈，每圈读一个磁道，为512 Bx8=4096B，故最大数据传输率为4096Bx10/s=40 KBps。

**20、设有16个固定磁头的硬盘，每磁道存储容量为62 500 B，磁盘驱动器转速为2400 r／min，试求最大数据传输率。**

正确答案：磁盘转速为2400r/min=40 r/s。16个固定磁头，每次读出16位，故每转一圈读出 62500x16 B，所以最大数据传输率为62500x16 Bx40 r/s=39 700 000Bps。

**21、设写入磁盘存储器的数据代码是1011011100，分别画出归零制（RZ）、不归零制（NRZ）、调相制（PM）和调频制（FM）四种记录方式的写磁头电流波形。**

正确答案： 按照各种记录方式的记录规则，并假设调相制（PM）按“记录1时写电流由负变正；记录0时写电流由正变负”的记录规则，数据代码1011011100的写电流波形如图所示。

**22、磁盘组有6片磁盘，每片有两个记录面（最上、下两个面不可用），存储区域内径为22cm，外径为33cm，道密度为4 tpmm（道／毫米）内层位密度为40bpmm（位／ 毫米），转速为2400r／min，问：**

**（1）共有多少存储面可用？ （2）共有多少柱面？**

**（3）盘组总存储容量是多少？ （4）数据传输率是多少？**

正确答案： （1）共有10个存储面可用，最上、下两个面不可用。（2）有效存储区域为（16.5-11）cm=5.5cm=55mm 因为，道密度＝4 tpmm 所以，共有 4 tpmmx55mm=220道，即220个圆柱面。 （3）内层磁道周长为2πR=2x3.14x11cm=69.08cm=690.8mm 每道信息量=40 bpmmx690.8 mm=27 632 b

每面的信息量=27 632 bx220=6 079 040 b 盘组组总容量=6 079 040 bx10=60 790 400 b （4）磁盘数据传输率C=Nr bps N为每条磁道的容量=27 632b r为磁盘每秒转速=2400 r/min=40 r/s 所以，C=Nr=27 632 bx40 r/s=1 105 280 bps

**23、某磁盘存储器转速为3000r／min，共有4个记录盘面，道密度为5tpmm，每道记 录信息12 288 B，最小磁道直径为230mm，共有275道，求：**

**（1）磁盘存储器的存储容量。**

**（2）最高位密度（最小磁道的位密度）和最低位密度。**

**（3）磁盘数据传输率。**

**（4）平均等待时间。**

正确答案：

（1）每道记录信息容量=12 288 B每个记录面信息容量=12 288 Bx275=3 379 200B 4个记录面信息容量=12288 Bx275x4=13 516 800 B

（2）最高位密度D1按最小磁道半径R1=115mm计算。 D1=12 288 B/2πR1=17 Bpmm 最低位密度D2按最大磁道半径R2计算。 R2=R1+(275/5)mm=115mm+55mm=170mm D2=12 288 B/2πR2=11.5 Bpmm

（3）磁盘数据传输率C=Nr

N为每道信息容量=12 288 B

r=3 000 r/min=50 r/s

C=Nr=12 288 Bx50 r/s=614 400Bps

（4）平均等待时间=1/2x1/r=1/2x1/50s=1/100s=10ms

**29、已知某8位机的主存采用半导体存储器，其地址码为18位，采用4K×4位的静态 RAM芯片组成该机所允许的最大主存空间，并选用模块板形式，问：**

**（1）若每个模块板为32Kx8位，共需几个模块板？**

**（2）每个模块板内共有多少片RAM芯片？**

**（3）主存共需要多少RAM芯片？CPU如何选择各模块板？如何选择具体芯片（说明选用的器件及地址码的分配）？**

正确答案： 地址线为18位的8位机主存容量为

x8 b=256 KB

（1）若每个模块板为32Kx8位，共需8个模块板。

（2）每个模块板内有16片RAM芯片。

（3）主存共需128片RAM芯片，18根地址线分配如下：

A11~A0作为4Kx4位RAM芯片本身的地址线；A14~A12作为模块板内片选地址。采用 3～8线译码器，共8个输出，每个输出选2片4位的RAM芯片；A17~A15作为模块板的地址。采用3～8线译码器，其每个输出分别选8个模块板中的任一块。

**20、【2013】某 32 位机，主频为 800MHz，Cache 命中时的 CPI 为 4，Cache 块大小为32 字节；主存采用 8 体交叉存储方式，每个体的存储字长为 32 位、存储周期为 40 ns；存储器总线宽度为 32 位，总线时钟频率为 200 MHz，支持突发传送总线事务。 每次读突发传送总线事务的过程包括：送首地址和命令、存储器准备数据、传送数据。每次突发传送 32 字节，传送地址或 32 位数据均需要一个总线时钟周期。**

**（1）CPU和总线的时钟周期各为多少？总线的带宽（即最大数据传输率）为多少？**

**（2）Cache缺失时，需要用几个读突发传送总线事务来完成一个主存块的读取？**

**（3）存储器总线完成一次读突发传送总线事务所需的时间是多少？**

**（4）若程序 BP 执行过程中，共执行了 100 条指令，平均每条指令需进行 1.2 次访存， Cache缺失率为 5%，不考虑替换等开销，则 BP 的CPU执行时间是多少？**

正确答案：

（1） CPU的时钟周期为：1/800 MHz = 1.25 ns（1分）

总线的时钟周期为：1/200 MHz = 5 ns（1分）

总线带宽为：4 B×200 MHz = 800 MB/s （1分）

（2）Cache块大小是 32 B，因此Cache缺失时需要一个读突发传送总线事务读取一个 主存块。（1分）

（3）一次读突发传送总线事务包括一次地址传送和 32 B 数据传送：用 1 个总线时钟 周期传输地址；每隔 40 ns/8 = 5 ns 启动一个体工作（各进行 1次存取），第一个体读数据花费 40 ns，之后数据存取与数据传输重叠；用 8-1 个总线时钟周期传输数据。读突发传送总线事务时间：5 ns + 40 ns + 7×5 ns = 80 ns。（2分）

（4） BP 的 CPU 执行时间包括 Cache 命中时的指令执行时间和 Cache 缺失时带来的额外开销。命中时的指令执行时间：100×4×1.25 ns×95% = 475 ns。（1 分）

指令执行过程中Cache 缺失时的额外开销：1.2×100×5%×85 ns = 510 ns。BP 的 CPU 执行时间：475 ns+510 ns=985 ns。（2分）

**21、硬磁盘共有4个记录面，存储区域内半径为10cm，外半径为15.5cm，道密度为60 道/cm，外层位密虚为600b/cm，转速为6000r/min，则**

**（1）硬磁盘的磁道总数是多少？ （2）硬磁盘的容量是多少？（3）将长度超过一个磁道容量的文件记录在同一个柱面上是否合理？ （4）采用定长数据块记录格式，直接寻址的最小单位是什么？寻址命令中磁盘地址如何表示？**

**（5）假定每扇区的容量为512B，每个磁道有12个扇区，寻道的平均等待时间为 10.5ms，试计算磁盘平均寻道时间。**

正确答案：

（1）有效存储区域＝1域=15.5-10=5.5cm，道密度为60道/cm，因此每个面为

60×5.5=330道，即有330个柱面，磁道总数为4×330=1320个磁道。

（2）外层磁道的长度度=2×3.14×15.5=97.34cm

每道信息量=600b/cm×97.34cm=58404b=7300B

磁盘总容量量=7300B×1320=9636000B（非格式化容量）

（3）如果长度超过一个磁道容量的文件，将它记录在同一个柱面上比较合理，因为不 需要重新寻找磁道，这样数据读／写速度快。

（4）采用定长数据块格式，直接寻址的最小单位是一个扇区，每个扇区记录固定字节数目的信息，在定长记录的数据块中，活动头磁盘组的编址方式可用如下格式： 柱面号（磁道号）、记录面号（磁头）、扇区号

此地址格式表示最多可以接4个硬盘，每个最多有8个记录面，每面最多可有128个磁道，每道最多可有16个扇区。

（5）读一个扇区中数据所用的时间＝寻磁道的时间＋寻扇区的时间＋磁头扫过一个扇区的时间。寻磁道的时间是指磁头从当前所处磁道运动到目标磁道的时间，一般选用磁头在磁盘径向方向上移动1／2个半径长度所用时间为平均值来估算，题中给的是 10.5ms。找扇区的时间是指磁头从当前所处扇区运动到目标扇区的时间，一般选用磁盘旋转半周所用的时间作为平均值来估算，题中给出磁盘转速为6000r/min，即100r/s，故磁盘转一周用时为10ms，转半周的时间是5ms。

题中给出每个磁道有12个扇区，磁头扫过一个扇区用时为10/12＝0.83ms，结果应该为 10.5＋5＋0.83＝16.33ms。为了减少寻找磁道和等待扇区所占时间的比例，磁盘通常应该以多个扇区为单位进行读写，一旦开始具体的读写操作，就对多个连续的扇区进行顺序读写。读写的数据首先保存到系统设置的一个缓存区中，CPU通常要经过操作系统与这个缓冲区交换数据，而不是直接与磁盘设备本身交换数据。

**22、设有一个2MB容量的存储器，字长为32位，问：**

**（1）按字节编址，地址寄存器、数据寄存器各为几位？编址范围为多大？**

**（2）按字编址，地址寄存器、数据寄存器各为几位？编址范围为多大？**

正确答案： 存储单元地址是存储单元的编号，通常从0开始顺序编址，一个单元对应一个地址。

（1）按字节编址： 2MB=221×8位，因此地址寄存器为21位，数据寄存器为8

位，编址范围为00000H～1FFFFH。

（2）按字编址： 2MB=221×8=219×32位，因此地址寄存器为19位，数据寄

存器为32位，编址范围为00000H～7FFFFH。

**23、有一个16K×16的存储器，用1K×4位的DRAM芯片（内部结构为64×16，引脚同SRAM）构成，设读写周期为0.1µs，问：**

**（1）采用异步刷新方式，如单元刷新间隔不超过2ms，则刷新信号周期是多**

**少？ （2）如采用集中刷新方式，存储器刷新一遍最少用多少读/写周期，死区率是多少？**

正确答案：DRAM芯片的各种刷新时间的计算方法如下。

（1）采用异步刷新方式，在2ms时间内分散地把芯片64行刷新一遍，故刷新信号的时间间隔为2ms/64=31.25µs，即可取刷新信号周期为31µs。

（2）如采用集中刷新方式，假定T为读/写周期，则存储器刷新一遍最少所需刷新时间为64T。因为T单位为0.1µs，2ms=2000µs，则死区率=64T/2000×100%=0.32%。

**27、在显示适配器中，用于存放显示信息的存储器称为刷新存储器，它的重要性能指标是带宽。具体工作中，显示适配器的多个功能部分要争用刷新存储器的带宽。设总带宽的50％用于刷新屏幕，保留50％带宽用于其他非刷新功能，且采用分辨率为1024x768，颜色深度为3B，刷新频率为72Hz的工作方式。**

**（1）试计算刷新存储器的总带宽。**

**（2）为达到这样高的刷新存储器带宽，应采取何种技术措施？**

正确答案：

（1）刷新带宽 W1=分辨率x像素点颜色深度x刷新速率=1024×768×3×72 =165888 KB/s

刷新总带宽 W0=W1x(W0/W1)=165888KB/s×100/50=331776KB/s=331.776MB/s

（2）为了提高刷新存储器带宽，可采用以下技术：

采用高速DRAM芯片；采用多体交叉存储结构；刷新存储器至显示控制器的内部总线宽度加倍；采用双端口存储器将刷新端口和更新端口分开。

**28、一个1Kx4位的、RAM芯片，若其内部结构排列成64×64形式，且存取周期为0.1μs。**

**多少？**

**（1）若采用分散刷新和集中刷新（即异步刷新）相结合的方式，刷新信号周期应取多**

**少？ （2）若采用集中刷新，则对该存储芯片刷新一遍需多少时间？死时间率是多少？**

正确答案：

（1）采用分散和集中刷新相结合的方式，对排列成64×64的存储芯片，需在2ms内将64行各刷新一遍，则刷新信号的时间间隔为2ms/64=31.25μs，故可取刷新周期为31μs。（2）采用集中刷新，对64×64的芯片，需在2ms内集中64个存储周期刷新64行。题中给出的存取周期为0.1μs，即在2ms内集中6.4us刷新，则死时间率为（6.4／2000） ×100%=0.32%。

**29、主存储器的地址寄存器和数据寄存器各自的作用是什么？设一个1MB容量的存储器，字长为32位，问：**

**（1）按字节编址，地址寄存器和数据寄存器各几位？编址范围为多大？**

**（2）按字编址，地址寄存器和数据寄存器各几位？编址范围为多大？**

正确答案： 在主存储器中，地址寄存器MAR用来存放当前CPU访问的内存单元地址，或者存放CPU写入内存的内存单元地址。数据寄存器MDR用来存放由内存中读出的信息或者写入内存的信息。

（1）按字节编址，1MB=220×8位，地址寄存器为20位，数据寄存器为8位，编址范围为00000H～FFFFFH（FFFFFH-000000H+1=220)。

（2）按字编址，1MB=218×32位，地址寄存器为18位，数据寄存器为32位，编址范围为00000H～3FFFFH (3FFFFH-00000H+1=40000H=218)

**30、用一个512Kx8位的Flash存储芯片组成一个4M×32位的半导体只读存储器，存储器按字编址，试回答以下问题：**

**（1）该存储器的数据线数和地址线数分别为多少？**

**（2）共需要几片这样的存储芯片？**

**（3）说明每根地址线的作用。**正确答案：

（1）由于所需组成存储器的最终容量为4M×32位，所以需要32根数据线。而存储器又是按字编址，所以此时不需要将存储器的容量先转换成16M×8 位，直接就是4MX32位中的4M，所以只需要22根地址线（222=4M)即可。

（2）采用512K×8位的Flash存储芯片组成4M×32位的存储器时，需要进行位扩展和字扩展。 位扩展：4片512Kx8位的Flash存储芯片扩展可以组成512K×32位的Flash存储字扩展：8片512K×32位的Flash存储芯片字扩展可以组成4M×32位的存储器。 综上可知，4×8=32，一共需要32片512K×8位的存储芯片。

（3）在CPU的22根地址线中 (A0~A21)，地址线的作用分配如下： 首先，此时不需要指定A0、A1来标识每一组中的4片存储器，因为此时是按字寻址，所以每次4片都是一起取的，而不是按字节编址时，需要取4片中的某一片。 A0～A18：每一片都是512K，所以要19位 (219=512K)）来表示。 A19、A20和A21：因为在扩展中4片一组，一共8组（=23），所以需要用3位地址线来决定取哪一组（通过38译码器形成片选信号）。

**31、有一个16K×16位的存储器，由1K×4位的DRAM芯片构成（芯片是64×64结构）， 问：**

**（1）共需要多少RAM芯片？**

**（2）采用异步刷新方式，如单元刷新间隔不超过2ms，则刷新信号周期是多少？**正确答案：

（1）存储器的总容量为16K×16位，RAM芯片为1K×4位，故所需芯片总数为

(16K×16位）/（1K×4位）=64片。

（2）采用异步刷新方式，在2ms时间内分散地把芯片的64行刷新一遍，故刷新信号的时间间隔为2ms/64=31.25μs，即可取刷新信号周期为30μs。