

Universidad Nacional de Córdoba



Facultad de Ciencias Exactas, Físicas y Naturales

Cátedra de Arquitectura de Computadoras Trabajo Práctico 1: ALU

Profesor Titular: -

Profesor Adjunto: -

Integrantes:

Pallardó Agustín - apallardo@mi.unc.edu.ar

Trachta Agustín

12 de septiembre de 2025

Índice

1. Introducción	2
2. Objetivo	2
3. Desarrollo	2
4. Diagrama en bloques de la arquitectura	3
5. Imágenes de la simulación	3
6. Repositorio del proyecto	3

1. Introducción

En este informe se documenta el desarrollo de una Unidad Aritmético-Lógica (ALU) implementada en una FPGA Basys 3. La ALU constituye un bloque fundamental en el diseño de procesadores y sistemas digitales, ya que permite realizar operaciones aritméticas, lógicas y de desplazamiento sobre datos binarios.

El objetivo principal de este trabajo práctico es adquirir experiencia en la descripción de hardware mediante Verilog, la validación con bancos de prueba, la simulación usando la herramienta Vivado, y la implementación física real.

2. Objetivo

Los objetivos específicos del trabajo práctico son:

- Implementar una ALU parametrizable en Verilog, de modo que el ancho del bus de datos pueda ajustarse según futuras necesidades.
- Validar la implementación mediante un banco de pruebas (*testbench*) que genere entradas asignadas y contemple un mecanismo de validación.

Las operaciones que soportará la ALU son las siguientes:

Operación	Código
ADD	100000
SUB	100010
AND	100100
OR	100101
XOR	100110
SRA	000011
SRL	000010
NOR	100111

3. Desarrollo

Para la implementación del proyecto se ha creado un módulo de Verilog **alu.v** que contiene las operaciones mencionadas anteriormente, y otro módulo **top.v** que instancia la ALU y que se utilizará para conectar sus entradas y salidas a los pines físicos de la FPGA mediante los constraints, además de generar los registros necesarios para poder realizar las pruebas.

4. Diagrama en bloques de la arquitectura

En la Figura 1 se presenta el diagrama en bloques de la ALU.

Figura 1: Diagrama en bloques de la arquitectura de la ALU.

5. Imágenes de la simulación

En esta sección se observan capturas obtenidas en la herramienta Vivado.

Figura 2: Ejemplo de simulación en Vivado.

6. Repositorio del proyecto

El código fuente, los archivos de simulación y los bancos de prueba se encuentran disponibles en el siguiente repositorio:

<https://github.com/AguTrachta/ComputerArchitecture/tree/develop/ALU>