



UNIVERSIDAD DE BUENOS AIRES
FACULTAD DE INGENIERÍA

ESPECIALIZACIÓN EN MICROELECTRÓNICA

ARQUITECTURA DE SISTEMAS DIGITALES

Upsampler CIC

Alumno: Agustín Galdeman

Fecha: 9 de junio de 2025

Buenos Aires, Argentina

1. Introducción

Los filtros CIC (Cascaded Integrator-Comb) son ampliamente utilizados para operaciones de interpolación (upsampling) y decimación en sistemas digitales de procesamiento de señales debido a su eficiencia, ya que no requieren multiplicaciones. En este informe se presenta el diseño, implementación, simulación y validación de un filtro CIC upsampler completamente parametrizable en Verilog.

2. Arquitectura del Filtro CIC

Un filtro CIC interpolador consiste en:

- **N etapas de diferencia (combs)** que operan a la frecuencia de entrada (baja velocidad).
- **Inserción de R-1 ceros** entre muestras, realizada por la lógica de control.
- **N etapas de integradores** que operan a la frecuencia de salida (alta velocidad).

El filtro se caracteriza por cuatro parámetros:

- *R*: factor de interpolación.
- *N*: orden del filtro (cantidad de etapas).
- *M*: retardo diferencial (comúnmente 1).
- *B*: ancho de palabra de entrada.

3. Código Verilog del CIC Upsampler

3.1. Módulo Principal

El módulo CIC es completamente parametrizable e implementado en estilo RTL sintetizable.

Listing 1: cic_upsampler.v

```
module cic_upsampler #(
parameter  INPUT_WIDTH = 16,
parameter  R           = 4,
parameter  N           = 3,
parameter  OUTPUT_WIDTH = INPUT_WIDTH + N * $clog2(R) + N
) (
input  wire          clk,
input  wire          rst,
input  wire          [INPUT_WIDTH-1:0] data_in,
input  wire          data_valid_in,
output reg           [OUTPUT_WIDTH-1:0] data_out,
output reg           data_valid_out
);
// ... Codigo interno de COMBs e Integradores ...
endmodule
```

3.2. Testbench

El testbench genera una secuencia de entradas con una sola muestra no nula y verifica la respuesta impulsiva del filtro: Además sample por sample revisa el input y output y finalmente corrobora que la respuesta sea la esperada.

4. Resultados de Simulación

Se simuló el sistema con un impulso unitario como entrada. El resultado en la salida fue:

```
...
Out[17] dout = 1000
Out[18] dout = 6000
Out[19] dout = 10000
Out[20] dout = 12000
Out[21] dout = 15000
Out[22] dout = 10000
Out[23] dout = 6000
Out[24] dout = 3000
...
```

Estos valores coinciden con la secuencia teórica para un filtro CIC de orden 3, es decir, una especie de campana o señal triangular.

5. Análisis del Funcionamiento

- Cada etapa de **comb** calcula la diferencia con un valor retrasado.
- Los **integradores** acumulan de forma secuencial, generando una salida suavizada y creciente.
- El crecimiento en bits se calcula como: $G = N \cdot \log_2(R \cdot M)$.

6. Conclusiones

Se demostró la correcta implementación de un filtro CIC upsampler parametrizable en Verilog. La simulación evidencia que el comportamiento es equivalente a la salida teórica de un filtro de orden 3 ante una entrada impulso. La arquitectura es eficiente, portable, y adecuada para implementaciones en FPGA o ASIC.