



UNIVERSIDAD DE BUENOS AIRES  
FACULTAD DE INGENIERÍA

ESPECIALIZACIÓN EN MICROELECTRÓNICA

PROCESOS SEMICONDUCTORES

# ESD

**Alumno:** Agustín Galdeman

**Fecha:** 25 de mayo de 2025

Buenos Aires, Argentina

# Resumen

En el siguiente informe se explica una alternativa de protección para un circuito hipotético frente a descargas electrostáticas. Específicamente se analizó siguiendo los detalles técnicos del PDK GF180MCU de Global Foundries. Se siguieron los 6 pasos discutidos acerca del design flow ESD, y finalmente se propuso y dimensionó un circuito concreto para la protección de los dispositivos frente a descargas en diferentes pines.

# 1. Circuito de Protección: VCC-GND

## 1.1. Paso 0: definición de circuito.

El circuito contiene los siguientes pines:

1. **VCC (Rail)** Fuente de alimentación principal del circuito.
  - Tensión nominal:  $3\text{ V} \pm 10\%$
  - Corriente máxima:  $100\text{ }\mu\text{A}$
  - Tensión inversa permitida:  $-0,5\text{ V}$
2. **GND (Rail)** Referencia de potencial del circuito.
  - Tensión:  $0\text{ V}$  (masa del sistema)
3. **IO1 – Salida digital *push-pull*** Conectada a una compuerta inversora.
  - Capacidad de entrega de corriente:  $\pm 1\text{ mA}$
  - Resistencia de encendido:  $R_{\text{ON}} \approx 100\text{ }\Omega$
  - Tensión nominal:  $3,3\text{ V}$
4. **IO2 – Entrada digital al inversor** Entrada conectada directamente a una compuerta lógica.
  - Corriente de fuga máxima:  $\pm 100\text{ nA}$
  - Tensión nominal:  $3,3\text{ V}$
5. **IO3 – Salida digital *open-drain*** Basada en un transistor NMOS de  $5\text{ V}$ .
  - Capacidad de hundimiento:  $1\text{ mA}$
  - Resistencia de encendido:  $R_{\text{ON}} \approx 100\text{ }\Omega$
  - Tensión nominal:  $5\text{ V}$

Los pines listados anteriormente deben cumplir con los siguientes requisitos de protección:

1. **VCC, GND, IO1, IO2**
  - Deben soportar  $2\text{ kV}$  HBM.
2. **IO3**
  - Debe soportar  $4\text{ kV}$  HBM.

Finalmente, se plantea el circuito a proteger: un driver de entrada, seguido del core o circuito digital principal y una salida conformada por un output driver (en éste caso un inversor y un MOS open drain).

Se plantea agregar un Power Clamp para eventos de descarga desde VDD hasta GND y protecciones locales para descargas entre los pines y los distintos niveles de tensión.

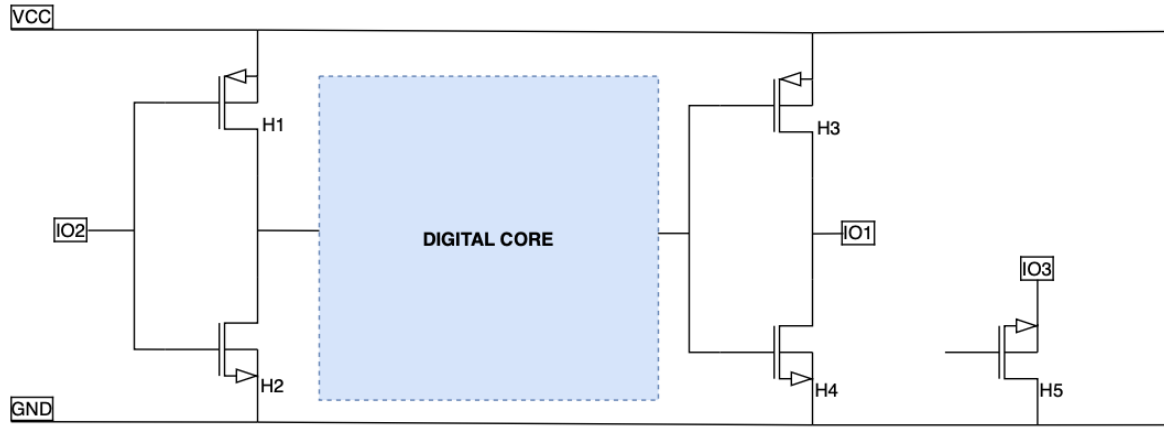


Figura 1: Circuito estudiado sin protecciones.

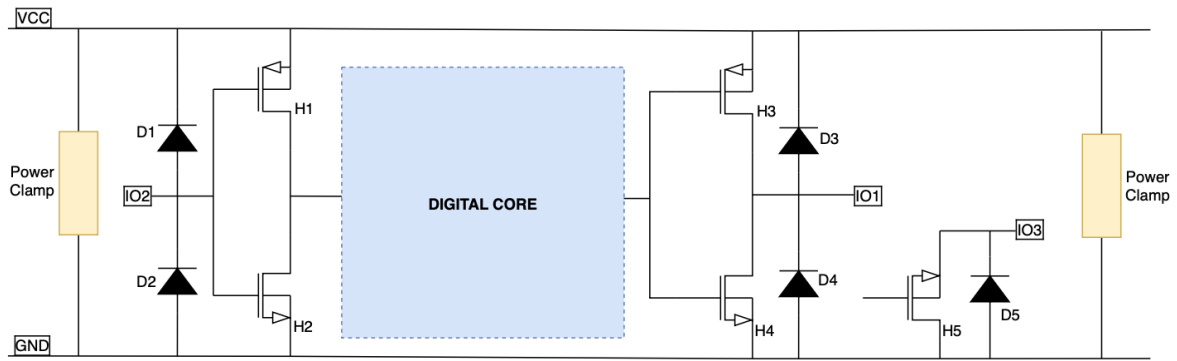


Figura 2: Circuito con protecciones.

El circuito planetada se trata de un modelo ideal. Durante eventos ESD, los transistores no operan según su regimen funcional habitual. En su lugar, se activan trayectorias de corriente no intencionadas a través de las junturas PN internas, que actúan como diodos parásitos. Este fenómeno, documentado en el PDK de GF180MCU en la sección de “Junction Breakdown Voltages”, es fundamental para modelar los caminos de descarga y diseñar las protecciones adecuadas. En la siguiente imágenen se detallan dichos transistores parásitos:

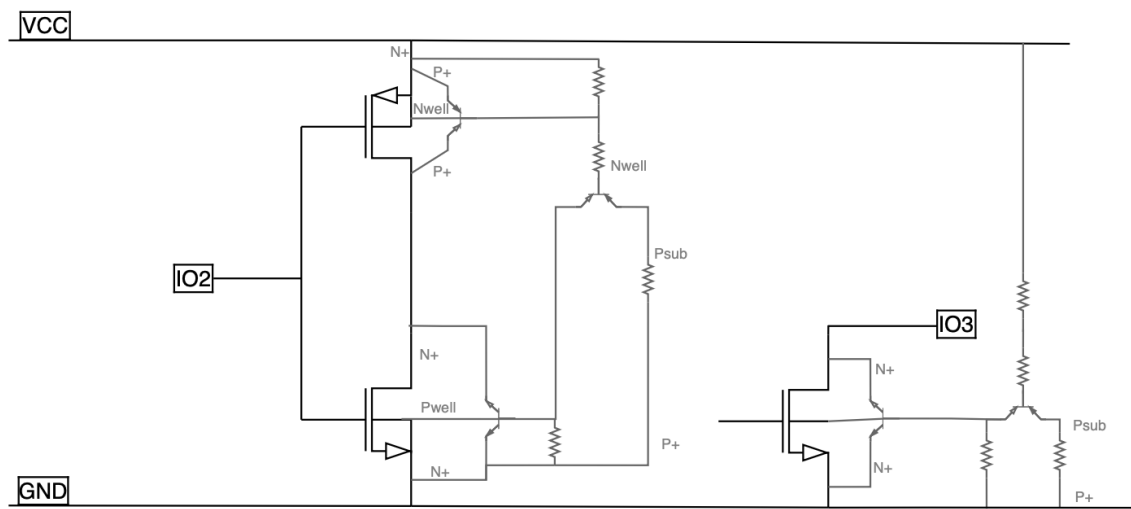


Figura 3: Circuito con junturas parásitas.

## 1.2. Paso 1: ESD Window para una descarga entre VCC y GND.

Se identificaron diez caminos para una descarga entre VCC y GND. Cuatro de ellos se dan en las junturas de los transistores alrededor del pin IO1. Análogo a ese caso, existen otros 4 caminos similares, pero en las junturas del pin IO2. Por último se identificaron 2 caminos en las junturas alrededor del pin IO3. En la siguiente imagen se detallan los caminos mencionados:

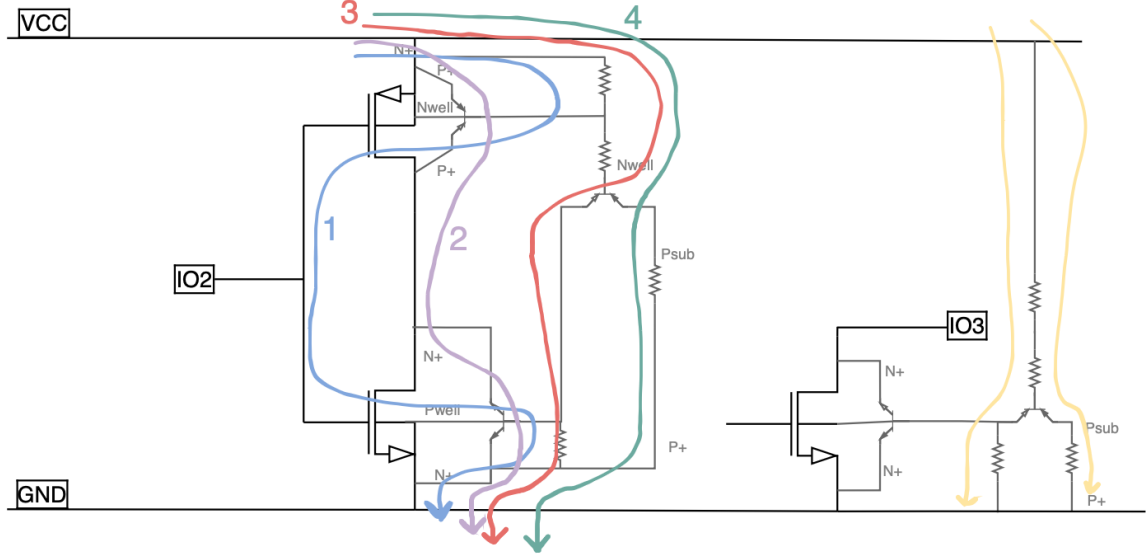


Figura 4: Caminos de corriente planteados sin protecciones.

El power clamp mencionado anteriormente se encarga de proteger el circuito en caso de producirse una descarga entre VCC y GND. Para poder dimensionarlo primero es necesario identificar el peor caso posible a partir de todos los caminos identificados que puede seguir la descarga.

### 1.2.1. Caso 1: Ruptura de los óxidos.

Si se presenta una ruptura de óxidos se espera que primero la corriente circule por el óxido del dispositivo tipo N y luego por el óxido de dispositivo tipo P. A partir de la tabla presente en la documentación del PDK GF180MCU "Oxide Breakdown Voltage" es posible ver que:

$$V_{breakdown} = BV_{oxPCH} + BV_{oxNCH} \quad (1)$$

Se tuvo en cuenta el peor caso posible, es decir, la menor tensión de breakdown provista por el PDK y además se consideró que hay una relación 1:3 entre el óxido del MOS tipo N y el MOS tipo P.

$$V_{breakdown} = 7V + 2,3V = 9,3V \quad (2)$$

### 1.2.2. Caso 2: ruptura de las junturas parásitas

Siguiendo un camino similar al anterior, pero a través de las junturas parásitas se puede seguir el siguiente camino:

$$VCC \rightarrow N+ \rightarrow P+ \rightarrow NWELL \rightarrow P+ \rightarrow N+ \rightarrow PWELL \rightarrow N+ \rightarrow P+ \rightarrow GND \quad (3)$$

A partir de los datos presentes en la tabla del PDK "Junction Breakdown Voltage":

$$V_{breakdown} = V_{break_{N+/P-}} + V_{break_{P+/N-}} \quad (4)$$

Tomando nuevamente los peores casos:

$$V_{breakdown} = 7V + 10,5V = 17,5V \quad (5)$$

### 1.2.3. Caso 3: ruptura del diodo parásito entre N- y P-

Un tercer camino posible aparece si se tiene en consideración el transistor parásito (o diodo extendido) que se forma entre el P-sub, PWELL y N+. Debido la tensión de breakdown no es dato, es necesario calcularla. Es posible estimar dicha tensión si se considera que el campo eléctrico máximo de una juntura PN abrupta bajo polarización inversa es el siguiente:

$$E_{max} = \frac{q \cdot N_A \cdot W}{\epsilon} \quad (6)$$

Luego la  $V_{breakdown}$ :

$$V_{breakdown} = \frac{1}{2} E_{max} \cdot W = \frac{q \cdot N_A \cdot W^2}{2\epsilon} \quad (7)$$

Donde:

1.  $\epsilon \approx 1,037 \cdot 10^{-12} \frac{F}{cm}$  es la permitividad del silicio.
2.  $q \approx 1,61 \cdot 10^{-19} C$  es la carga elemental del electrón.
3.  $N_A \approx 10^{16} cm^{-3}$  es el dopaje de impurezas aceptoras.
4.  $W = 2\mu m$  es el ancho de la juntura.

$$V_{breakdown} = 21V \quad (8)$$

### 1.2.4. Caso 4: ruptura de la juntura parásita entre NWELL y P-sub

El valor de la tensión de ruptura para el dispositivo parásito que se crea entre el NWELL y P-sub sí está tabulado y es aproximadamente  $10V_{min}$

### 1.2.5. ESD Window final.

Teniendo en cuenta todas las tensiones calculadas y los valores de operación del circuito es posible elaborar la ESD Window.

1.  $V_{max}$  es el peor caso de las tensiones calculadas con anterioridad (el menor valor de tensión en valor absoluto) sumado a un margen de seguridad del 10%.

2.  $V_{min}$  queda limitada por la máxima tensión de operación, sumada a un margen de seguridad.
3.  $I_{max}$  es dato, definida como  $2kVHBM$ , equivalente a una corriente de 1,33A.

Los valores finales son los siguientes:

1.  $V_{max} = 9V$
2.  $V_{min} = 3,63V$
3.  $I_{max} = 1,33A$

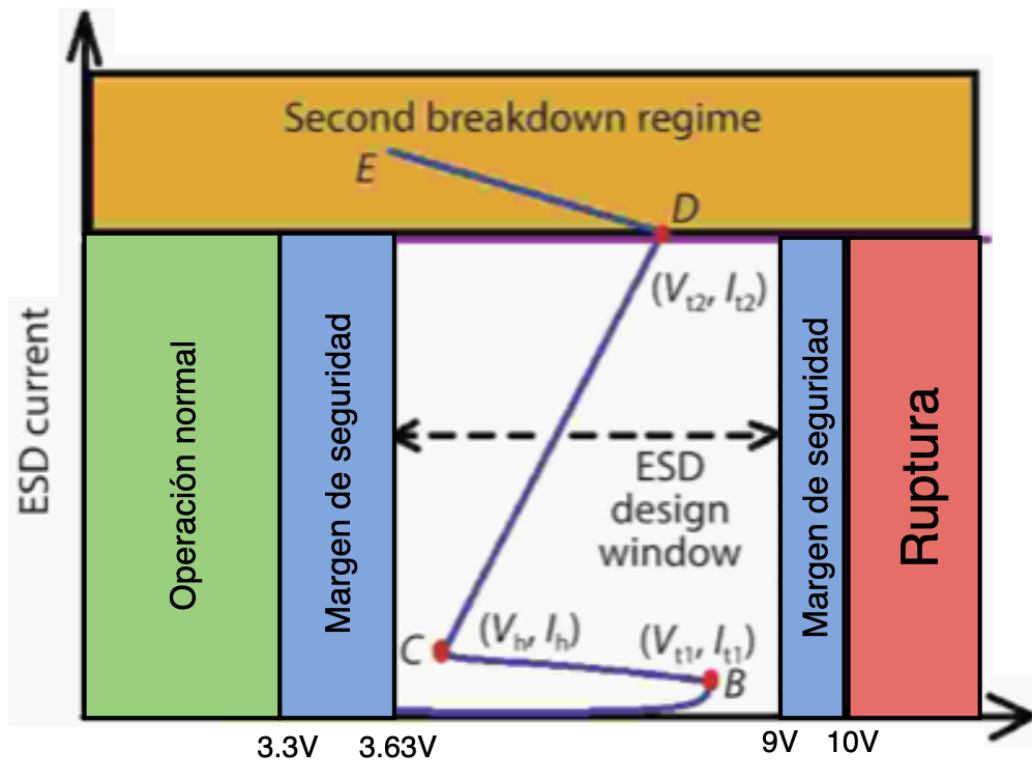


Figura 5: ESD Window calculada para una descarga entre VCC y GND.

### 1.3. Paso 2: Selección y dimensionamiento de protección.

El clamper elegido para proteger el circuito de descargas entre VCC y GND debe tener en cuenta los valores de la ESD Window, pero también es importante conocer los valores de snapback (deben mantenerse mayores al margen de seguridad mínimo).

Se optó por un clamper **GG-NMOS**, que tiene una second breakdown current  $I_{t2} = 9,25 \frac{mA}{\mu m}$ . Debido a que se debe soportar una corriente de 1,33A, el ancho del dispositivo debe ser el siguiente:

$$\frac{I}{I_{t2}} = \frac{1,33A}{0,00925A\mu m^{-1}} \approx 144\mu m \quad (9)$$



Se propone finalmente un clamper GG-NMOS de  $W = 200\mu m$  entre VCC y GND en la entrada y otro en la salida del circuito. Para evitar problemas de electromigración es necesario tener en cuenta la metalización. Utilizando M5 y M6 con un ancho mayor a  $130\mu m$  no se deberían tener problemas.

## 2. Circuito de Protección: pin IO1

A continuación se analizará el circuito de protección local necesario para proteger el pin IO1 de las posibles descargas electrostáticas. Hay dos posibles caminos para la corriente de ruptura, en ambos casos la ruptura se produce a través de las junturas BJT creadas por el proceso:

### 2.1. Paso 1: ESD Window para una descarga en el pin IO2.

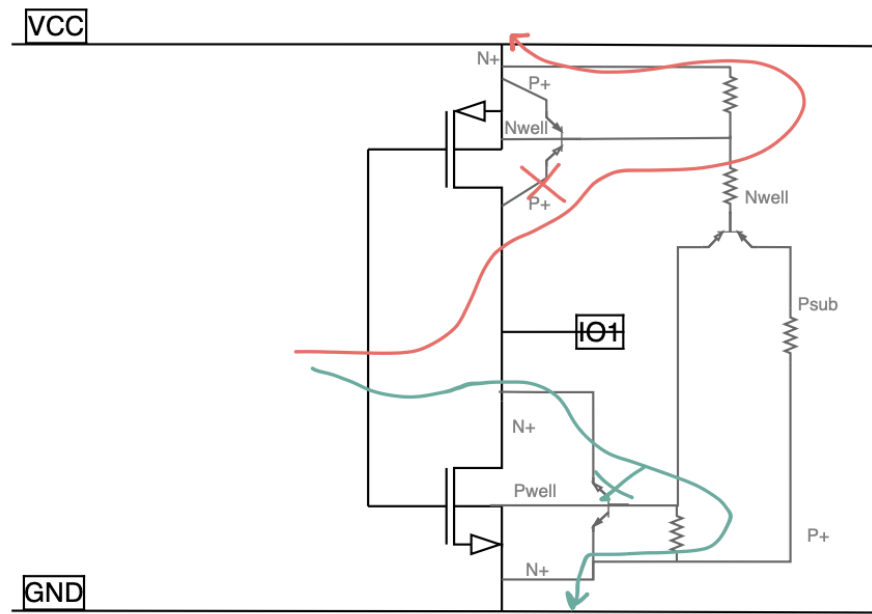


Figura 6: Caminos de corriente sin protecciones para IO1.

Incluyendo dos diodos, uno entre VCC y IO1 y el otro entre IO1 y GND se puede lograr proteger el pin.

#### 2.1.1. ESD Window para el pin IO1.

Para elaborar la ESD Window para el pin IO1 es necesario considerar la polaridad de las descargas, y por consiguiente, el camino que recorren. Se llega así a una ventana espejada, con parte de la curva sobre el semieje de las tensiones positivas y otra curva en las tensiones negativas. El límite de corriente es igual al mencionado anteriormente y los valores de tensiones máximas (en valor absoluto) se calculan a partir de las tensiones de breakdown de las junturas que menciona el PDK:



- Se seleccionan así dos diodos con la menor  $I_{t2}$ :

- De manera similar al clamper, el tamaño de los diodos puede calcularse dividiendo la corriente máxima por  $I_{t2}$ :

$$\frac{I}{I_{t_2}} = \frac{1,33A}{0,00275A\mu m^{-1}} \approx 48\mu m \quad (10)$$

Se proponen entonces dos diodos con ancho  $W = 60\mu m$  para añadir mayor margen y disminuir la resistencia en serie.

### 3. Circuito de Protección: pin IO2

A continuación se analizará el circuito de protección local necesario para proteger el pin IO2 de las posibles descargas electrostáticas. Hay dos posibles caminos para la corriente de ruptura, aen ambos casos la ruptura se produce en los óxidos de los MOS.

#### 3.1. Paso 1: ESD Window para una descarga en el pin IO2.

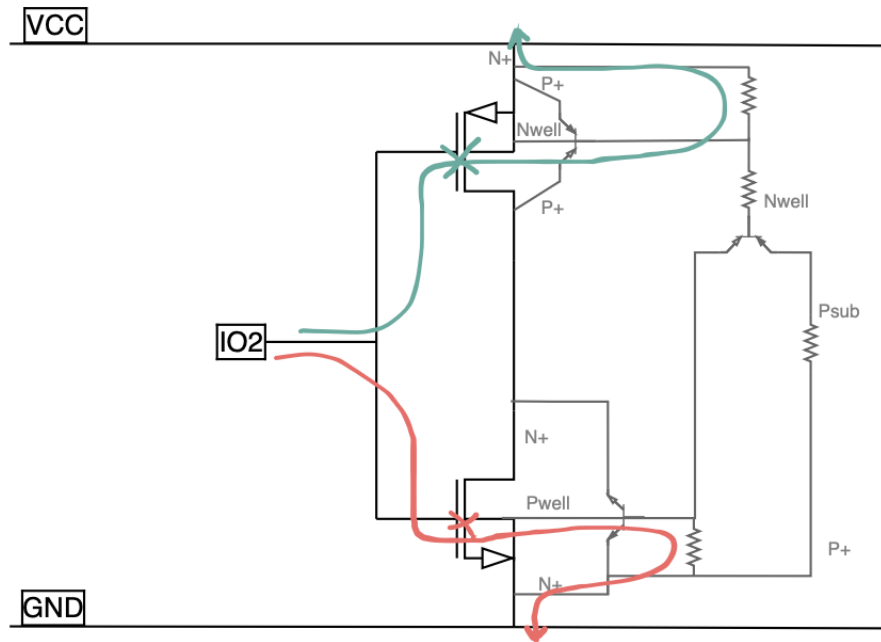


Figura 8: Caminos de corriente sin protecciones para IO2.

Incluyendo dos diodos, uno entre VCC y IO2 y el otro entre IO2 y GND se puede lograr proteger el pin:

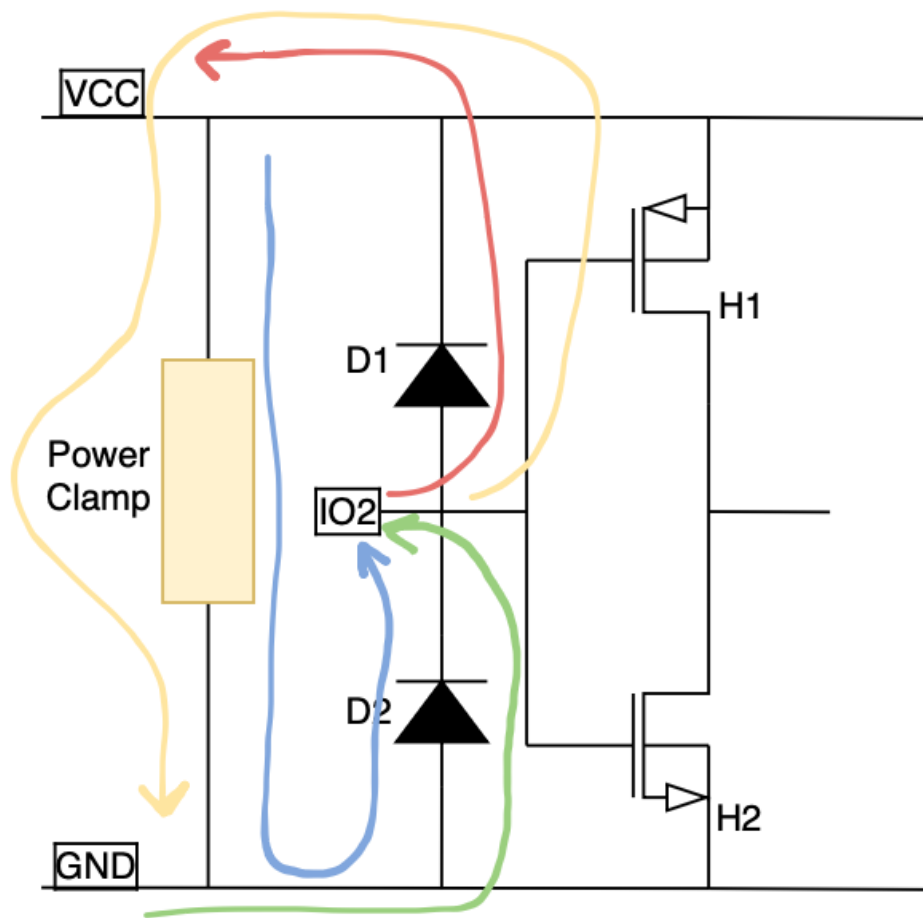


Figura 9: Caminos de corriente con protecciones para IO1.

### 3.1.1. ESD Window para el pin IO2.

Para elaborar la ESD Window para el pin IO2 es necesario considerar la polaridad de las descargas, y por consiguiente, el camino que recorren. Se llega así a una ventana espejada, con parte de la curva sobre el semieje de las tensiones positivas y otra curva en las tensiones negativas. El límite de corriente es igual al mencionado anteriormente y los valores de tensiones máximas (en valor absoluto) se calculan a partir de las tensiones de breakdown de los óxidos que menciona el PDK.

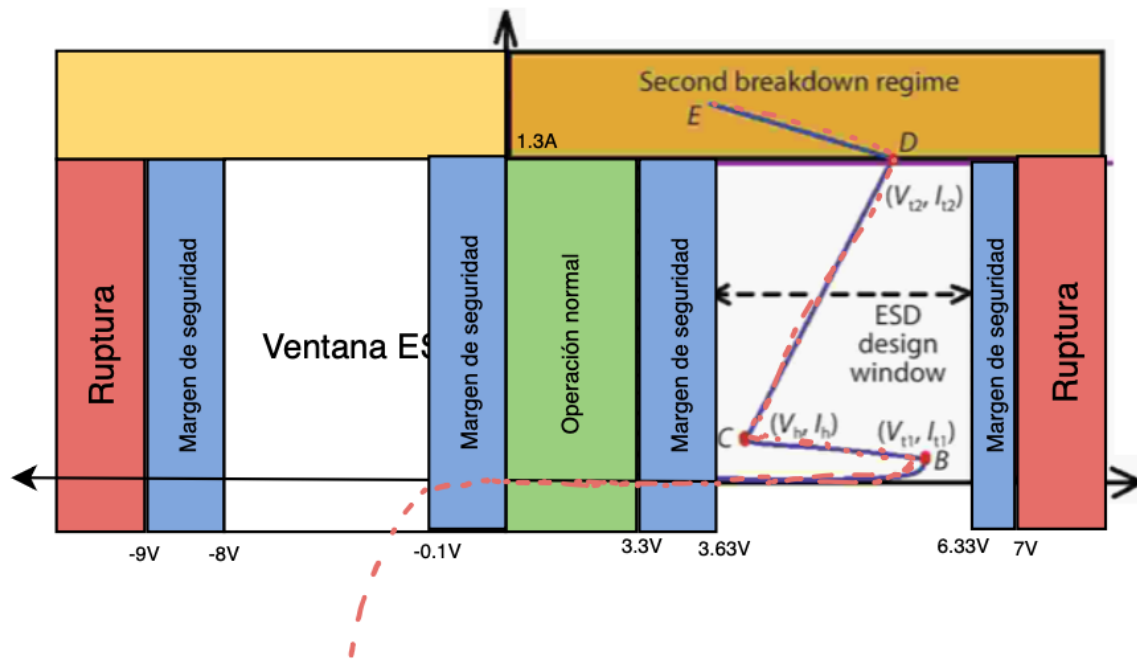


Figura 10: ESD Window para IO2.

Para la protección del pin se seleccionaron finalmente los mismos diodos que para el pin IO1.

#### 4. Circuito de Protección: pin IO3

A continuación se analizará el circuito de protección local necesario para proteger el pin IO3 de las posibles descargas electrostáticas. Hay dos posibles caminos para la corriente de ruptura, en ambos casos la ruptura se genera en la juntura N+/PWELL, ya que la ruptura del óxido da un valor menos restrictivo:

#### 4.1. Paso 1: ESD Window para una descarga en el pin IO3.

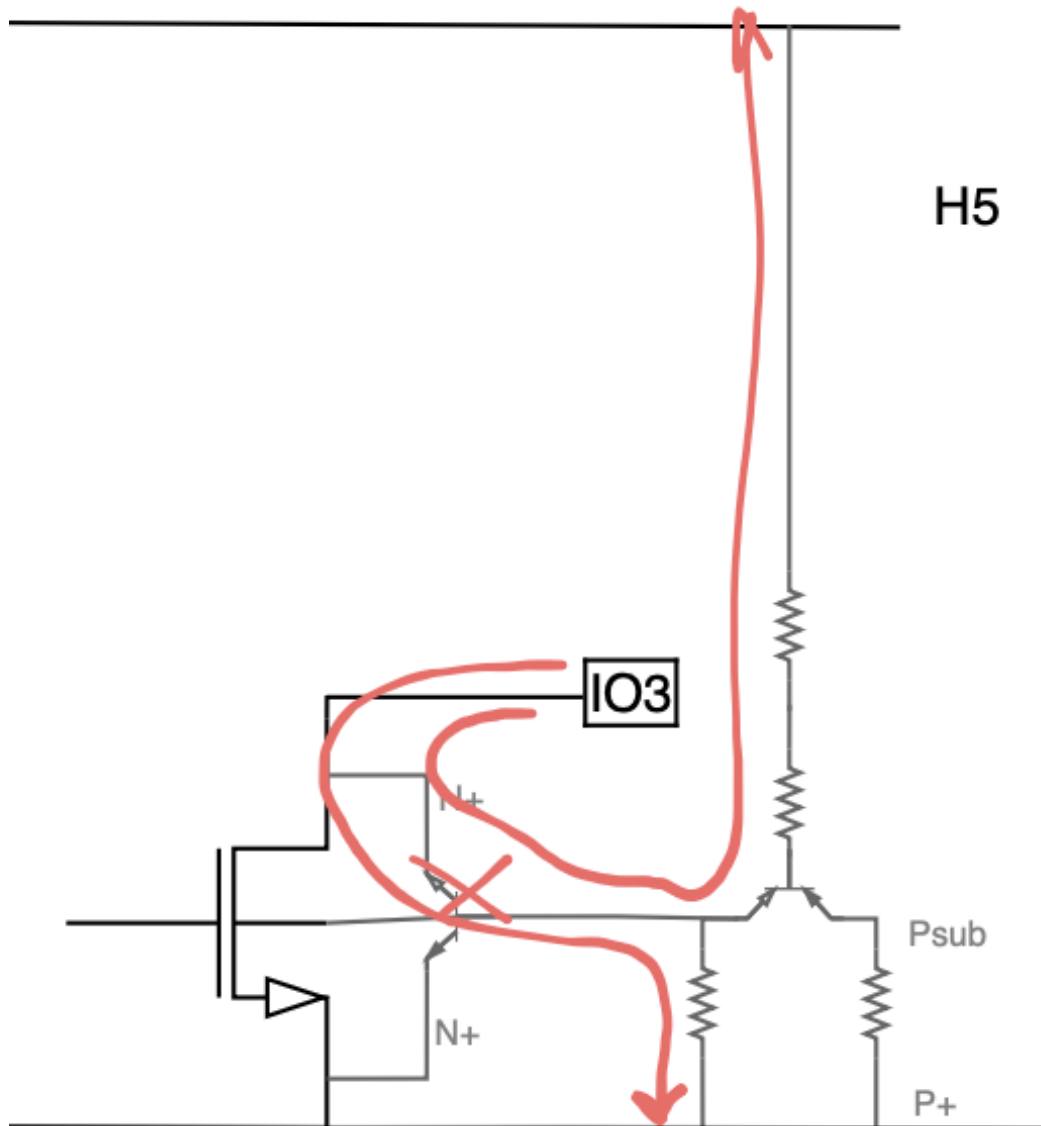


Figura 11: Caminos de corriente sin protecciones para IO3.

#### 4.1.1. ESD Window para el pin IO3.

Para elaborar la ESD Window para el pin IO3 es necesario considerar la polaridad de las descargas nuevamente, y por consiguiente, el camino que recorren. Se llega así a

una ventana espejada, con parte de la curva sobre el semieje de las tensiones positivas y otra curva en las tensiones negativas. El límite de corriente es igual al mencionado anteriormente y los valores de tensiones máximas (en valor absoluto) se calculan a partir de las tensiones de breakdown de las junturas que menciona el PDK. La ventana también debe ser elaborada teniendo en cuenta que se requiere el doble de corriente máxima:

- Tensión de ruptura de juntura N+/P-  $V_{max} = 7V$

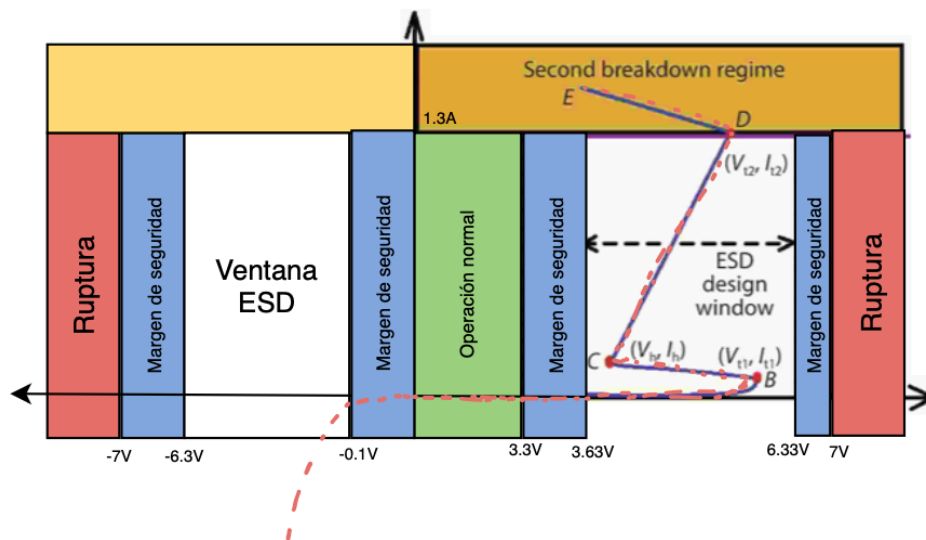


Figura 12: ESD Window para IO3.

Para seleccionar una protección adecuada se debe tener en cuenta que el clumper de la salida debe redireccionar el doble de corriente, por ende, no basta con utilizar un diodo igual a los pines anteriores, ya que el clumper entre VCC y GND no soportará los 2,67A, a pesar de que el diodo si. Existen dos opciones: agregar un clumper GG-NMOS entre IO3 y GND o añadir un diodo y redimensionar el clumper de salida o añadir otro en paralelo.

La primera opción parecería mejor, ya que mantiene independencia entre el clumper de salida y el del pin IO3, pero el tamaño del clumper es mayor y la trigger network debe ser repensada para ser completamente independiente, el layout puede resultar más complicado.

Por eso se propuso la segunda opción, utilizar un diodo local de  $100\mu m$  entre IO3 y GND y redimensionar el clumper, duplicando su tamaño a  $400\mu m$ .  $I_{t2}$ :

Debido a los niveles de corriente manejados es y teniendo en cuenta la regla empírica:  $\frac{0.5MA}{\mu m}$ , se necesitan 5.3 mm de metal en las capas superiores. Se recomienda, además, agregar vías al menos cada  $10\mu m$ .