

## PDK – Device Placement

### Project SetUp

1. Desde un nuevo terminal ejecute:
  - a. `start my_project`
2. Luego desde el library manager cree una librería dentro de la carpeta “my\_project” llamada `lab_semi`
3. Seleccionar “attach to an existing technology library” y elegir `sg8Tech4MS`
4. Desde un nuevo terminal ir a `/active/lab_semi`
5. Ejecutar el comando :
  - a. `cp -r PDK_placement_A/home/miusuario/projects/my_project/lab_semi`
6. Tendría que tener una celda nueva llamada `PDK_placement_A` dentro de la librería `lab_semi`

### Objetivo:

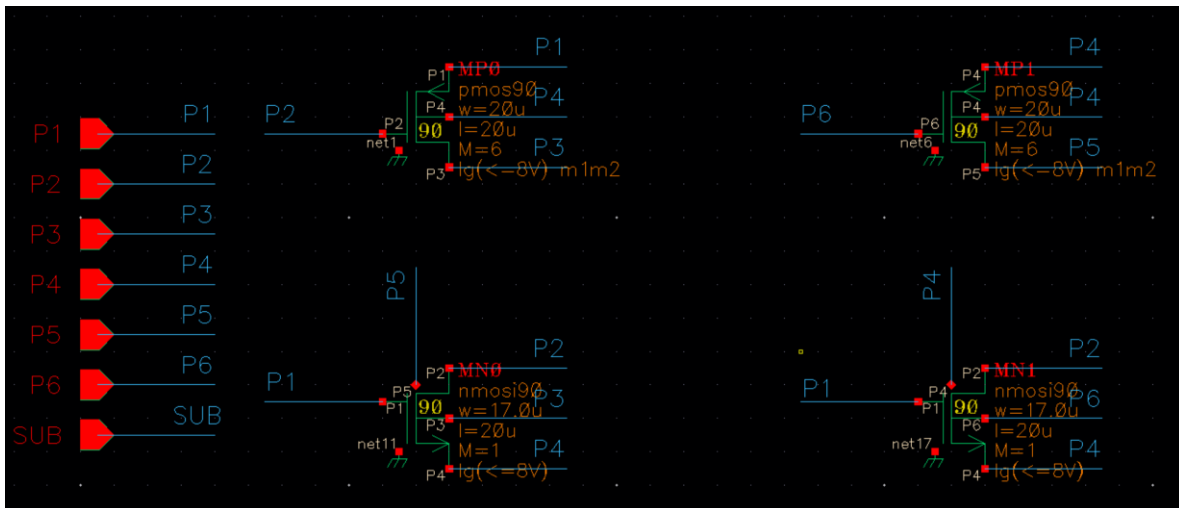
1. Identificar los terminales del MOS transistor en el proceso SG8 :
  - a. Source S, Drain D, Gate G, Body B, Tub T (también llamado bulk)
2. Usar los parámetros CDF de las PCELL
3. Justificar la ubicación (placement) de los transistores
4. Correr DRC
5. EXTRA : Correr LVS (nos es necesario para aprobar el TP)

### Entrega

1. Entregar una captura de pantalla del layout:
  - a. justificando ubicación de cada transistor
  - b. detallando los terminales del MOS transistor

## Ejercicio 1

1. Placement of all transistors in one single row (PMOS & NMOS in one single row)
2. NO matching required
3. MUST have body tie in case is possible (using layout properties)
4. NO butting allowed
5. Minimum Layout Area
6. All items above should be implemented



## Ejercicio 2

Copiar el ejercicio 1 y cambiar la conexión del MP1 y MN0 como esta indicado en la imagen volver a hacer el layout

