



UNIVERSIDAD DE BUENOS AIRES  
FACULTAD DE INGENIERÍA

ESPECIALIZACIÓN EN MICROELECTRÓNICA

DISEÑO LÓGICO

# Diseño de un Multiplicador Serie-Paralelo

**Alumno:** Agustín Galdeman

**Fecha:** 23 de abril de 2025

Buenos Aires, Argentina

# 1. Objetivo

El objetivo de este proyecto es implementar en Verilog un multiplicador **serie-paralelo** que funcione con operandos en complemento a dos (2C), tanto positivos como negativos, con longitud paramétrica  $N$ . Posteriormente, se desarrolla un banco de pruebas (test-bench) que verifica exhaustivamente su funcionamiento para todos los valores posibles de entrada, para un valor fijo de  $N$ .

## 1.1. Descripción del Módulo

El multiplicador recibe los siguientes parámetros y señales:

- **a, b**: operandos signados de  $N$  bits.
- **clk, rst, start**: señales de reloj, reset y arranque.
- **result**: resultado del producto de  $a \times b$ , de  $2N$  bits.
- **done**: indica que el resultado es válido.

## 2. Funcionamiento del multiplicador

La multiplicación serie-paralela consiste en:

1. Obtener los valores absolutos de  $a$  y  $b$ :

$$a_{\text{abs}} = |a|, \quad b_{\text{abs}} = |b|$$

2. Evaluar si el resultado será negativo usando el bit de signo:

$$\text{negative\_result} = a[N-1] \oplus b[N-1]$$

3. A través de un bucle secuencial de  $N$  ciclos, se realiza la suma parcial:

- En cada ciclo  $i$ , si el bit menos significativo de  $b$  es 1, se suma  $a_{\text{abs}} \ll i$  al acumulador:

$$\text{acc} += a_{\text{abs}} \ll i \quad \text{si } b[i] = 1$$

- Después de cada iteración,  $b$  se desplaza a la derecha.

4. Finalmente, si el resultado debía ser negativo, se niega el acumulador:

$$\text{result} = \text{negative\_result} ? -\text{acc} : \text{acc}$$

### 3. Banco de Pruebas

El banco de pruebas genera todos los pares de valores posibles de entrada para  $a$  y  $b$ , recorriendo el rango completo de números en complemento a dos de  $N$  bits.

#### Rango de pruebas

Para  $N = 2$ , el conjunto de valores posibles es:

$$\{-2, -1, 0, 1\}$$

Se prueba cada combinación de  $a \times b$  y se compara el resultado con el valor esperado.

#### 3.1. Resultados Esperados

$a$	$b$	$a \times b$
-2	-2	4
-2	-1	2
-2	0	0
-2	1	-2
-1	-2	2
-1	-1	1
-1	0	0
-1	1	-1
0	$\pm$	0
1	-2	-2
1	-1	-1
1	0	0
1	1	1

### 4. Descripción del Módulo Verilog: Multiplicador Serie-Paralelo

El siguiente módulo Verilog implementa un multiplicador serie-paralelo de números en complemento a dos, con largo parametrizable. La arquitectura es secuencial, multiplicando bit a bit con desplazamientos acumulativos.

#### 4.1. Definición del módulo

```
1 module serial_parallel_multiplier #(parameter N = 4)(
2     input logic clk,
3     input logic rst,
4     input logic start,
5     input logic signed [N-1:0] a,
6     input logic signed [N-1:0] b,
7     output logic signed [2*N-1:0] result,
8     output logic done
9 );
```

- **Parámetro N:** Define el ancho de los operandos de entrada.

- **Entradas:**

- **clk:** Reloj del sistema.
- **rst:** Reset sincrónico.
- **start:** Señal de inicio del proceso.
- **a, b:** Operandos multiplicandos en complemento a dos.

- **Salidas:**

- **result:** Resultado final de la multiplicación, de  $2N$  bits.
- **done:** Señal que indica finalización.

## 4.2. Registros internos y control

```

1 logic signed [2*N-1:0] accumulator;
2 logic signed [N-1:0] multiplicand;
3 logic signed [N-1:0] multiplier;
4 logic [$clog2(N):0] count;
5 logic busy;

```

- **accumulator:** Acumula el resultado parcial.
- **multiplicand y multiplier:** Copias internas de los operandos.
- **count:** Contador de ciclos (hasta  $N$ ).
- **busy:** Señal que indica que el multiplicador está trabajando.

## 4.3. Lógica de control

Durante cada flanco de reloj:

- Si **rst** está activo, se reinicia el sistema.
- Si **start** se activa y no está ocupado, se cargan los operandos y comienza la operación.
- Mientras **busy** esté activo:
  - Se verifica el bit menos significativo de **multiplier**.
  - Si es 1, se suma el **multiplicand** desplazado al **accumulator**.
  - Luego se realiza un desplazamiento aritmético a la derecha del **multiplier**.
  - Se incrementa el contador.
- Cuando el contador alcanza  $N$ , se finaliza la operación y se habilita **done**.

#### 4.4. Explicación matemática

La multiplicación serie-paralelo se basa en la siguiente propiedad:

$$a \cdot b = \sum_{i=0}^{N-1} b_i \cdot (a \ll i)$$

Donde  $b_i$  representa cada bit del segundo operando y  $a \ll i$  representa un desplazamiento a izquierda del operando  $a$ . Si  $b_i = 0$ , no se suma nada en ese ciclo; si  $b_i = 1$ , se acumula  $a \ll i$  al resultado.

Esta operación es implementada de manera iterativa en  $N$  ciclos de reloj, desplazando y sumando condicionalmente.

#### 4.5. Resultado final

Una vez completado el ciclo, el contenido del `accumulator` se copia al puerto `result`, y se levanta la señal `done` para indicar que el dato está listo para ser leído.

### 5. Conclusión

El multiplicador serie-paralelo implementado permite realizar productos de números signados en complemento a dos con un diseño secuencial eficiente. Esta técnica es ideal para sistemas con recursos limitados donde el retardo de varios ciclos es tolerable. El testbench verifica correctamente su funcionamiento para todos los casos posibles en  $N = 2$ .