



UNIVERSIDAD DE BUENOS AIRES
FACULTAD DE INGENIERÍA

ESPECIALIZACIÓN EN MICROELECTRÓNICA

PROCESOS SEMICONDUCTORES

PDK - Device Placement - Layout Explicativo de Transistores CMOS

Alumno: Agustín Galdeman

Fecha: 14 de junio de 2025

Buenos Aires, Argentina

1. Objetivo

El objetivo de este trabajo es mostrar, mediante imágenes y explicaciones simples, las distintas partes que componen los dispositivos CMOS, generados a partir de las celdas estándar del PDK GF180MCU open-source de GlobalFoundries visto en clase. Se presentará un layout básico, sin conexiones entre nets, sin ubicación de pines, y con LVS y DRC no limpios. No obstante, se utilizará para identificar visualmente las diferentes partes de los dispositivos y su correspondencia con el archivo esquemático.

Además, los dispositivos se ubicarán en una única fila (row). No es necesario aplicar técnicas de matching como interdigitación, common centroid o el uso de dummies. Sin embargo, por comodidad y simplicidad, se optó por una disposición simétrica de tipo common centroid. También se solicita evitar el uso de butting y asegurarse de que todos los transistores cuenten con body tie.

2. Layer Stack

Antes de explicar las partes de los dispositivos es necesario resaltar el Layer Stack del PDK:

- **BO (Boundary)**: Layer para alinear dispositivos.
- **NB (N buried layer)**: para el proceso SG8u es necesario este layer para luego construir los diferentes well para el PMOS y para el NMOS.
- **EP (Epitaxial Layer Marker)**: Marcador de capa epitaxial, usado en ciertos dispositivos.
- **DE (Diffusion Edge)**: Marca o borde de difusión, útil para chequeo de procesos o extensión de difusión.
- **MP (P-type Marker)**: Marcador de implante tipo P, asociado comúnmente a regiones PMOS.
- **NW (N-Well)**: Define regiones N-Well, necesarias para transistores PMOS.
- **NT (N+ Tap Implant)**: Implante N+ utilizado para conectar el N-Well a VDD.
- **PW (P-Well)**: Define regiones P-Well, necesarias para transistores NMOS.
- **PT (P+ Tap Implant)**: Implante P+ utilizado para conectar el P-Well a tierra (GND).
- **RP (Resistor Poly)**: Polisilicio especial usado en la creación de resistencias.
- **GP (Gate Poly)**: Capa de polisilicio que forma la compuerta del transistor.
- **PE (P-type Extension)**: Envoltura o extensión tipo P, para implantes de fuente y drenaje.
- **NE (N-type Extension)**: Envoltura o extensión tipo N, para implantes de fuente y drenaje.

- **NP (N+ Implant)**: Implante tipo N+, usado en regiones de fuente/drenaje NMOS.
- **PP (P+ Implant)**: Implante tipo P+, usado en regiones de fuente/drenaje PMOS.
- **CT (Contact)**: Contacto entre capas, por ejemplo, entre difusión y metal1.
- **M1 (Metal 1)**: Primera capa metálica utilizada para el ruteo.
- **NV (N-type Via)**: Vía asociada a regiones de tipo N.
- **PV (P-type Via)**: Vía asociada a regiones de tipo P.
- **EDid (Extended Diffusion Identifier)**: layers lógicos que se utilizaron para identificar el componente y luego crear el netlist que va a ser usado en el LVS
- **NDid (N-diffusion Identifier)**: layers lógicos que se utilizaron para identificar el componente y luego crear el netlist que va a ser usado en el LVS.
- **PDid (P-diffusion Identifier)**: layers lógicos que se utilizaron para identificar el componente y luego crear el netlist que va a ser usado en el LVS

	Layer	Purpose	V	S
	BO	drawing	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
	instance	drawing	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
	NB	drawing	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
	EP	drawing	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
	EP	lg	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
	DE	drawing	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
	MP	drawing	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
	NW	tub	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
	NW	exclude	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
	NT	l3	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
	PW	drawing	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
	PT	l3	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
	RP	drawing	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
	GP	drawing	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
	PE	drawing	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
	NE	drawing	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
	Layers	drawing	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
	PP	drawing	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
	CT	drawing	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
	M1	drawing	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
	NV	lg	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
	PV	lg	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
	NDId	drawing	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
	PDId	drawing	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>

Figura 1: Layer Stack

3. Ejercicio 1

Antes de explicar el Layout realizado, es necesario presentar el esquemático en el que se basará, listando los terminales de los componentes y como está conectados:



Figura 2: Esquemático ejercicio 1.

- **P1:** el source de MP0 y los gates de MN0 y MN1 van conectados a éste potencial.
- **P2:** el gate de MP0 y los drains de MN0 y MN1 van conectados a éste potencial.
- **P3:** el drain de MP0 y el body de MN0 están a éste potencial.
- **P4:** los bodies de MP0 y MP1, y los sources de MN0, MN1 y MP1 van conectados a él. Además el deep Nwell de MN1 está conectado a éste pin.
- **P5:** El drain de MP1 y el deep Nwell de MN0 están conectados a éste potencial.
- **P6:** el gate de MP1 y el body de MN1 están conectados aquí.

Dadas las conexiones listadas, es posible de determinar lo siguiente:

- El body y el source de MP1 tienen el mismo potencial (compartido además con el body de MP0)
- MP0 y MP1 tienen el body al mismo potencial. Además, MN1 tiene ese mismo potencial en su deep Nwell. Por consiguiente es posible colocarlos compartiendo el mismo n-epi, pero con distinto body. MN0 quedará por separado.

En la figura 10 se muestra el Layout final alcanzado:

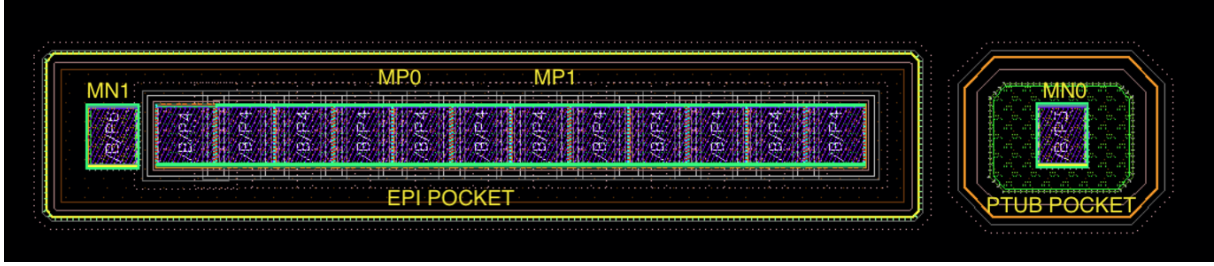


Figura 3: Layout Ejercicio 1.

Se pueden apreciar los dos PMOS con multiplicidad 6 cada uno cuyos gates estan abuteadas. Por un lado, ambos PMOS comparten tensión de body, por ende se abutearon los transistores para crear un gran body equipotencial. Los sources se encuentra hacia abajo y los drains hacia arriba, pero como no comparten tensiones hay dos opciones, dejar los metales separados o agregar un corte en M1 para evitar cortocircuitos.

Por otro lado, el NMOS MN1 tiene su deep Nwell al mismo potencial que los bodies de los PMOS, por ende pueden copartir el n-epi. MN0 queda aislado. Se agregaron las capas (instancias) ptub_pocket_b y epi_pocket_a para aislar los dispositivos.

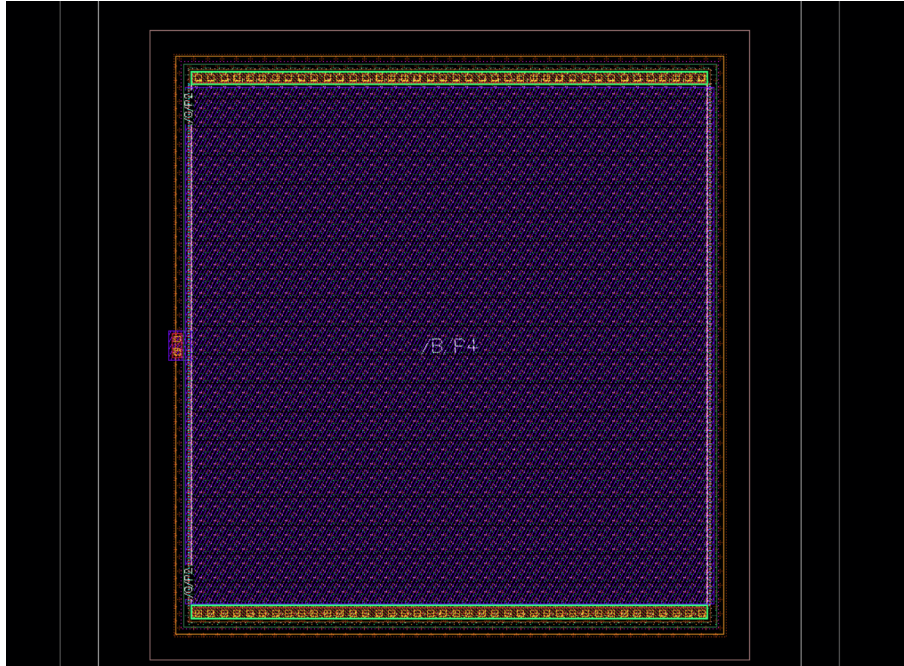


Figura 4: Layout single device

En la figura 6 se resaltaron mediante el Net tracer el source en color rojo, el drain en color violeta y el gate en color naranja. El bulk se ve claramente en el medio de la figura con la marca /B.

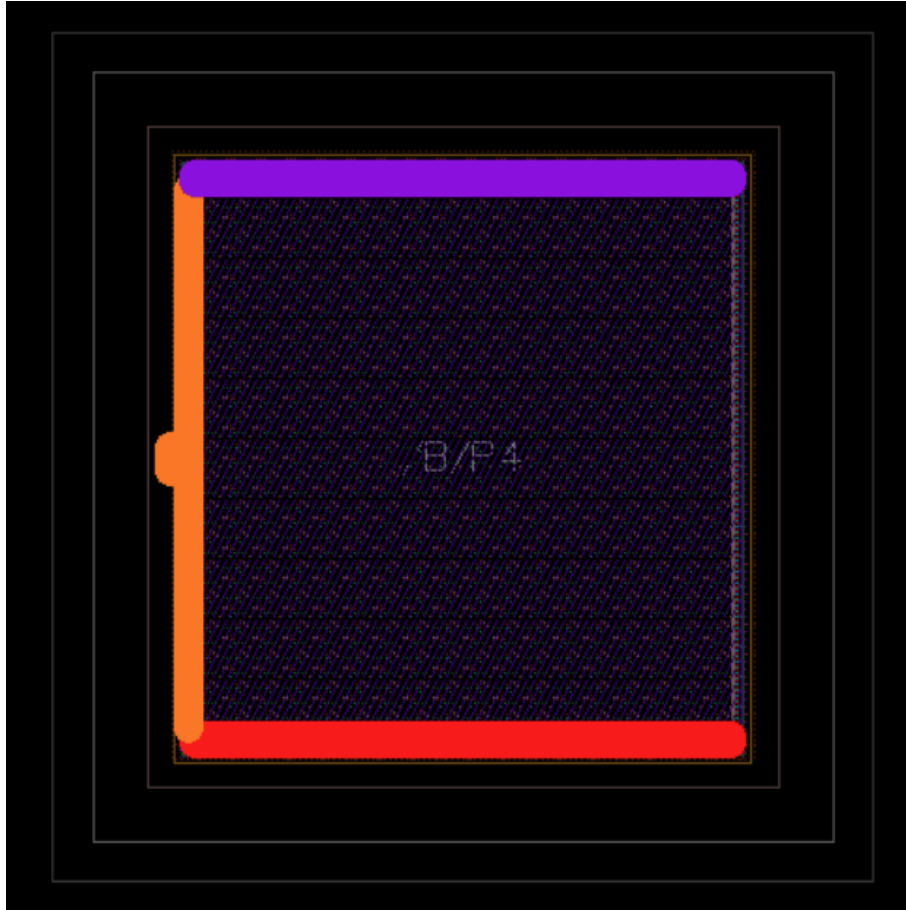


Figura 5: Layout single device resaltado

En la siguiente imagen se muestran las layers fundamentales de un dispositivo PMOS que forman la juntura: GP, NP, PP y M1:

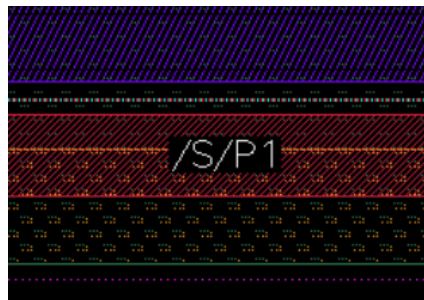


Figura 6: Source de un PMOS

Por último, en la siguientes imágenes se muestra como se configuró el Body Tie y como cambian el source y el drain:

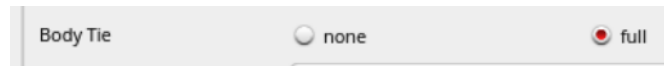


Figura 7: Configuración Body Tie

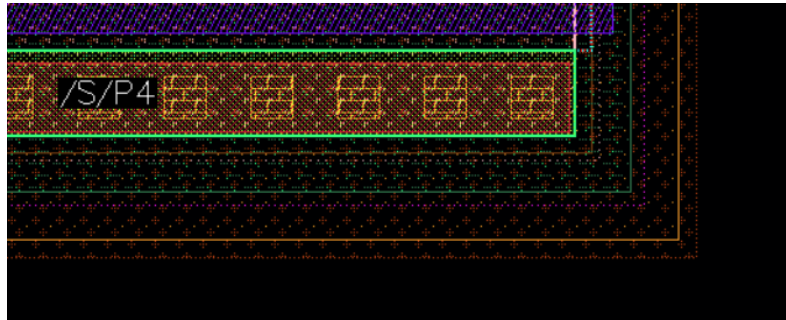


Figura 8: PMOS sin Body Tie

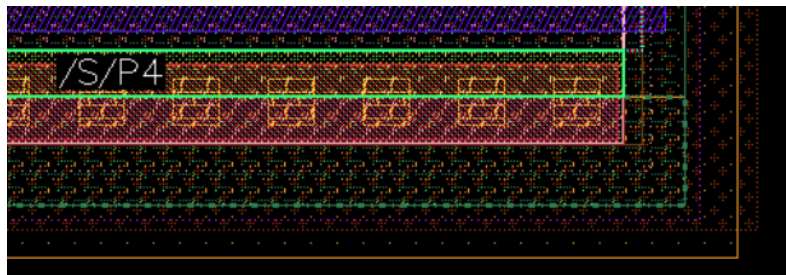


Figura 9: PMOS con Body Tie

4. Ejercicio 2:

Para éste ejercicio se utilizaron los mismos dispositivos, pero con terminales cambiados:

- **P1:** el source de MP0 y los gates de MN0 y MN1 van conectados a éste potencial.
- **P2:** el gate de MP0 y los drains de MN0 y MN1 van conectados a éste potencial.
- **P3:** el drain de MP0 está a éste potencial.
- **P4:** el body de MP0, y los sources de MN0, MN1 y MP1 van conectados a él. Además el deep Nwell de MN1 y MN0 está conectados a éste pin.
- **P5:** El drain de MP1 está conectado a éste potencial.
- **P6:** el gate de MP1 y el body de MP1, MN0 y MN1 Nestán conectados aquí.

Dadas las conexiones listadas, es posible de determinar lo siguiente:

- MP0 tiene su body al mismo potencial que el deep NWell de MN0 y MN1, por ende pueden compartir el mismo n-epi, pero tienen disintan tensión de body, entonces no comparten esa capa. Por otro lado, MP1, MN0 y MN2 comparten tensión de body, pero al ya estar separados los nmos de MP1 (por la razón anterior) se colocan aislados.
- No es necesaria la inclusión de ningún corte adicional en los metales.

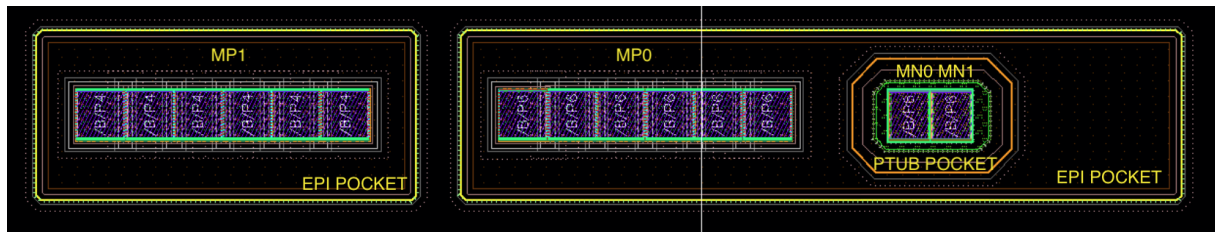


Figura 10: Layout Ejercicio 2.