

66.10 – Circuitos Electrónicos II

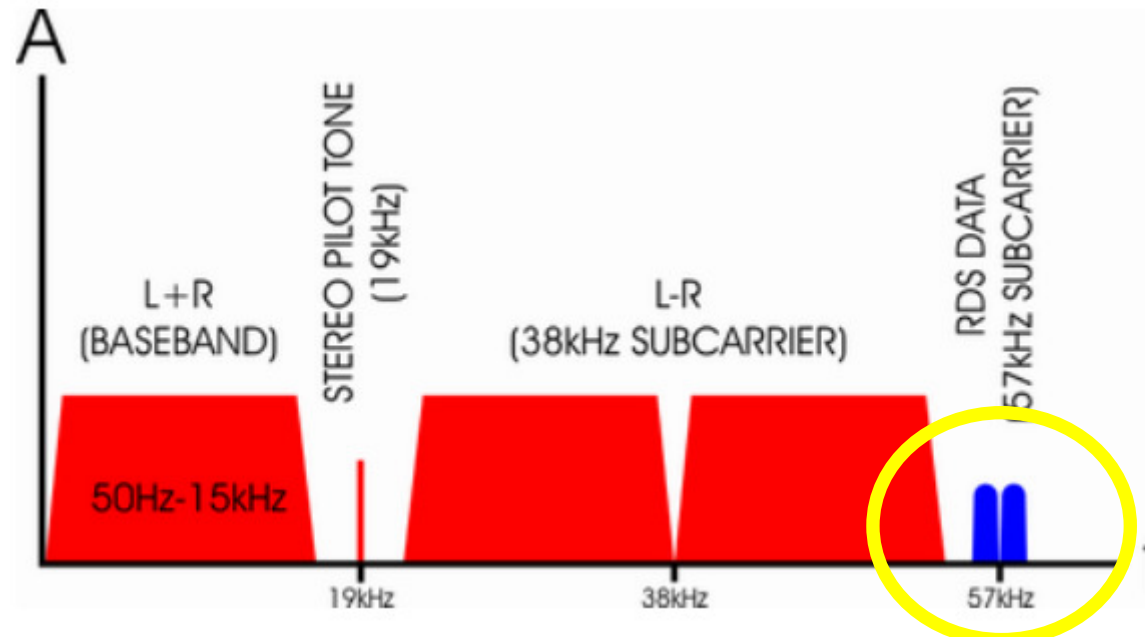
Ejemplo de Aplicación de PLL y Multiplicadores Analógicos

Introducción

- Se aplicará lo aprendido sobre PLL y Multiplicadores al diseño de dos bloques de un Codificador de **RDS**
- **Radio Data System** (RDS) consiste en agregar un canal de transmisión de datos a las transmisiones de FM estéreo comerciales.

¿Cómo funciona RDS?

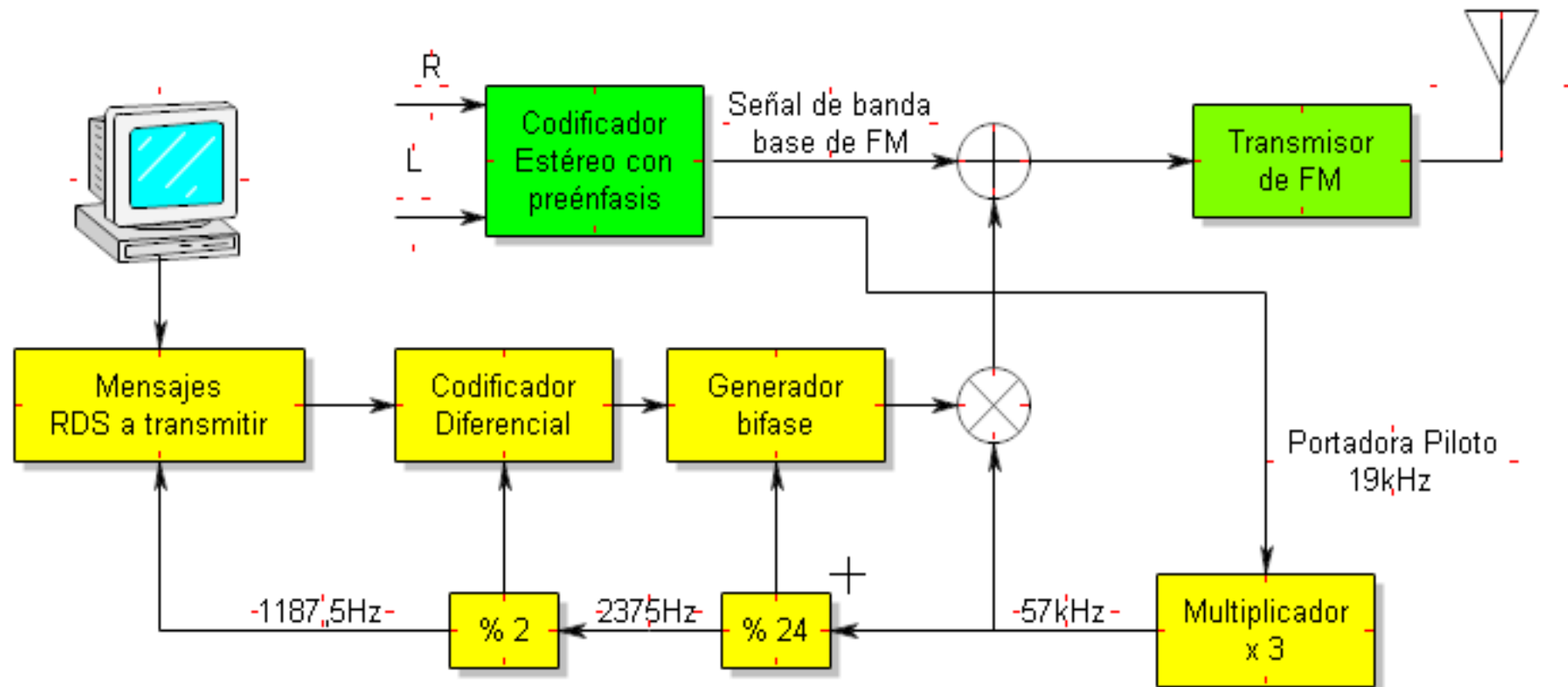
- Se suman datos previamente modulados digitalmente (BPSK) y luego en AM sin portadora al espectro de una transmisión de FM en banda base



¿Cómo funciona RDS?

- Las tramas son generadas por un microcontrolador.
- El tiempo de bit de las tramas es de $(1/1187.5)$ s. Esta señal de “timing” es generada a partir de la portadora piloto de 19kHz e ingresada como fuente de interrupción a un microcontrolador.

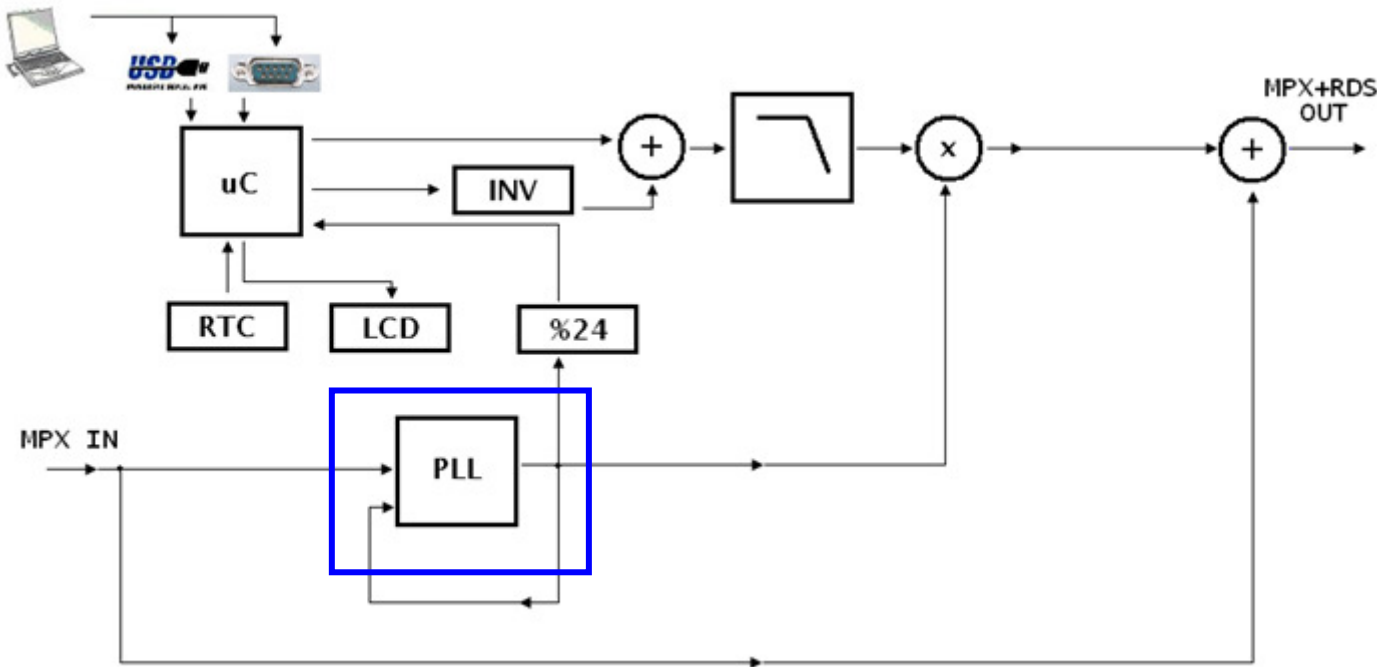
Diagrama en Bloques



Análisis de Bloques

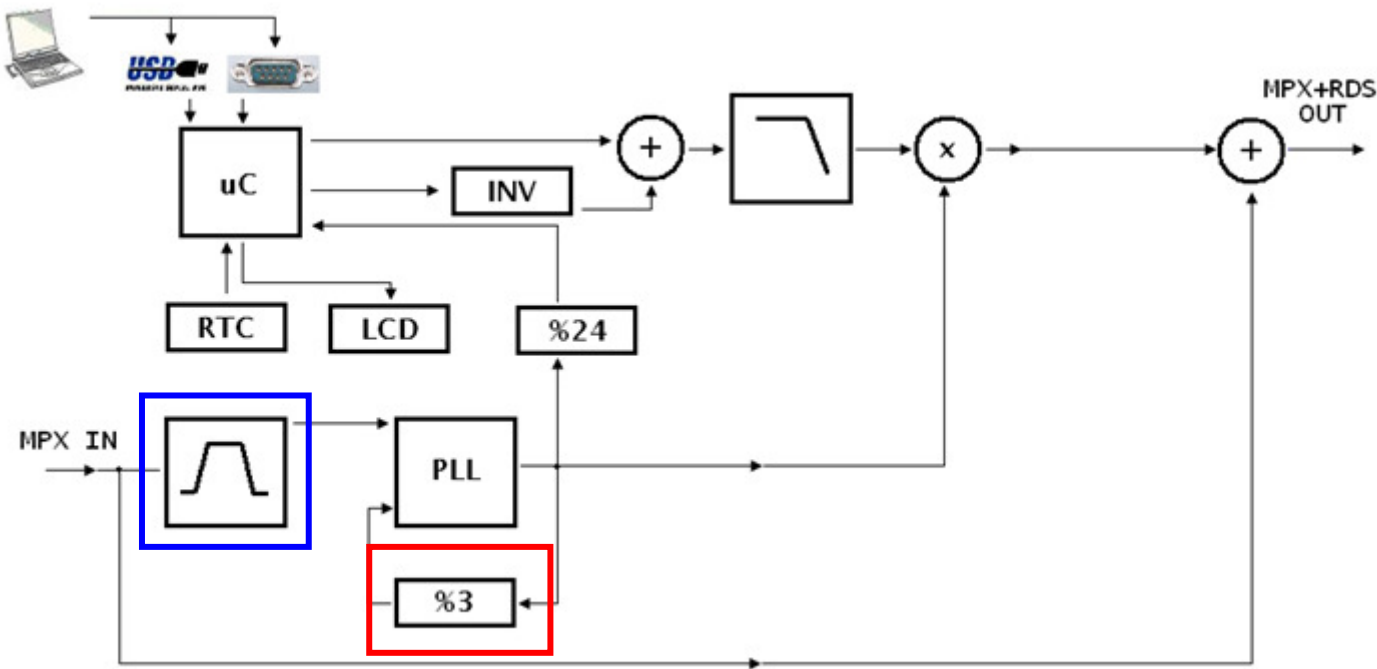
- Multiplicador: Se debe tomar la señal de la portadora piloto, multiplicarla por 3 siguiendo cualquier variación de la misma. Al requerirse un seguimiento de la señal, utilizamos un PLL.
- Modulador: Para realizar la modulación en AM con portadora suprimida se debe utilizar un multiplicador analógico.

Alternativa de Diseño nº 1



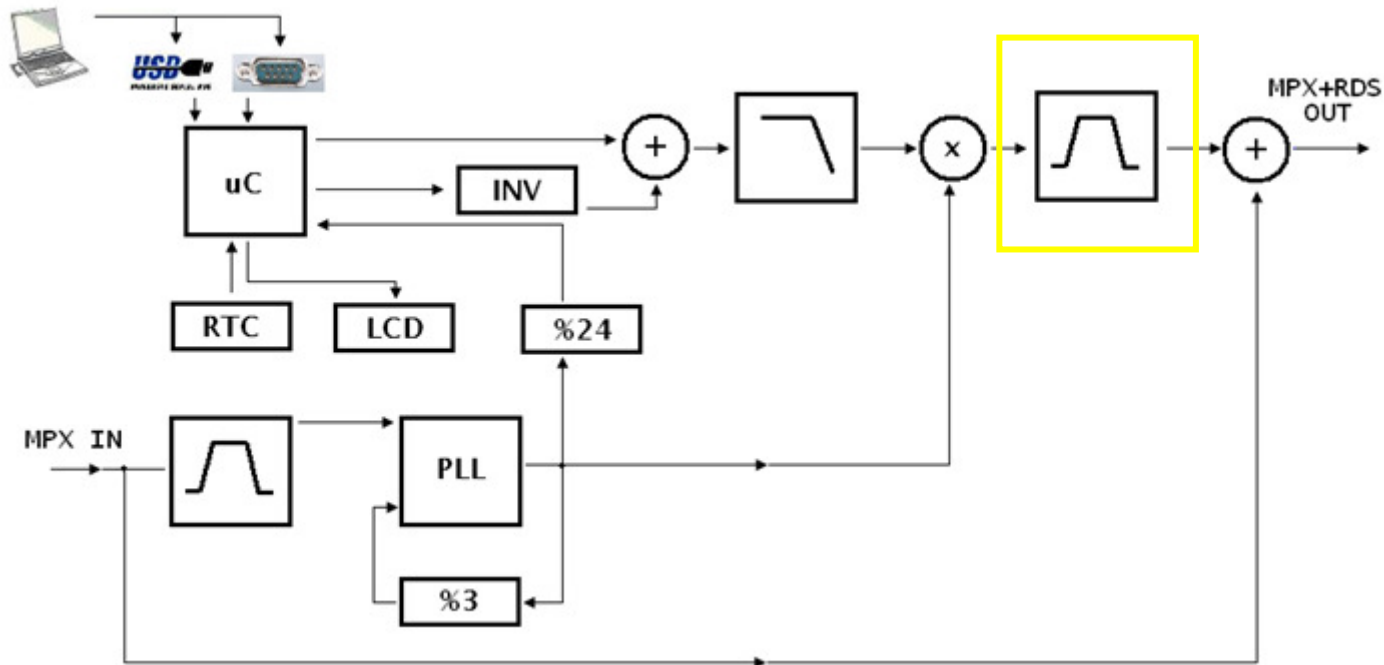
- Problema: El PLL puede presentar dificultades para engancharse.

Alternativa de Diseño nº 2



- Solución: Filtrado pasabanda de portadora piloto y divisor por 3 acoplado al PLL.
 - Problema: Al modular con *portadora cuadrada*, se irradian señales fuera de la banda permitida (171kHz, 285kHz, ...)

Solución Adoptada

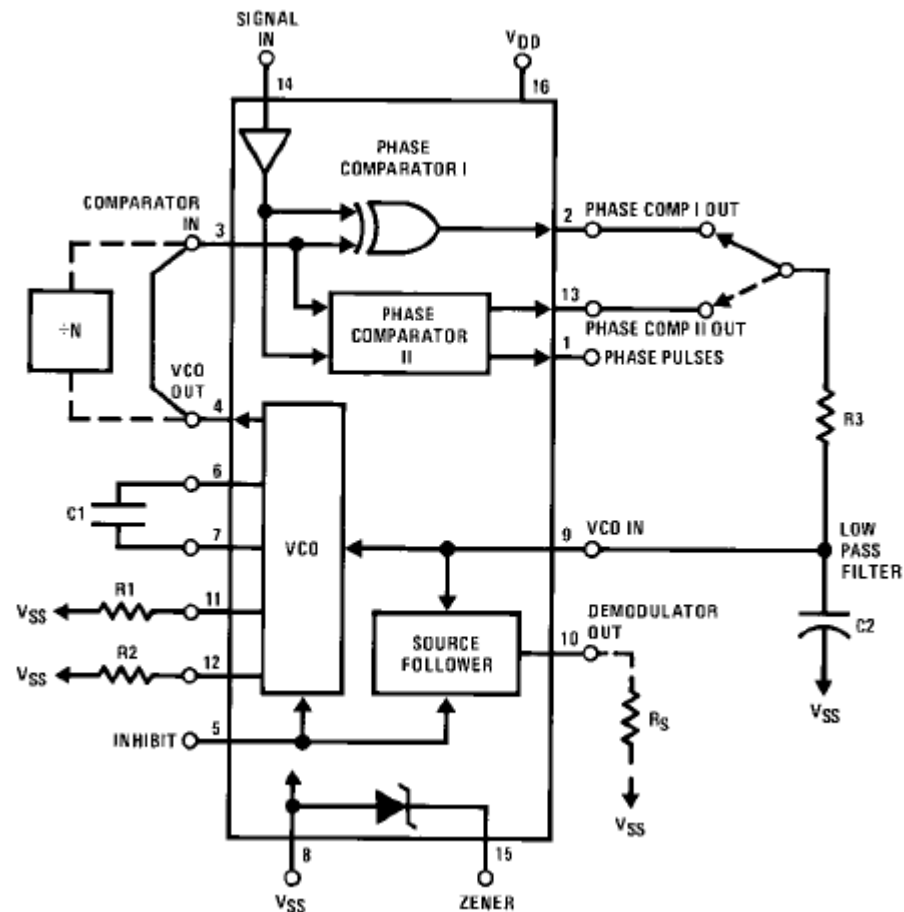


- Solución: Incorporar filtro pasabanda centrado en 57kHz a la salida del modulador

Implementación electrónica de bloques destacados

PLL práctico

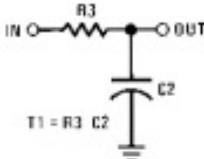
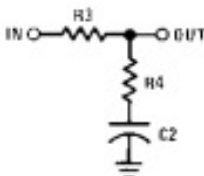
- PLL elegido: CD4046



PLL

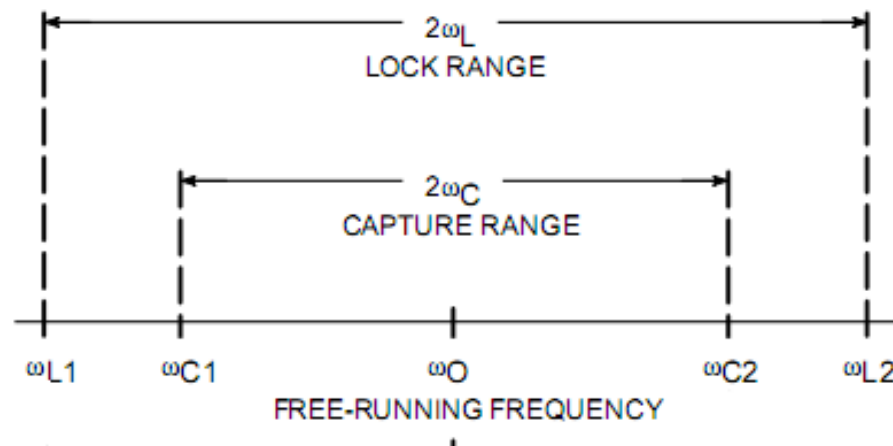
- Puntos básicos a tener en cuenta para el diseño con un PLL:
 - Frecuencia central del VCO (frecuencia de corrida libre).
 - Comparador de fase
 - Rangos de captura y enganche.
 - Cálculo del Filtro de lazo
 - Circuito divisor (externo).

Comparadores de Fase

Characteristics	Using Phase Comparator I	Using Phase Comparator II
For No Signal Input	VCO in PLL system will adjust to center frequency, f_o	VCO in PLL system will adjust to lowest operating frequency, f_{min}
Frequency Lock Range, $2 f_L$	$2 f_L = \text{full VCO frequency range}$ $2 f_L = f_{max} - f_{min}$	
Frequency Capture Range, $2 f_C$	 $2 f_C \approx \frac{1}{\pi} \sqrt{\frac{2 \pi f_L}{\tau_1}}$	
Loop Filter Component Selection	 <p>For $2 f_C$, see Ref.</p>	
Phase Angle Between Single and Comparator	90° at center frequency (f_o), approximating 0° and 180° at ends of lock range ($2 f_L$)	Always 0° in lock
Locks on Harmonics of Center Frequency	Yes	No
Signal Input Noise Rejection	High	Low

PLL – Rangos de Captura y Enganche

- Rango de captura (capture range): Rango de frecuencias dentro de las cuales el PLL se engancha estando inicialmente desenganchado.
- Rango de enganche (lock range): Rango de frecuencias que el PLL puede seguir una vez enganchado.



PLL: Rango de Enganche

- Rango de enganche

Frequency Lock Range, $2 f_L$	$2 f_L = \text{full VCO frequency range}$ $2 f_L = f_{\max} - f_{\min}$
----------------------------------	--

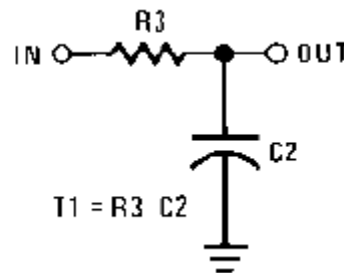
- Se pueden utilizar las siguientes fórmulas para R1, R2 y C (surgen de ajustar las curvas dadas en la hoja de datos)

$f_{\min} = \frac{1}{R2(C1 + 32 pF)}$ $f_{\max} = f_{\min} + \frac{1}{R1(C1 + 32 pF)}$
--

Rango de Captura / Filtro de lazo

- El rango de captura depende de los componentes del filtro de lazo. Para un filtro de lazo de 1er orden, se calcula mediante la siguiente expresión:

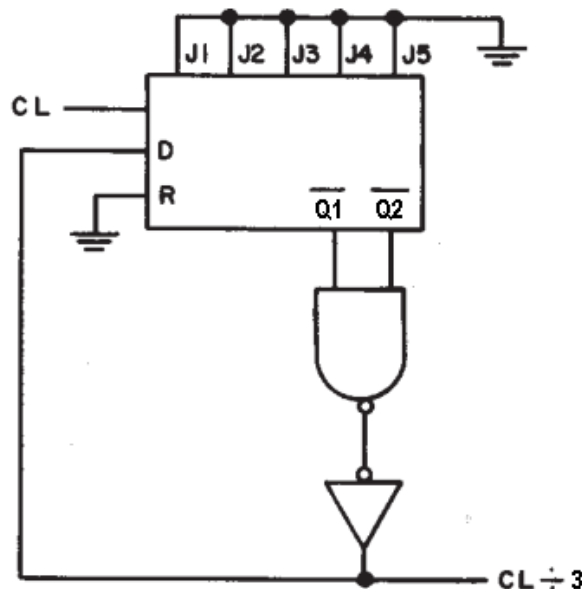
Frequency Capture
Range, $2 f_C$



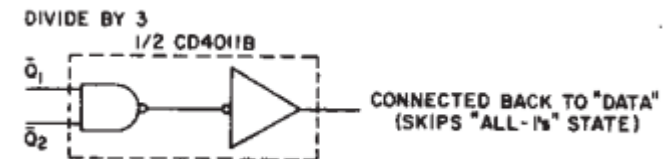
$$2 f_C \approx \frac{1}{\pi} \sqrt{\frac{2 \pi f_L}{\tau_1}}$$

Circuito Divisor

- Se utilizará el integrado CD4018 que es un divisor programable de 1 a 10. En caso de que se quiera dividir por un número impar se coloca un circuito auxiliar.



EXTERNAL CONNECTIONS FOR DIVIDE BY 10, 9, 8, 7, 6, 5, 4, 3 OPERATION		
DIVIDE BY 10	\bar{Q}_5	CONNECTED BACK TO "DATA" } NO EXTERNAL COMPONENTS REQUIRED
DIVIDE BY 8	\bar{Q}_4	
DIVIDE BY 6	\bar{Q}_3	
DIVIDE BY 4	\bar{Q}_2	
DIVIDE BY 2	\bar{Q}_1	



92CS-1707IR3

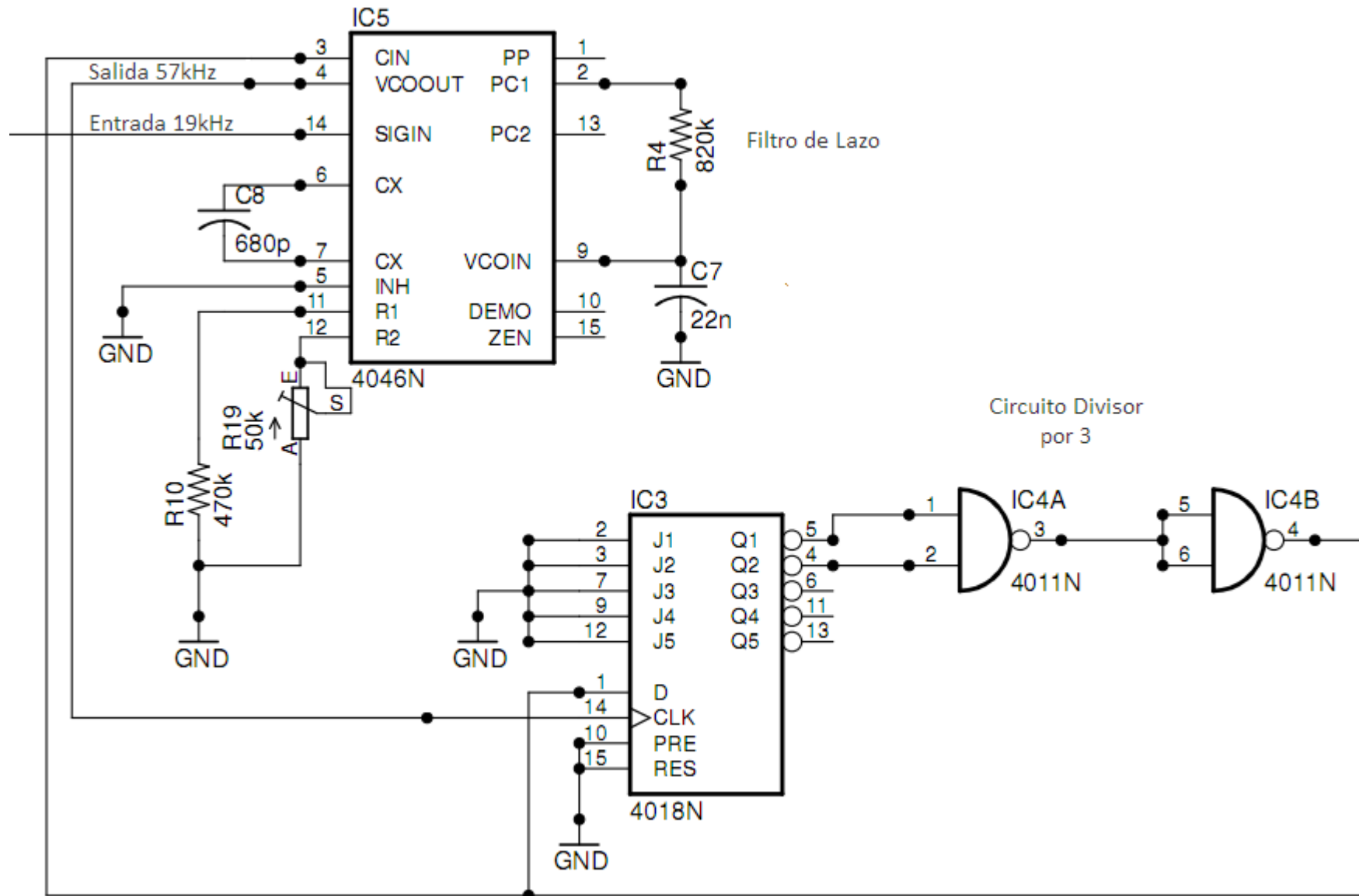
PLL – Validación del Diseño

- Se debe validar el diseño mediante el armado del circuito en placa universal o protoboard.
- Hay que disponer de un osciloscopio de dos canales, en uno se mide la señal que ingresa al comparador de fase y en otro la señal que sale del VCO.

PLL – Validación del Diseño

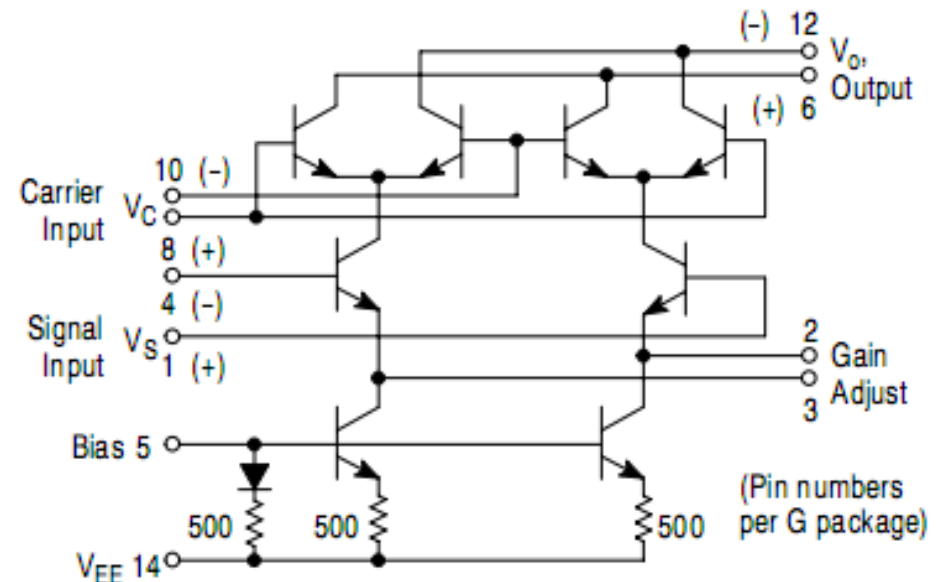
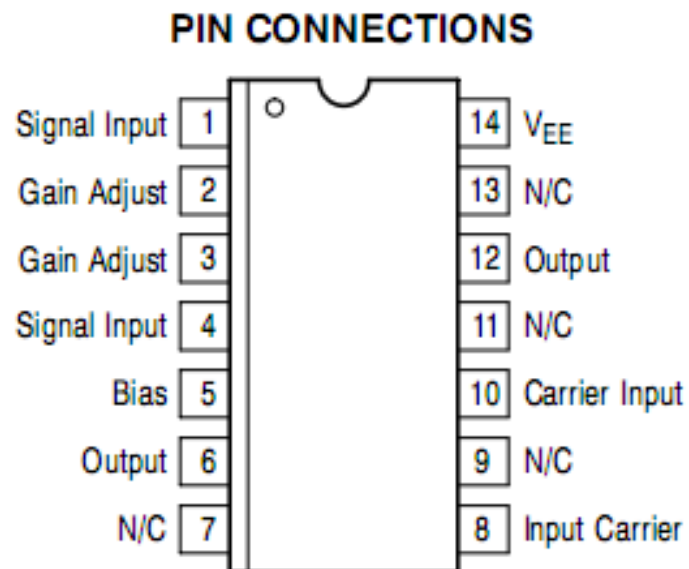
- Verificar que las variaciones de la señal externa son seguidas por el PLL.
- Validar que los rangos de enganche y captura sean los correctos

Diseño Final PLL

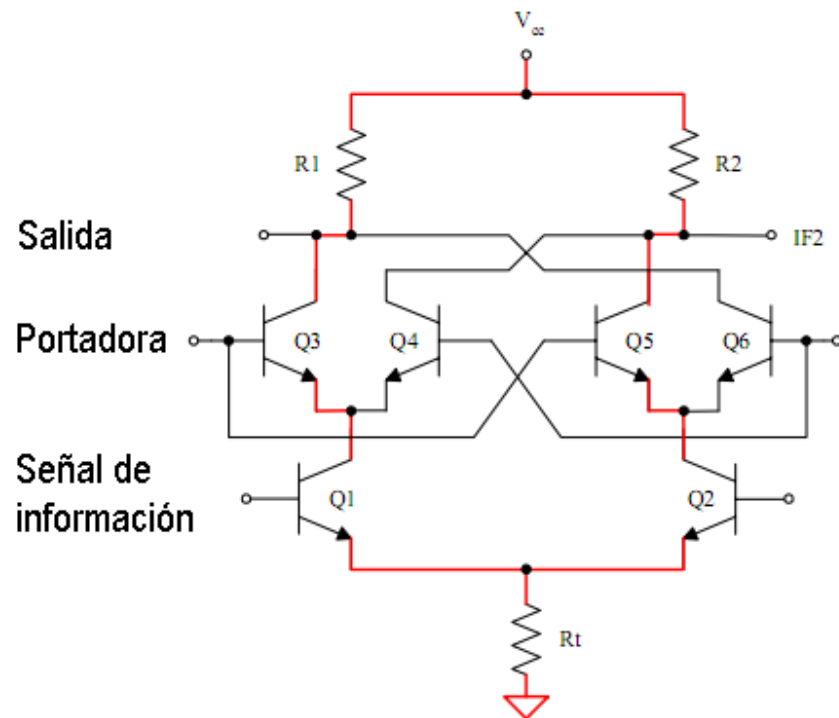


Multiplicador Analógico

- Objetivo: modular la señal en AM con PS.
- Se utilizó el integrado MC1496 debido a su disponibilidad en el mercado local.



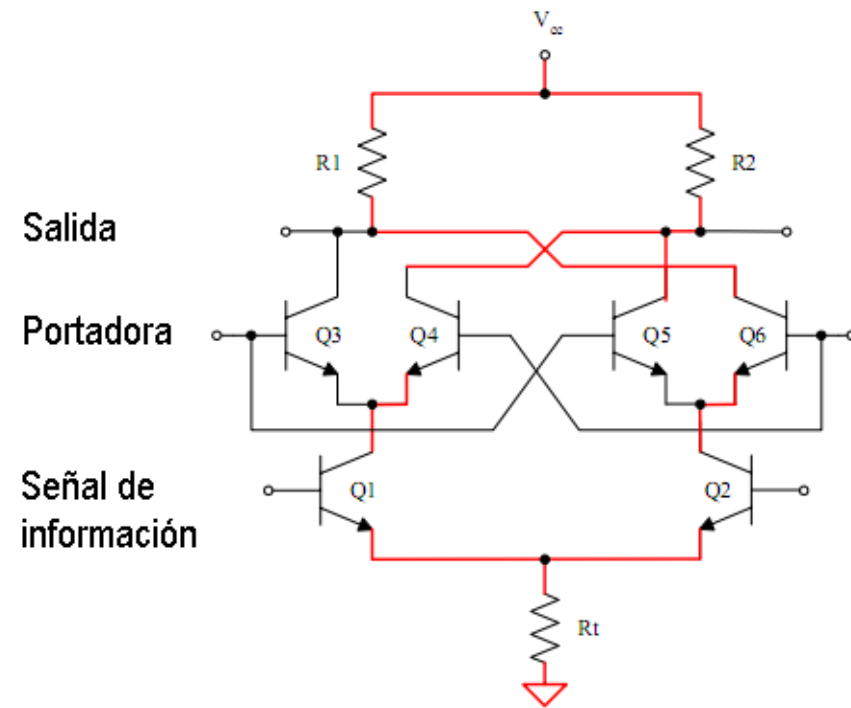
Multiplicador Analógico



Q3, Q5 ON

Q4, Q6 OFF

**Se multiplica a la señal a modular
por + 1**

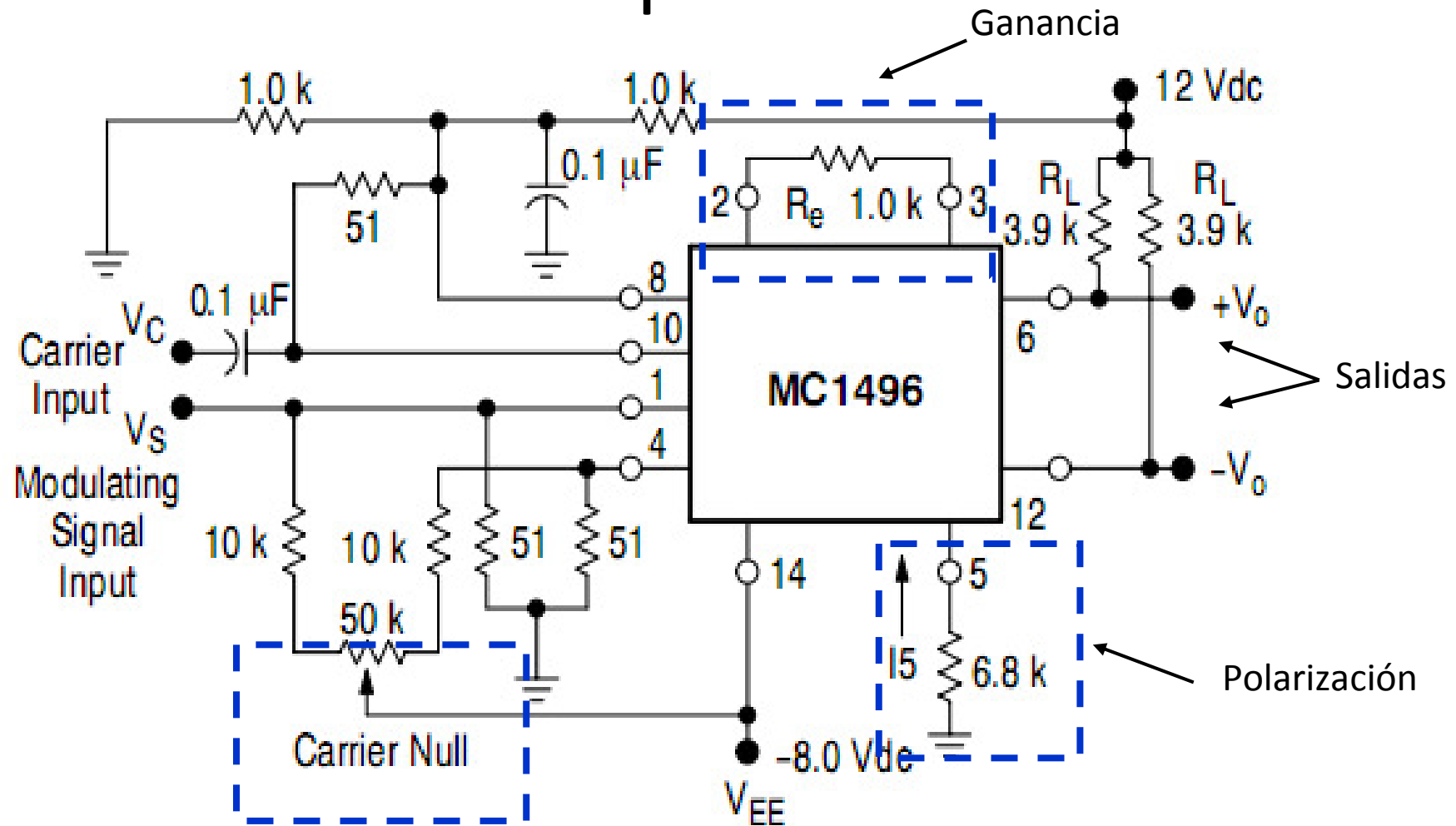


Q3, Q5 OFF

Q4, Q6 ON

**Se multiplica a la señal a modular
por - 1**

Multiplicador Analógico – Circuito de Aplicación



Se logra portadora nula cuando se balancean las corrientes del par

Diseño Final Multiplicador Analógico

