

0.1. PLL: Phase-locked loops

0.1.1. Introducción

Los circuitos **PLL** fueron introducidos a en el año 1960. Sin embargo, su concepto ya había sido probado 30 años atrás pero las limitaciones tecnológicas de la época. Son utilizados en diversas aplicaciones en el área de RF. Se emplean para demodular FM y FSK, acondicionamiento de señales y síntesis de frecuencias. En este trabajo nos dedicaremos a analizar como utilizar un PLL para demodular una señal de FM y a sintetizar una señal cuya frecuencia sea múltiplo de otra. Además estudiaremos el comportamiento del circuito bajo diferentes condiciones.

0.1.2. Diagrama en bloques de un PLL

El PLL consiste de 3 bloques fundamentales:

1. Comparador
2. Filtro pasa bajos (LPF)
3. VCO (voltage controlled oscillator)

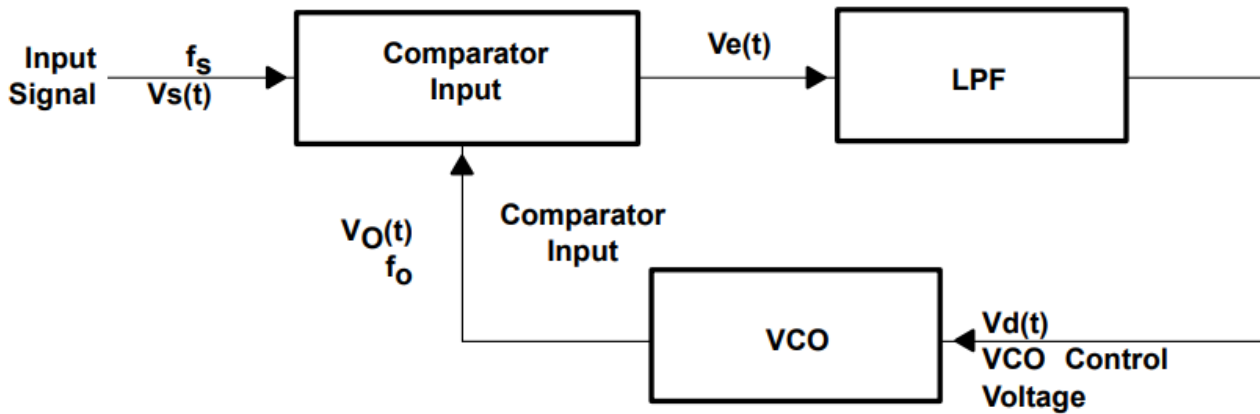


Figura 1: Diagrama en bloques de un PLL

El comparador emite una señal de error proporcional a la diferencia de frecuencia y fase con respecto a la señal de entrada. De no haber entrada (es decir tensión nula) el VCO operara a la frecuencia central ya configurada. La señal de error $V_e(t)$ es filtrada para asegurar que el VCO reciba una señal continua en su entrada. La configuración de retroalimentación busca minimizar la tensión de error. Para esto el VCO ajustara su frecuencia de operación. Por ejemplo, supongamos que la frecuencia central del VCO es 1Khz y nuestra entrada opera a 2Khz . En este caso la señal de error proporcional a dicha diferencia forzara al VCO a aumentar su frecuencia de oscilación. Cuando nuestra frecuencia de entrada se aproxima a la frecuencia de central del VCO se dice que entra al *Rango de captura o enganche*. Al entrar en esta zona y por efecto del circuito de realimentación, el VCO sincroniza su frecuencia de oscilación con aquella en la entrada del PLL.

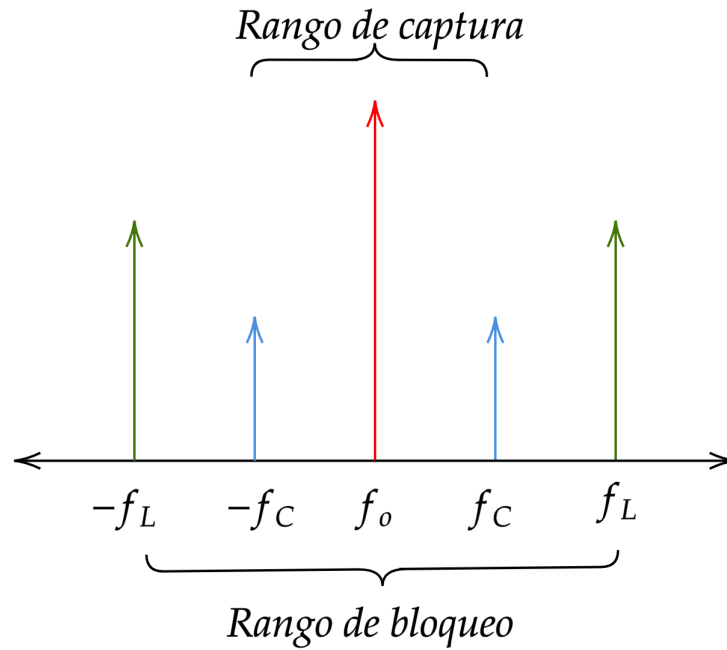


Figura 2: Rango de bloqueo(enganche) y captura

Como podemos observar en la figura 2. Existe la ya antes mencionada **zona de captura**. Una señal que se encuentre en este rango de frecuencias forzará al PLL a sincronizar la frecuencia de oscilación de su VCO interno con la frecuencia de la señal entrante. Una vez dentro de esta zona es posible utilizar el PLL dentro de la llamada **zona de bloqueo**. En esta zona el PLL mantendrá la frecuencia de oscilación sincronizada. Notemos que el rango de bloqueo es más grande que el rango de captura.

0.1.3. Diseño y configuración

El circuito integrado CD4046 puede ser configurado de varias maneras dependiendo de su finalidad. En la figura 3 podemos ver los componentes internos del integrado.

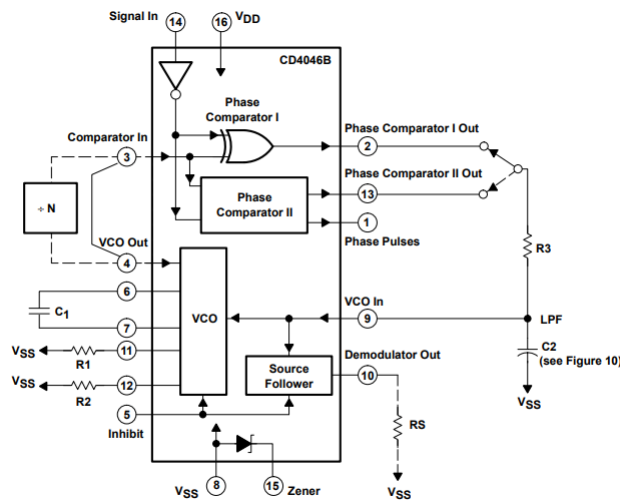


Figura 3: Configuraciones del CD4046

En nuestro caso, nos es de interés configurar el PLL de tal forma de obtener un rango de bloque que comience en los 4.5KHz y termine a los 96KHz . Además deseamos poder observar el efecto del rango de captura por lo que este se configurara para capturar frecuencias en un rango de **COMPLETAR**

Para alcanzar esta configuración se hizo referencia a la hoja de datos (ver adjunto) de Texas Instruments.¹ En la misma se hace referencia a 4 configuraciones posibles de la cuales solo 1 de ellas nos permite regular el rango de captura de la señal entrante. Las demás establecen un rango de captura de igual ancho que el rango de bloqueo.

0.1.4. Síntesis de frecuencias

Los circuitos PLL son utilizados para la síntesis de frecuencias. Para conseguirlo se recurre a colocar un divisor de frecuencia la salida del VCO. Entonces el comparador de fase y frecuencia reconocerá que para igualar la frecuencia de entrada deberá forzar al VCO a aumentar la frecuencia de oscilación

¹Durante el desarrollo de este trabajo se encontraron discrepancias en las formulas provistas por los diversos fabricantes. No obstante, coincidían en los circuitos de aplicación planteados