



UNIVERSIDAD NACIONAL DE ROSARIO

Facultad de Ciencias Exactas, Ingeniería y Agrimensura
Escuela de Ingeniería Electrónica

Proyecto final de Ingeniería Electrónica

Rediseño y puesta en marcha de un inversor monofásico con topología quasi-Z Source

Guido Cicconi
Gustavo García
Juan Tinazzo

Director: Ing. Andrés Vazquez Sieber

Presentación:

Agradecimientos

A nuestros padres, familiares, parejas y amigos, quienes nos han alentado y acompañado a lo largo de este camino, siendo nuestro apoyo incondicional en cada momento.

A nuestro director de proyecto, Andrés Vazquez Sieber, por su constante apoyo y presencia en cada etapa del proyecto. Su colaboración enérgica y constructiva fue fundamental para el desarrollo de este trabajo, y le estamos profundamente agradecidos.

A todo el equipo docente del Laboratorio de Electrónica, por brindarnos libre acceso a todos los equipos, herramientas e insumos que pudiéramos llegar a necesitar. Especialmente a Edgardo “Bichi” Arnejo por habernos abierto las puertas del laboratorio (literalmente) y por brindarnos sabios consejos durante estos meses. A Sergio Koatz por habernos facilitado componentes para agilizar el desarrollo del proyecto. A Pablo Amoedo, por el incentivo y la inspiración brindada durante sus clases para seguir la rama de Electrónica de Potencia.

A nuestros docentes de la carrera, quienes nos han transmitido no solo conocimientos, sino también valiosas lecciones de vida que llevaremos con nosotros siempre. En especial, agradecemos a aquellos que enseñan con pasión y amor por su profesión, inspirándonos a superarnos cada día.

A la Universidad Nacional de Rosario, por brindarnos las herramientas, el espacio académico y el entorno necesario para desarrollar nuestras habilidades, y no solamente completar este trabajo, sino también para formarnos íntegramente como Ingenieros Electrónicos.

Índice general

1. Introducción	11
2. Preliminares	13
2.1. Fundamentos de los convertidores CC/CA o inversores	13
2.2. Inversores con topologías Z-Source y qZ-Source	20
2.3. Modelo y algoritmo de control de la red quasi-Z-source desarrollados en [49]	23
2.4. Inversor implementado en el proyecto base [19]	26
2.5. Objetivos del proyecto	28
3. Mejoras y modificaciones sobre el proyecto base [19]	30
3.1. Documentación	30
3.2. Placa de entrada de CC	32
3.3. Placa de drivers	35
3.3.1. Reducción del cableado hacia la placa de control	35
3.3.2. Cambios en los drivers de los MOSFETs de las redes Snubber	37
3.3.3. Diseño del PCB de la placa de drivers	38
3.4. Placa de control	40
3.4.1. Rediseño de la interfaz analógica para mediciones	40
3.4.2. Rediseño del circuito de protección por hardware	50
3.4.3. Cambios misceláneos	54
3.4.4. Diseño del PCB de la placa de control	57
3.5. Fabricación, montaje y soldado de PCBs	63
3.5.1. Generación de archivos de fabricación	64
3.5.2. Preparación para montaje	66
3.5.3. Soldado	67
3.6. Armado de gabinete y cableado	68
3.7. Tablero de control	72
3.8. Firmware	74
3.8.1. Máquina de Estados Finitos	74
3.8.2. Adquisición de señales, procesamiento y generación de salidas PWM	77
3.8.3. Configuración de los módulos PWM	81
3.8.4. Configuración del ADC	88
3.8.5. Algoritmos de control	90
3.8.6. Configuración del inversor por firmware	92
3.9. Fallas detectadas en los ensayos y su corrección	94

3.9.1. Placa de control	94
3.9.2. Placa de salida CA	99
3.9.3. Placa Convertidor CC/CA	99
3.9.4. Placa de Drivers	102
4. Puesta en marcha y ensayos	106
4.1. Preparación del instrumental y cargas	106
4.2. Protocolo de ensayo	110
4.3. Ensayos	111
4.3.1. 1ra Etapa: Inversor con dos redes Snubber pasivas	111
4.3.2. 2da Etapa: Inversor con una red Snubber activa y una pasiva	118
4.3.3. 3ra Etapa: Inversor con dos redes Snubber activas	128
5. Diseño de un controlador de la tensión de salida	139
5.1. Modelización del inversor	139
5.2. Diseño del controlador interno	142
5.3. Diseño del controlador de la tensión de salida	147
5.4. Prueba del controlador sobre modelo en Simulink	152
5.5. Discretización del controlador para su implementación digital	160
6. Conclusiones y perspectivas futuras	163
6.1. Conclusiones sobre el proyecto	163
6.2. Perspectivas futuras	164
A. Cálculo de las redes Snubber	167
B. Instructivo de modificaciones para las redes Snubber	173
C. Modificaciones en la medición de la corriente de salida	178

Índice de figuras

2.1. Diagrama esquemático de un inversor. Imagen extraída de [48].	14
2.2. Señales para la modulación de un solo ancho de pulso. Imagen extraída de [27].	16
2.3. Factor de distorsión y armónicos en modulación de un solo ancho de pulso. Imagen extraída de [27].	17
2.4. Señales para la modulación de varios anchos de pulso. Imagen extraída de [27].	17
2.5. Factor de distorsión y armónicos en modulación de varios anchos de pulso. Imagen extraída de [27].	18
2.6. Señales para la modulación senoidal. Imagen extraída de [27]	19
2.7. Factor de distorsión y armónicos en modulación senoidal. Imagen extraída de [27]	19
2.8. Diagrama en bloques de un inversor con topología Z-Source. Imagen extraída de [16]	20
2.9. Diagrama temporal de un período de conmutación. Imagen extraída de [19]	21
2.10. Inversor monofásico con topología quasi-Z Source. Imagen extraída de [16]	22
2.11. Convertidor CC/CC con topología quasi-Z Source. Imagen extraída de [49]	23
2.12. Inversor monofásico qZSI.	26
2.13. Inversor montado en el proyecto base. Imagen extraída de [19].	28
2.14. Límites de armónicos en red eléctrica. Norma EN50160. Imagen extraída de [32].	29
3.1. Archivo <i>multiboard</i> generado.	32
3.2. Switch de entrada del inversor.	33
3.3. Control del switch de entrada del inversor utilizado en el proyecto base [19].	33
3.4. Nuevo control del switch de entrada del inversor.	34
3.5. Nuevo control del switch de entrada del inversor implementado sobre la placa original de <i>Entrada de Corriente Continua</i>	35
3.6. Operaciones lógicas AND sobre las señales <i>Fault</i> y <i>Ready</i> en la placa de drivers.	36
3.7. Circuito para manejar los MOSFETs de las redes Snubber.	37
3.8. Regulador para ajustar la tensión V_{GS} máxima de los MOSFETs de las redes Snubber.	37
3.9. Placa de drivers en el software de diseño.	39
3.10. Filtros para señales entre las zonas ruidosas y no ruidosas en la placa de drivers.	39
3.11. Circuito utilizado para adaptar la tensión de entrada para su medición.	42
3.12. Circuitos utilizados para adaptar las tensiones V_{C1} y V_{C1-2} para su medición.	42
3.13. Circuito utilizado para adaptar la tensión de salida para su medición.	43
3.14. Circuito utilizado para adaptar la corriente de entrada para su medición.	45
3.15. Circuito utilizado para adaptar la corriente I_{L1} para su medición.	46

3.16. Circuito utilizado para adaptar la corriente I_{BRDG} para su medición.	46
3.17. Circuito utilizado para adaptar la corriente de salida para su medición.	48
3.18. Circuito utilizado para generar la tensión de referencia de 3,3V.	49
3.19. Circuito integrado CM1293-04SO.	50
3.20. Filtro de salida del inversor.	51
3.21. Circuito utilizado para generar las referencias de los comparadores, junto con un comparador.	52
3.22. Circuito utilizado para sumar y retener las señales de activación de las protecciones por hardware.	53
3.23. Circuito para generar las tensiones de alimentación de la placa de control. . . .	54
3.24. Desacople de alimentaciones externas con capacitores tierra-masa en la placa de control.	55
3.25. Convertidor de nivel utilizado en la placa de control.	55
3.26. Entradas y salidas externas de la placa de control.	56
3.27. Conector de la placa de control para la interfaz JTAG externa.	57
3.28. Placa de control en el software de diseño.	58
3.29. Disposición de bloques funcionales en la placa de control.	59
3.30. Front-end analógico de la placa de control.	60
3.31. Señales analógicas ingresando a la ControlCard.	61
3.32. Entradas y salidas digitales de la placa de control.	62
3.33. Planos de masa y tierra de la capa Inner 1.	62
3.34. Fuentes de alimentación de la placa de control.	63
3.35. Bus CAN de la placa de control.	63
3.36. Herramienta OutJob De Altium Designer.	64
3.37. Capas exportadas durante la generación de archivos.	64
3.38. Perforaciones exportadas durante la generación de archivos.	65
3.39. Editor Camtastic, con los archivos generados en los pasos anteriores.	66
3.40. Archivo .html que facilita la colocación de los componentes.	67
3.41. Curva de temperatura del estaño en pasta para lograr soldaduras correctas. [6] .	67
3.42. Placas fabricadas. A la izquierda: placa de drivers, en el centro: placa para controlar el transistor de entrada, a la derecha: placa de control.	68
3.43. Modelo 3D del gabinete.	69
3.44. Gabinete terminado con las placas fijadas.	69
3.45. Parte inferior de la placa de control.	70
3.46. El inversor por dentro del gabinete.	71
3.47. Conectores para entrada (izquierda) y salida (derecha) de tensión del inversor. .	71
3.48. Caja de conexión para poder conectar de manera segura el inversor al ensayararlo. .	72
3.49. Diagrama en bloques de las conexiones entre la fuente de alimentación, el inversor y la carga al usar la caja de conexiones.	72
3.50. Circuito de lógica cableada del para la conexión y desconexión de la alimentación. .	73
3.51. Parte superior de la caja de conexiones, donde se encuentran rotuladas cada una de las borneras.	73
3.52. Diagrama Statechart de la Máquina de Estados Finitos implementada.	76
3.53. Diagrama esquemático simplificado del inversor, donde se observan las llaves controladas por el DSP.	82

3.54. Diagrama temporal de los distintos vectores que modulan el puente con $D \geq 0$	83
3.55. Diagrama temporal de los distintos vectores que modulan el puente con $D < 0$	83
3.56. Diagrama de tiempos de los módulos PWM que controlan el puente del inversor. Imagen tomada de [19] y modificada.	84
3.57. Diagrama de tiempos del resto de los módulos PWM. Imagen tomada de [19] y modificada.	86
3.58. Efecto de la modulación PWM del puente sobre la tensión V_{BUS}	87
3.59. Barrido de la tensión V_{BUS}	87
3.60. Diagrama de bloques del ADC del DSP utilizado. Imagen extraída de [37].	88
3.61. Circuito utilizado para generar la referencia de calibración del ADC.	90
3.62. Circuito de protecciones por hardware corregido.	96
3.63. Pines GPIO84 a GPIO87 de la ControlCard conectados al switch para seleccionar el modo de booteo.	97
3.64. Filtros en las señales de entrada FLT, RDY y OCP.	97
3.65. Oscilaciones presentadas en el bus de CC durante los ensayos.	98
3.66. Cambio de bobinas acopladas por chokes de 600Ω en la placa de drivers.	98
3.67. Curva de respuesta en frecuencia del sensor de efecto Hall ACS710. Figura ex- traída de [1].	99
3.68. Ruido en la tensión de alimentación de la placa de control.	100
3.69. Circuito esquemático del Snubber activo y el puente inversor corregidos.	101
3.70. Circuito esquemático de las resistencias de descarga de los capacitores de la red Z.	102
3.71. Cambio de la bobina acoplada por choke de 600Ω en la placa de drivers.	103
3.72. Circuito de excitación de los transistores del puente y el Q_{DZ} corregido.	103
3.73. Circuito de excitación de los transistores de las redes Snubber corregido.	104
3.74. Conector de alimentación de la placa de drivers.	105
4.1. Disposición del tablero de control, inversor y carga	106
4.2. Fuente de alimentación programable de 3kW.	107
4.3. Interfaz gráfica en Python para el control de la fuente.	107
4.4. Fuente de alimentación de tres canales.	108
4.5. Osciloscopio Rigol DS1054Z.	108
4.6. Sondas de osciloscopio utilizadas para realizar los ensayos.	109
4.7. Resistencias de potencia de 330Ω en serie.	109
4.8. Diagrama de conexiones del arreglo de resistencias de carga.	110
4.9. Arreglo de resistencias de hasta 800W.	110
4.10. Diagrama esquemático de las redes Snubber pasivas	112
4.11. Diagrama de conexión entre la fuente de CC y el inversor en la primera etapa de ensayos.	112
4.12. Ensayo 1 con dos redes Snubber pasivas.	113
4.13. Ensayo 2 con dos redes Snubber pasivas.	113
4.14. Ensayo 3 con dos redes Snubber pasivas.	114
4.15. Ensayo 4 con dos redes Snubber pasivas.	114
4.16. Ensayo 5 con dos redes Snubber pasivas.	115
4.17. Ensayo 6 con dos redes Snubber pasivas.	115
4.18. Ensayo 7 con dos redes Snubber pasivas.	116
4.19. Ensayo 8 con dos redes Snubber pasivas.	116

4.20. Diagrama esquemático de las redes Snubber pasiva y activa	118
4.21. Banco de protección y filtrado colocado a la salida de la fuente de alimentación de CC para poder realizar los ensayos.	119
4.22. Diagrama de conexión entre la fuente de CC y el inversor a partir de la segunda etapa de ensayos.	119
4.23. Ensayo 1 con una red Snubber activa y una pasiva.	120
4.24. Ensayo 2 con una red Snubber activa y una pasiva.	121
4.25. Ensayo 3 con una red Snubber activa y una pasiva.	121
4.26. Ensayo 4 con una red Snubber activa y una pasiva.	122
4.27. Ensayo 5 con una red Snubber activa y una pasiva.	122
4.28. Ensayo 6 con una red Snubber activa y una pasiva.	123
4.29. Ensayo 7 con una red Snubber activa y una pasiva.	123
4.30. Ensayo 8 con una red Snubber activa y una pasiva.	124
4.31. Ensayo 9 con una red Snubber activa y una pasiva.	124
4.32. Ensayo 10 con una red Snubber activa y una pasiva.	125
4.33. Ensayo 11 con una red Snubber activa y una pasiva.	125
4.34. Ensayo 12 con una red Snubber activa y una pasiva.	126
4.35. Ensayo 13 con una red Snubber activa y una pasiva.	126
4.36. Diagrama esquemático de las redes Snubber activas	128
4.37. Parámetros elegidos en los ensayos del convertidor	129
4.38. Ensayo 1 con dos redes Snubber activas.	130
4.39. Ensayo 2 con dos redes Snubber activas.	130
4.40. Ensayo 3 con dos redes Snubber activas.	131
4.41. Ensayo 4 con dos redes Snubber activas.	131
4.42. Ensayo 5 con dos redes Snubber activas.	132
4.43. Ensayo 6 con dos redes Snubber activas.	132
4.44. Ensayo 7 con dos redes Snubber activas.	133
4.45. Ensayo 8 con dos redes Snubber activas.	133
4.46. Ensayo 9 con dos redes Snubber activas.	134
4.47. Ensayo 10 con dos redes Snubber activas.	134
4.48. Ensayo 11 con dos redes Snubber activas.	135
4.49. Ensayo 12 con dos redes Snubber activas.	135
4.50. Ensayo 13 con dos redes Snubber activas.	136
4.51. Ensayo 14 con dos redes Snubber activas.	136
4.52. Rendimiento del inversor en función de V_{BUS}	138
4.53. Rendimiento del inversor en función de R_L	138
5.1. Estructura del controlador a implementar. Figura extraída de [4].	139
5.2. Modelo en pequeña señal de un inversor monofásico.	140
5.3. Diagrama en bloques del modelo en pequeña señal del inversor.	140
5.4. Diagrama en bloques simplificado del modelo en pequeña señal del inversor.	141
5.5. Diagrama en bloques del sistema controlado.	141
5.6. Diagrama de Bode del modelo del lazo interno sin controlador.	143
5.7. Diagrama de Bode del modelo del lazo interno compensado con el controlador calculado.	145

5.8.	Diagrama de Bode del modelo del lazo interno controlado para distintas condiciones de carga.	146
5.9.	Diagrama de Bode del modelo del lazo interno controlado para funcionamiento on-grid.	147
5.10.	Diagrama de Bode del modelo del lazo externo sin controlador.	148
5.11.	Diagrama de Bode del controlador de la tensión de salida.	150
5.12.	Diagrama de Bode del modelo del sistema completo compensado con el control en cascada calculado.	151
5.13.	Respuesta al escalón del modelo del sistema controlado.	151
5.14.	Modelo en Simulink del inversor completo.	152
5.15.	Modelo eléctrico del inversor en PLECS.	153
5.16.	Pantalla de configuración del modelo en Simulink del controlador de V_{BUS}	153
5.17.	Respuesta del modelo completo del sistema controlado a un escalón del 25 % en el set-point a 10W de carga.	154
5.18.	Respuesta del modelo completo del sistema controlado a un escalón del 25 % en el set-point a 100W de carga.	155
5.19.	Respuesta del modelo completo del sistema controlado a un escalón del 25 % en el set-point a 1000W de carga.	155
5.20.	Respuesta del modelo completo del sistema controlado a un escalón de carga de 100W a 1000W.	156
5.21.	Respuesta del modelo completo del sistema controlado a un escalón de irradiancia solar de -40 % a 500W de carga.	156
5.22.	Especro de frecuencia de la tensión de salida del modelo completo del inversor controlado.	157
5.23.	Especro de frecuencia de la tensión de salida del modelo completo del inversor controlado con detalle en los armónicos.	157
5.24.	Parámetros del PLL utilizado para obtener la frecuencia de la tensión de salida del modelo del inversor,	158
5.25.	Frecuencia de la tensión de salida del modelo completo del inversor controlado con detalle en los armónicos.	158
5.26.	Respuesta del controlador ante una perturbación en V_{BUS} a 10W de carga. . . .	159
5.27.	Respuesta del controlador ante una perturbación en V_{BUS} a 100W de carga. . . .	159
5.28.	Respuesta del controlador ante una perturbación en V_{BUS} a 1000W de carga. . . .	160
6.1.	Circuitos de aceleración de apagado de IGBTs.	166
A.1.	Diagrama esquemático ilustrativo para el cálculo de las redes Snubber.	167
A.2.	Corrientes involucradas en las redes Snubber.	168
B.1.	Diodos de Snubber en la placa de convertidor CC/CA.	174
B.2.	Conexionado de los cables CBL1 y CBL2 para una red Snubber.	175
B.3.	Conexionado de los cables CBL3 y CBL4 para una red Snubber.	176
B.4.	Modificaciones sobre la placa de drivers para la red Snubber 1.	177
B.5.	Modificaciones sobre la placa de drivers para la red Snubber 2.	177

Índice de tablas

3.1.	Stackup de la placa de drivers.	38
3.2.	Valores máximos y mínimos de las variables del inversor a medir.	40
3.3.	Transformaciones lineales objetivo de los circuitos de medición analógicos.	41
3.4.	Transformaciones lineales obtenidas de los circuitos de medición analógicos. . . .	49
3.5.	Valores de los potenciómetros digitales utilizados en las protecciones por hardware.	53
3.6.	Stackup de la placa de control.	57
4.1.	Ensayos realizados con el convertidor con dos redes Snubber pasivas.	112
4.2.	Datos obtenidos de los ensayos realizados en la etapa 1,	117
4.3.	Cálculo de eficiencia del convertidor con dos redes Snubbers pasivos	117
4.4.	Estimación de potencia disipada por las redes Snubber pasivas.	118
4.5.	Ensayos realizados con el convertidor con una red Snubber activa y una pasiva. .	120
4.6.	Datos obtenidos de los ensayos realizados en la etapa 2,	127
4.7.	Cálculo de eficiencia del convertidor con una red Snubber activa y una pasiva .	127
4.8.	Estimación de potencia disipada por la red Snubber pasiva.	128
4.9.	Ensayos realizados con el convertidor con dos redes Snubber activas.	129
4.10.	Datos obtenidos de los ensayos realizados en la etapa 3	137
4.11.	Cálculo de eficiencia del convertidor dos redes Snubber activas	137

Resumen del proyecto

Este proyecto es la continuación del trabajo realizado anteriormente por otro grupo de estudiantes [19], titulado “Desarrollo e Implementación de un Convertidor CC/CA Monofásico de 1 kVA de Alto Desempeño Basado en Topología quasi Z-Source”. En el mismo, se implementó y diseñó parte del hardware del convertidor, poniendo además en marcha un algoritmo de control adaptativo de la tensión del bus de continua [49] en un DSP de Texas Instruments de la familia C2000, modelo TMS320F28335 [37].

Se rediseñaron distintas partes del convertidor con el objetivo de mejorar la compatibilidad electromagnética y hacer que la potencia nominal de operación para la que fue diseñado sea alcanzable, lo que constituye el objetivo principal de este trabajo. Entre estas partes se incluyen la placa de *control* (de señales mixtas, donde se incluyen el DSP, los circuitos de protección y la adaptación de señales analógicas), la placa de *drivers* (encargada de excitar a los transistores de potencia) y parte de la placa de *convertidor CC/CA*, donde se encuentran los dispositivos de potencia (cambiando los dispositivos propiamente dichos y rediseñando las redes Snubber). Además de rediseñar circuitos y placas, se adaptó el cableado, el gabinete y la disposición física de los elementos que componen al inversor al requerimiento de compatibilidad electromagnética planteado. Se validó el nuevo diseño poniendo en marcha el convertidor y realizando diferentes ensayos de laboratorio a lazo abierto sobre el mismo, habiendo alcanzado satisfactoriamente una potencia de salida cercana a la nominal con un funcionamiento estable. Se ensayó el dispositivo con distintos tipos de redes Snubber, concluyendo que las redes activas permiten alcanzar una eficiencia considerablemente mayor con esta topología. Además, se diseñó un algoritmo de control de la tensión alterna de salida basado en un control en cascada con un controlador PID-resonante.

Capítulo 1

Introducción

Según el *Statistical Review of World Energy* [10] del año 2022, publicado en el 2023 por el Energy Institute, del consumo total de energía primaria en todo el mundo, alrededor del 92 % es no renovable. A su vez, más del 80 % se genera quemando combustibles fósiles, como derivados del petróleo, gas natural o carbón. Como se demuestra en [26], existe una correlación directa entre las emisiones de carbono y el calentamiento global.

En este contexto, las energías renovables surgieron como la forma de satisfacer la demanda energética que crece cada vez más rápido y a su vez reducir el impacto sobre el medio ambiente. Su uso está lejos aún de superar al de las formas de energía tradicionales, dado el mayor costo de producción. Sin embargo, la generación de energía mediante recursos renovables aumentó un 14 % anual en el período 2012-2022, mientras que la generación de energía total aumentó un 2,5 % anual [10]. Esto significa que la adopción de recursos renovables para la generación de energía es cada vez mayor, y seguirá creciendo en tanto y en cuanto su costo se reduzca.

Los *inversores* son aparatos electrónicos que permiten transformar la corriente continua en alterna, y constituyen una pieza fundamental en los sistemas de generación fotovoltaica, ya que actúan como la “interfaz” entre la energía generada y la consumida. Los inversores determinan además en gran medida el costo y vida útil de estos sistemas, por lo que mejorar su robustez, aumentar su vida útil y reducir sus costos es fundamental si se pretende aumentar la adopción de este tipo de sistemas de generación.

Muchas topologías de inversores han sido exploradas con la motivación de hacer más duraderos, eficientes y menos costosos a estos equipos. Una de ellas es la topología quasi-Z Source, que presenta numerosas ventajas sobre los inversores tradicionales, entre las que se destacan que

- son mucho más robustos ante interferencias electromagnéticas y exigen menos a sus componentes, por lo que poseen mayor vida útil;
- establecen pocas limitaciones sobre las fuentes de entrada, por lo cual son muy versátiles;
- utilizan menos semiconductores, por lo que tienen menos pérdidas en ellos y son más eficientes, logrando que además
- sean menos costosos.

En este proyecto se implementaron mejoras sobre el hardware y el firmware de un inversor con topología quasi-Z source construido en el marco del proyecto titulado “Desarrollo e Implementación de un Convertidor CC/CA Monofásico de 1 kVA de Alto Desempeño Basado en Topología quasi Z-Source” [19], con el objetivo de poder alcanzar un funcionamiento estable del dispositivo a potencia nominal. Se validaron las mejoras con ensayos de laboratorio bajo diferentes condiciones. Además, se diseñaron lazos de control para su tensión de salida. La estructura del trabajo se detalla a continuación.

En el Capítulo 3 se introducen los conceptos teóricos sobre inversores y sobre la topología quasi-Z Source. Además, se detallan las características más importantes del equipo construido en el proyecto base [19], a partir del cual se desarrolla este trabajo. Por último, se listan los objetivos de este proyecto.

El capítulo 4 es una recopilación de todas las mejoras realizadas sobre el inversor implementado en [19], que tuvieron como propósito principal permitir el funcionamiento del inversor a la potencia nominal para la cual fue diseñado. Estas mejoras estuvieron enfocadas en la mejora de la compatibilidad electromagnética del sistema, dado que es considerable la influencia de la interferencia electromagnética generada debido a la presencia de altas tensiones y corrientes conmutadas. Se buscó para ello reducir la generación de interferencias desde su origen, como así también la susceptibilidad electromagnética del equipo.

En el capítulo 5 se detallan los exhaustivos ensayos realizados sobre el equipo con las mejoras implementadas, con la finalidad de validar los cambios descriptos en el capítulo anterior, y sus resultados. El equipo fue ensayado a lazo abierto para una amplia gama de condiciones de funcionamiento, obteniendo como resultado final un funcionamiento estable del convertidor para potencias de salida cercanas a la nominal.

En el capítulo 6 se detalla el proceso de diseño de un controlador de la tensión de salida del inversor, que posee una topología en cascada y es del tipo PID-resonante. Este proceso estuvo soportado por simulaciones realizadas sobre un modelo matemático del sistema completo.

Capítulo 2

Preliminares

En este capítulo se introducen los conceptos teóricos básicos relacionados a los convertidores electrónicos de potencia del tipo CC/CA y en particular los de topología quasi-Z Source necesarios para el desarrollo del proyecto. Se introduce además el trabajo realizado en [19], que se continuará con este proyecto, listando además los objetivos a alcanzar con la realización del mismo.

2.1. Fundamentos de los convertidores CC/CA o inversores

Es sabido que la red eléctrica nos provee de energía comportándose como una fuente de tensión alterna de forma de onda senoidal, de 50Hz de frecuencia y 220V de valor de tensión RMS. Muchos dispositivos hogareños, como las heladeras, los acondicionadores de aire, los lavarropas o las lámparas incandescentes pueden funcionar directamente con dicha tensión. Sin embargo, muchos dispositivos electrónicos funcionan con corriente continua y con valores de tensión muy por debajo de los 311V de pico proporcionados por la red eléctrica. Ante la necesidad de obtener corriente continua a partir de la corriente alterna, surgió en los inicios del siglo 20 la **Electrónica de Potencia**, que es una rama de la Ingeniería Electrónica dedicada a la conversión y el control del flujo de potencia de la energía eléctrica, mediante el diseño de **Convertidores electrónicos de potencia**, dispositivos encargados de realizar dicha tarea. Estos dispositivos están basados en semiconductores, y se fueron complejizando con el paso del tiempo, desde los rectificadores de mercurio inventados a principio del siglo XX [48], hasta convertidores que permiten controlar el flujo de potencia de forma bidireccional en un automóvil eléctrico, transformando corriente continua en alterna y viceversa, y trabajando con la carga y descarga de baterías.

Los convertidores se clasifican según el tipo de corriente en su entrada y en su salida, siendo cuatro los casos posibles:

- convertidores CC/CC,
- convertidores CA/CC o rectificadores,
- convertidores CA/CA o cicloconvertidores y
- convertidores CC/CA o **inversores**.

El análisis se enfocará solamente en los inversores, dado que es el tipo de convertidor relevante para este proyecto. El corazón de un inversor es el **puente**, compuesto por dispositivos semiconductores que actúan, idealmente, como llaves. El mismo actúa como interfaz entre la entrada de potencia de corriente continua y la salida, de corriente alterna. La cantidad de llaves que posee el puente depende de la cantidad de fases de la salida, siendo los casos más comunes los de cuatro llaves para un inversor monofásico y seis llaves para un inversor trifásico.

Por otro lado, de acuerdo a qué tipo de fuente se conecta en la entrada, los inversores pueden clasificarse típicamente en *inversores de fuente de tensión* e *inversores de fuente de corriente*.

Los inversores de fuente de tensión permiten solamente que la tensión de entrada sea reducida (se dice que son convertidores *buck*), mientras que los de fuente de corriente solo pueden elevarla (se dice que son convertidores *boost*). Ambos imponen, entonces, limitaciones estrictas sobre la fuente de entrada, según lo que sea necesario.

Para analizar el funcionamiento de un inversor monofásico que posee como entrada una fuente de tensión, como es el caso del utilizado en este proyecto, debe observarse el diagrama esquemático simplificado, en la figura 2.1, donde los elementos semiconductores que actúan como llaves son IGBT.

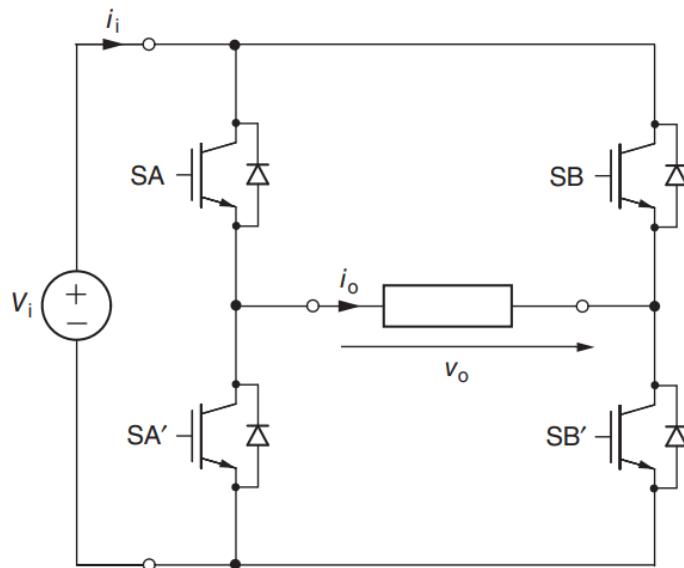


Figura 2.1: Diagrama esquemático de un inversor. Imagen extraída de [48].

Suponiendo que los semiconductores funcionan como llaves ideales, los mismos podrán estar solamente en dos estados: abiertos (en corte) o cerrados (en saturación). Dado esto, hay muchas combinaciones posibles de los estados de las cuatro llaves, pero muchas de ellas deben evitarse:

- todas aquellas en las que dos llaves de la misma rama estén cerradas, lo que provocaría un cortocircuito en la fuente V_i y
- todas aquellas en las que solo una llave esté cerrada, lo que dejaría a la salida en circuito abierto.

De esta manera, solo se utilizan combinaciones donde

- solo está cerrada una llave de una rama y una llave de otra (estado del puente que se denomina *vector activo*) o
- están cerradas las dos llaves superiores o las dos inferiores (estado del puente que se denomina *vector nulo*).

Hay dos formas de lograr un vector nulo, cerrando SA y SB y dejando SA' y SB' abiertas o cerrando SA' y SB' y dejando SA y SB abiertas. Por otra parte, también hay dos formas de lograr un vector activo, cerrando SA y SB' y dejando SA' y SB abiertas o cerrando SA' y SB y dejando SA y SB' abiertas. La primera de estas formas hará que $V_o = -V_i$, mientras que con la segunda, $V_o = V_i$. Se puede ver entonces que, utilizando el puente, se puede conseguir que una tensión continua de entrada se transforme en alterna sobre la carga.

Ahora bien, alternando entre los estados activos y nulos se puede conseguir sobre la carga una tensión con una forma de onda cuadrada. Para obtener un inversor de onda senoidal es necesario utilizar **un filtro**.

Toda señal continua periódica $x(t)$ de frecuencia $f = \frac{\omega}{2\pi}$ y período $T = \frac{1}{f}$ se puede representar como una suma infinita (una *serie*) de ondas senoidales de frecuencias múltiplos de f , llamada *frecuencia fundamental*. Dicha serie se denomina *serie de Fourier*, y tiene la forma [24]:

$$f(t) = \sum_{k=-\infty}^{+\infty} C_k e^{j\omega kt}, C_k = \frac{1}{T} \int_0^T f(t) e^{-j\omega kt} dt \quad (2.1)$$

Esto quiere decir que la señal cuadrada aplicada sobre la carga a la salida del inversor en realidad tiene una componente senoidal de frecuencia igual a su frecuencia fundamental, f . Si se consigue un filtro pasabajos que deje pasar esta frecuencia y elimine sus múltiplos, y se lo coloca entre la salida del puente y la carga, efectivamente la forma de onda de la tensión sobre la carga será senoidal pura y no contendrá ningún tipo de distorsión.

Sin embargo, como no existe un filtro pasabajos ideal que elimine por completo todas las frecuencias en la banda de rechazo, siempre, aunque atenuadas, habrá componentes senoidales con frecuencias múltiplos de f (llamadas *armónicos*) sobre la carga. En un filtro pasabajos real de orden n , su respuesta en frecuencia es tal que, a partir de la frecuencia de corte, las señales se atenúan $(20 \cdot n)$ dB por década [24]. Por lo tanto, si las frecuencias indeseadas están más lejanas a la frecuencia que se quiere dejar pasar, el filtrado será más efectivo.

Una forma de medir la cantidad de armónicos indeseados de una señal es mediante el factor de distorsión, que pondera a cada componente armónica por $\frac{1}{n^2}$, teniendo en cuenta la atenuación que ejerce un filtro de segundo orden sobre la misma. En este caso, el factor de distorsión permite cuantificar la distorsión de la señal de salida del puente luego de pasar por el filtro. El mismo se calcula como [27]

$$DF = \frac{1}{V_1} \sqrt{ \sum_{n=2,3...}^{\infty} \left(\frac{V_n}{n^2} \right)^2 } \quad (2.2)$$

donde V_1 es la amplitud de la frecuencia fundamental, y V_n es la amplitud del n -ésimo armónico.

La forma de onda que se obtenga a la salida del puente depende de la *modulación* que se aplique sobre el mismo. Como en toda modulación, para lograrla se debe contar con una señal

moduladora y una señal portadora. En todos los casos que se verán, la señal portadora tendrá forma de onda triangular. El *índice de modulación*, se calcula como [27]

$$M = \frac{A_m}{A_p} \quad (2.3)$$

donde A_m es el valor máximo de la señal moduladora y A_p es el valor máximo de la portadora.

La primera técnica de modulación a analizar es la **modulación de un solo pulso**, en donde la frecuencia de la portadora es igual a la frecuencia fundamental de la señal de salida del puente, y la señal moduladora es cuadrada. Se puede ver un gráfico de las señales involucradas en la figura 2.2.

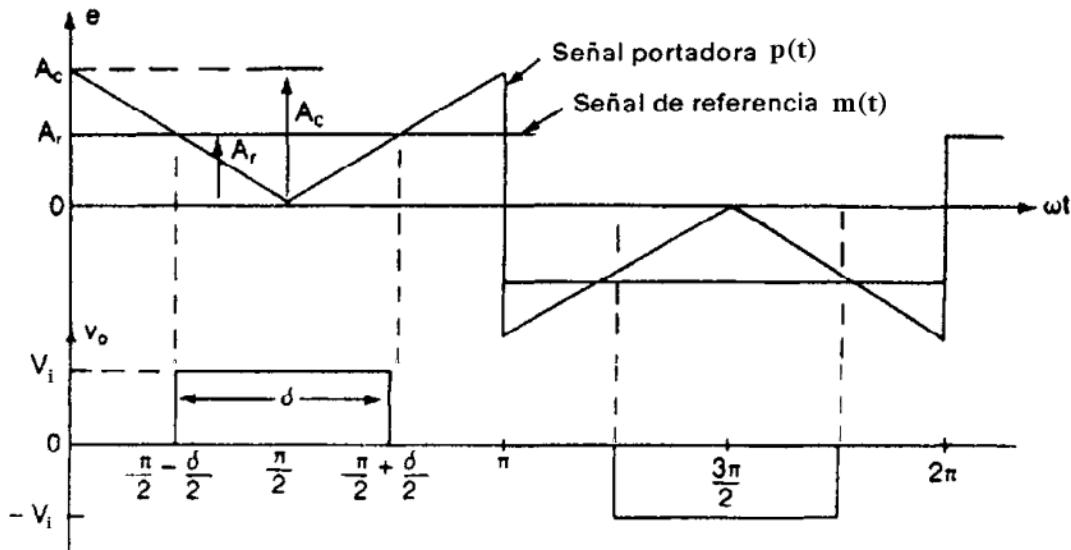


Figura 2.2: Señales para la modulación de un solo ancho de pulso. Imagen extraída de [27].

La tensión a la salida del puente será

$$V_o = \begin{cases} 0, & \text{si } |m(t)| < |p(t)| \\ V_i, & \text{si } |m(t)| \geq |p(t)| \text{ y } m(t) > 0 \\ -V_i, & \text{si } |m(t)| \geq |p(t)| \text{ y } m(t) < 0 \end{cases} \quad (2.4)$$

y a medida que el índice de modulación M aumente, mayor será el valor eficaz de V_o , y mayor será la amplitud de la fundamental, de frecuencia $f = \frac{\omega}{2\pi}$. Para conseguir que la salida del puente tenga la forma de onda mostrada en la figura 2.2 se deberán establecer en los momentos adecuados los vectores activos y nulos del puente descriptos anteriormente.

Por otro lado, en la figura 2.3 se observa cómo varía el factor de distorsión con el índice de modulación, pudiendo apreciarse también que existen armónicos de baja frecuencia, cercanas a la fundamental, siendo el más cercano el tercer armónico.

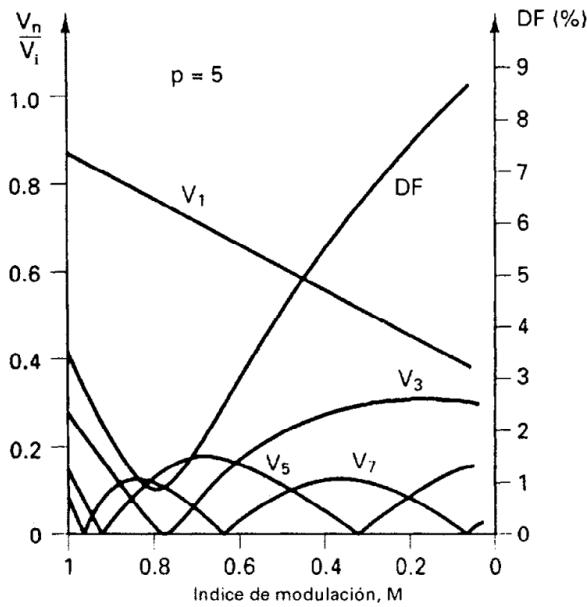


Figura 2.3: Factor de distorsión y armónicos en modulación de un solo ancho de pulso. Imagen extraída de [27].

Si la frecuencia de la portadora aumenta, se obtiene una **modulación de varios anchos de pulso**. Se puede definir en este caso la *relación de modulación de frecuencia* como

$$m_f = \frac{f_p}{f_m} \quad (2.5)$$

donde f_p es la frecuencia de la portadora y f_m la de la moduladora (que será igual a f , la frecuencia fundamental de la señal de salida). Las señales para este tipo de modulación, para un caso particular de $m_f = 10$, se pueden ver en la figura 2.4. Cabe aclarar que V_o se consigue también como se plantea en la ecuación (2.4).

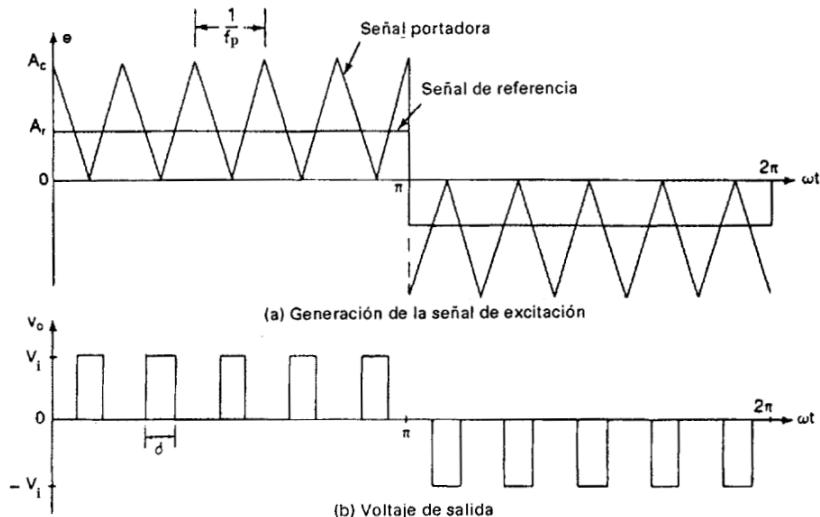


Figura 2.4: Señales para la modulación de varios anchos de pulso. Imagen extraída de [27].

En este caso, la amplitud de los armónicos de baja frecuencia disminuye a medida que aumenta m_f . Como contrapartida, aumenta la amplitud de los armónicos de mayor frecuencia, pero como ya se dijo, estos son más sencillos de filtrar. Sin embargo, en ningún caso desaparecen los armónicos cercanos a la fundamental, siendo el más crítico el de tercer orden. En la figura 2.5 se detalla el comportamiento de los primeros armónicos y del factor de distorsión según el factor de modulación M para el caso de $m_f = 10$. Se observa que el factor de distorsión es significativamente menor que en el caso de modulación de un solo ancho de pulso y además, por lo dicho, disminuye a medida que se aumenta m_f .

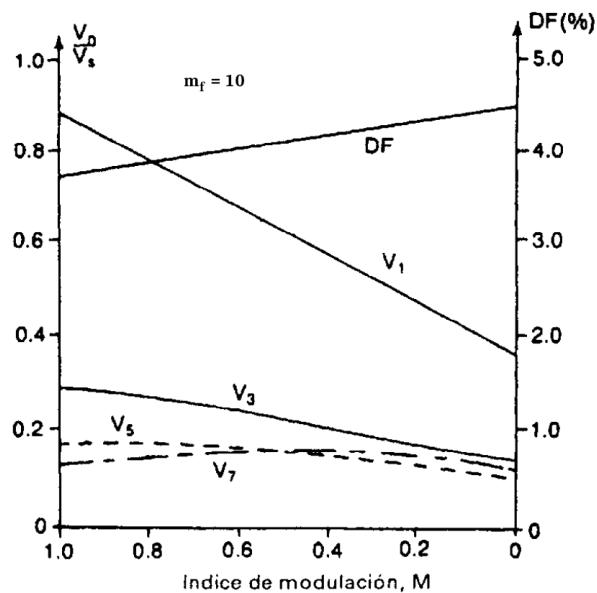


Figura 2.5: Factor de distorsión y armónicos en modulación de varios anchos de pulso. Imagen extraída de [27].

Si a la modulación de varios anchos de pulso se le agrega que la señal moduladora es senoidal en lugar de ser cuadrada, se consigue una **modulación senoidal del ancho de pulso** (SPWM, por sus siglas en inglés). La frecuencia de la señal senoidal moduladora determinará la frecuencia fundamental de la señal obtenida a la salida del puente, y su valor de amplitud, A_m , determinará junto con la amplitud de la portadora, A_p , el índice de modulación y por tanto, el valor eficaz de la salida. Las señales para este tipo de modulación, para el caso particular de $m_f = 10$ se pueden ver en la figura 2.6. Nuevamente, V_o se obtiene según la ecuación (2.4).

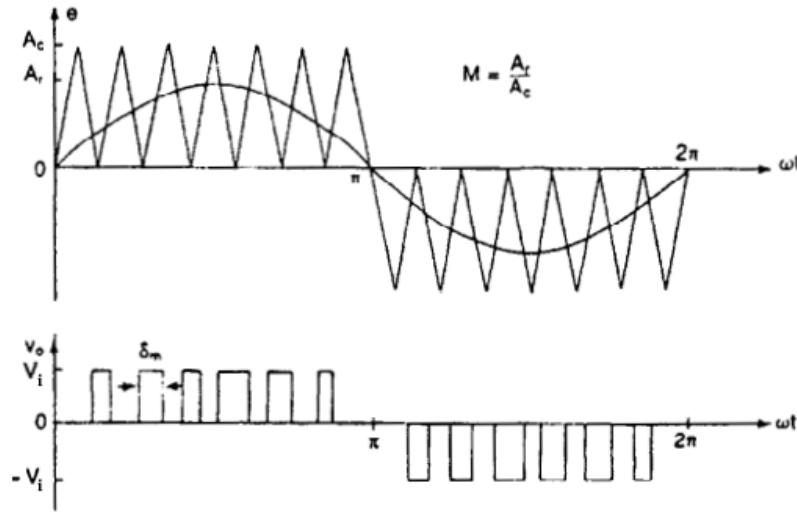


Figura 2.6: Señales para la modulación senoidal. Imagen extraída de [27]

En cuanto al comportamiento armónico de la salida, se puede decir que la modulación SPWM “empuja” los armónicos al rango de las altas frecuencias, alrededor de la frecuencia de la señal portadora, f_p y sus múltiplos. De esta forma, dejan de existir los armónicos de baja frecuencia, cercanos a la frecuencia fundamental. Cuanto mayor sea la *relación de modulación de frecuencia* m_f , más lejos estarán los armónicos de la frecuencia fundamental, más fácil será su filtrado y, por tanto, menor será la distorsión de la señal aplicada sobre la carga. El perfil armónico de la modulación SPWM según el índice de modulación para el caso particular de $m_f = 10$ se muestra en la figura 2.7. Como se puede ver, el factor de distorsión es mucho menor que en los casos anteriores y, además los primeros armónicos significativos se encuentran alrededor del orden m_f , quedando más alejados de la frecuencia fundamental.

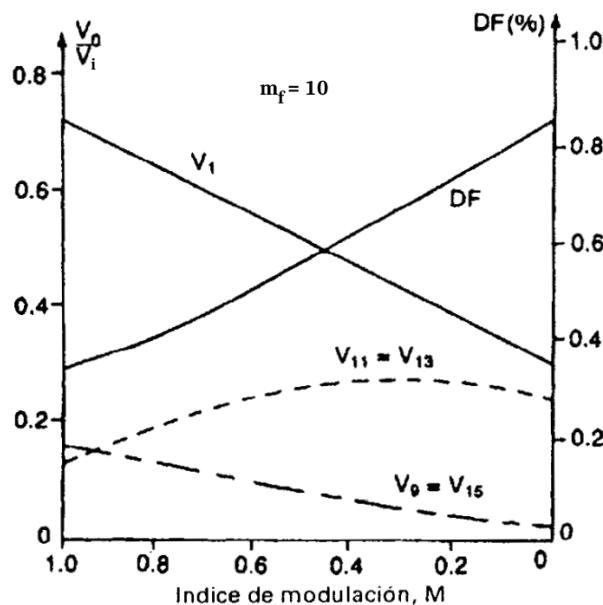


Figura 2.7: Factor de distorsión y armónicos en modulación senoidal. Imagen extraída de [27]

En inversores con este tipo de modulación, se puede demostrar que la amplitud del primer armónico de la señal obtenida a la salida del puente es

$$V_1 \approx MV_i \text{ si } M \leq 1 \text{ y } f_p \gg f_m \quad (2.6)$$

y por lo tanto, bajo estas condiciones, es muy sencillo conocer el valor de pico de la salida filtrada conociendo solamente el índice de modulación M .

Para el caso en donde $M \leq 1$, el esquema de modulación trabaja en su zona lineal, y se cumple la ecuación (2.6), siendo el contenido armónico de la salida del puente como el analizado anteriormente. Por el contrario si $M > 1$, se trabaja en una zona de *sobremodulación* y la ecuación (2.6) ya no se cumple, además de que aparece contenido armónico en frecuencias cercanas a la fundamental, que aumenta su influencia apreciablemente a medida que aumenta M .

2.2. Inversores con topologías Z-Source y qZ-Source

Hasta ahora se presentaron los inversores de fuente de tensión y de fuente de corriente, que tienen la particularidad de tener conectados directamente a la entrada del puente una fuente.

En el año 2003 fue presentado en [25] el inversor de fuente de impedancia (*Z-Source Inverter*), cuya novedad es incluir una red reactiva (red Z) compuesta por inductores, capacitores y diodos/transistores entre la fuente de entrada y el puente inversor, como se ve en la figura 2.8.

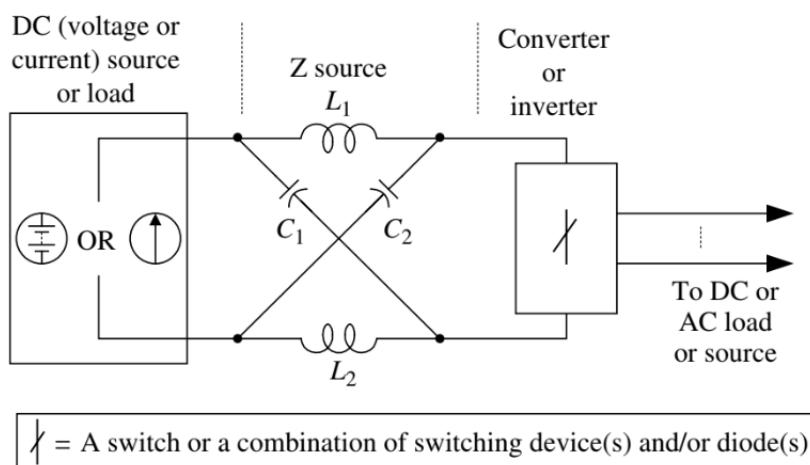


Figura 2.8: Diagrama en bloques de un inversor con topología Z-Source. Imagen extraída de [16]

Esta topología permite a los inversores elevar o reducir la tensión de entrada (es decir, son convertidores del tipo *buck-boost*), haciendo que las limitaciones de la fuente de entrada sean mucho menos estrictas. Básicamente, esta topología combina un convertidor CC/CC elevador con un convertidor CC/CA reductor en una sola etapa, por lo que reduce la cantidad de semiconductores necesarios, reduciendo así el costo y mejorando la eficiencia, al reducirse las pérdidas de conmutación y conducción de los mismos.

La elevación de la tensión de la fuente de entrada se consigue mediante el estado de *Shoot-Through* del puente, que consiste en que las llaves de una misma rama estén cerradas, cortocircuitando el bus de tensión continua, que es la entrada del puente. Esto permite que el bus de tensión continua aplicado a la entrada del puente tenga una tensión mayor que la de la fuente de entrada, que se puede calcular como [25]

$$V_{BUS} = \frac{V_i}{1 - 2d_0} \quad (2.7)$$

donde $d_0 = \frac{T_{ST}}{T}$, siendo T período de conmutación (que es el período de la portadora con la cual se modula el puente) y T_{ST} el tiempo por período que el puente está en el estado de *Shoot-Through*.

Luego, si se aplica una modulación SPWM lineal sobre el puente, la amplitud de la tensión de salida puede calcularse como

$$V_o = V_{BUS}M = V_i \cdot \frac{M}{1 - 2d_0} \quad (2.8)$$

por lo que eligiendo adecuadamente M y d_0 se puede conseguir un gran rango de amplitudes de salida para una misma tensión de entrada V_i .

El estado de *Shoot-Through* del puente se genera aprovechando el tiempo en que la tensión a la salida del puente debe ser de 0V. En un inversor convencional, durante todo este tiempo se aplica sobre el puente un vector nulo. Ahora, con la topología Z-Source, este tiempo se divide entre un vector nulo y un vector de *Shoot-Through* porque en definitiva, para la carga, ambos estados son iguales: la cortocircuitan. Sin embargo, para la entrada del puente no son ambos estados iguales, con el vector nulo la entrada está en circuito abierto, pero con el vector de *Shoot-Through* está cortocircuitada. En la figura 2.9 se observa un diagrama de cómo se distribuyen los distintos estados del puente en un período de conmutación y se ve claramente cómo el estado de *Shoot-Through* es parte del vector nulo de la salida del puente. También se puede apreciar claramente la limitación que existe entre la parte del período de conmutación en la que hay un vector activo (llamada d) y d_0 :

$$d + d_0 < 1 \quad \forall d \quad (2.9)$$

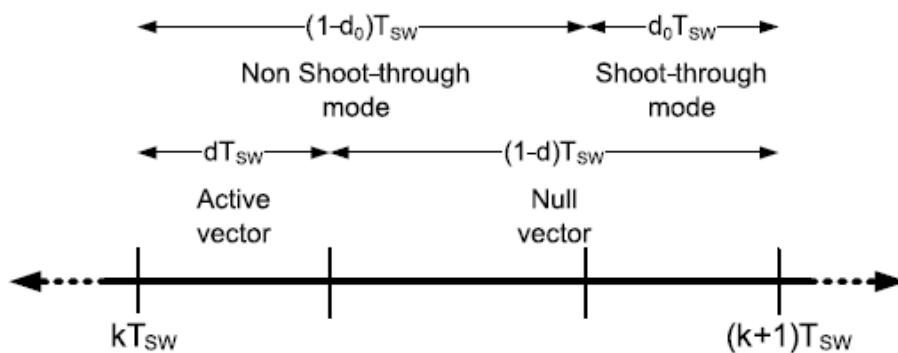


Figura 2.9: Diagrama temporal de un período de conmutación. Imagen extraída de [19]

Esta limitación debe cumplirse para todos los valores de d , en particular para su valor máximo. Para una modulación SPWM, d varía con cada ciclo de commutación, pero es sencillo ver que su valor máximo será igual al factor de modulación M y, por lo tanto, la limitación de la ecuación (2.9) se transforma en:

$$M + d_0 < 1 \quad (2.10)$$

Realizar un *Shoot-Through* en un inversor de fuente de tensión llevaría a cortocircuitar la fuente de entrada, lo que siempre debe evitarse. Muchas veces, por la interferencia electromagnética presente dada por el propio funcionamiento del convertidor, es difícil evitar que se dé un *Shoot-Through* espúreo indeseado, y en un inversor de fuente de tensión esto podría destruir los dispositivos por sobrecorrientes. Se convierte entonces en un gran desafío el tratamiento de la interferencia para mantener la confiabilidad de este tipo de convertidores. Análogamente, para un inversor de fuente de corriente siempre debe evitarse abrir el puente (es decir, debe haber todo el tiempo una llave superior y una inferior cerradas) porque, de darse esto, los dispositivos pueden destruirse por la aparición de sobretensiones.

Por contrapartida, un inversor con topología Z-Source permite trabajar con el puente cortocircuitado y con el puente abierto sin importar si la fuente de entrada es de tensión o de corriente, lo que los hace mucho más confiables y robustos ante las interferencias electromagnéticas que hubiese en el dispositivo. A su vez, esto permite eliminar los tiempos muertos en las commutaciones que típicamente se utilizan para evitar cortocircuitos o circuitos abiertos según el caso, lo que reduce el contenido armónico de la señal presente a la salida del puente. Por otra parte, también son mucho más versátiles por el hecho de que el circuito es exactamente el mismo si se alimenta con una fuente de tensión o de corriente, de hecho, puede ser alimentado con cualquier tipo de fuente, desde una batería hasta un rectificador, una inductancia o un capacitor. Además, la carga puede ser inductiva o capacitiva, mientras que en un inversor de fuente de tensión solo puede ser inductiva y en uno de fuente de corriente, capacitativa.

Luego de la aparición de la topología Z-Source, se siguió investigando y explotando a fondo la idea de incluir una red reactiva entre la fuente de entrada y el puente, surgiendo numerosas topologías basadas en esta pero con ventajas adicionales, siendo una de ellas la **quasi Z-Source** (o qZS). La misma se muestra en la figura 2.10.

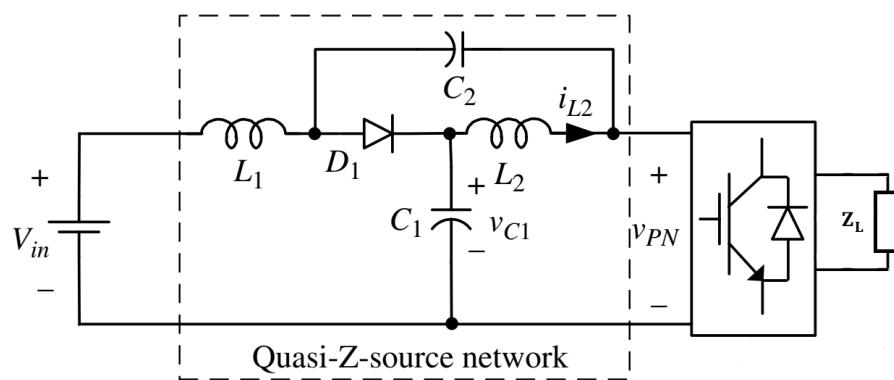


Figura 2.10: Inversor monofásico con topología quasi-Z Source. Imagen extraída de [16]

Esta topología presenta tres claras ventajas sobre la Z-Source original [16]:

1. Tienen una inductancia en serie con la fuente de entrada, lo que hace que, para fuentes de tensión, la corriente de entrada sea mucho más continua. Esto es especialmente útil en sistemas fotovoltaicos, ya que evita variaciones bruscas de la corriente que se le exige a un panel solar aumentando su vida útil.
2. Poseen un potencial común entre la entrada y el puente, lo que hace mucho más fácil implementar interfaces para la medición de las variables y simplifica el tratamiento de las interferencias electromagnéticas.
3. La tensión del bus de continua se reparte entre ambos capacitores de la red Z, lo que hace que C_1 y C_2 deban soportar una diferencia de potencial mucho menor, haciendo que trabajen menos exigidos, lo que aumenta su vida útil y reduce su costo.

2.3. Modelo y algoritmo de control de la red quasi-Z-source desarrollados en [49]

Una desventaja de utilizar inversores con topología quasi-Z Source es que el modelado de la red reactiva y la posterior implementación de un algoritmo de control para la tensión del bus de corriente continua puede ser muy difícil. El aporte de Vazquez Sieber, Haimovich y Romero en [49] fue el de proveer un modelo orientado al control y un algoritmo de control adaptativo que permite el control preciso de la tensión del bus de corriente continua para grandes señales, facilitando la implementación de esta topología en la práctica.

Se partió simplificando el problema y considerando a la red Z como un convertidor CC/CC, modelado como se muestra en la figura 2.11.

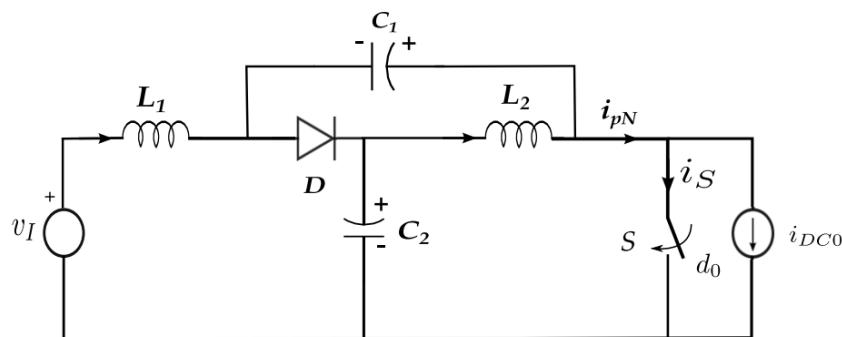


Figura 2.11: Convertidor CC/CC con topología quasi-Z Source. Imagen extraída de [49]

Para este convertidor se pueden obtener dos modelos de ecuaciones de estado, uno para cada estado de la llave S. A partir de estos dos modelos, se puede obtener un *modelo promediado* en un período de conmutación, multiplicando las ecuaciones de estado con S cerrada por d_0 (porción del período durante el que da el *Shoot-Through*) y sumando esto a la multiplicación de las ecuaciones de estado con S abierta por $1 - d_0$. Teniendo en cuenta que en general $L_1 = L_2 = L$ y $C_1 = C_2 = C$ y tomando como variables de estado a

$$\bar{i}_L = \bar{i}_{L1} + \bar{i}_{L2} \quad (2.11)$$

$$\bar{v}_C = \bar{v}_{C1} + \bar{v}_{C2} \quad (2.12)$$

se llega al modelo de ecuaciones de estado promediadas

$$\dot{\bar{x}} = \bar{A}\bar{x} + \bar{F}\bar{v} \quad (2.13)$$

con

$$\begin{aligned} \bar{A} &= \begin{bmatrix} 0 & -\frac{1-2d_0}{L} \\ \frac{1-2d_0}{C} & 0 \end{bmatrix} & \bar{F} &= \begin{bmatrix} \frac{1}{L} & 0 \\ 0 & -\frac{2}{C} \end{bmatrix} \\ \bar{x} &= \begin{bmatrix} \bar{i}_L \\ \bar{v}_C \end{bmatrix} & \bar{v} &= \begin{bmatrix} \bar{v}_I \\ \bar{i}_{DC} \end{bmatrix} \end{aligned}$$

donde $\bar{i}_{DC} = i_{pN,A}d$ siendo $i_{pN,A}$ el valor de i_{pN} cuando el puente se encuentra con el vector activo (que se puede considerar prácticamente constante si el período de conmutación es lo suficientemente pequeño, el ripple en el bus de DC es pequeño durante el vector activo y el filtro de salida del inversor se comporta de manera prácticamente ideal para la frecuencia fundamental). \bar{i}_{DC} se relaciona con i_{DC0} de la forma $i_{DC0}(1-d_0) = \bar{i}_{DC}$. En definitiva, \bar{i}_{DC} es la corriente promediada en un período de conmutación que consumiría un inversor tradicional (sin capacidad de Shoot-Through) conectado al mismo bus de tensión continua que este.

Cabe destacar que la barra por encima de las variables indica que ese es su valor promediado en un período de conmutación.

Para obtener un modelo en pequeña señal, alrededor de un punto de trabajo dado por

$$\bar{v}_C = V_C \quad \bar{i}_L = I_L \quad \bar{v}_I = V_I \quad \bar{i}_{DC} = I_{DC} \quad d_0 = D_0$$

se debe diferenciar el modelo dado por la ecuación de estado (2.13), resultando el modelo en pequeña señal:

$$\dot{\tilde{x}} = A\tilde{x} + B\tilde{u} + F\tilde{v} \quad (2.14)$$

siendo

$$\begin{aligned} \tilde{x} &= \begin{bmatrix} \tilde{i}_L \\ \tilde{v}_C \end{bmatrix} & \tilde{u} &= \tilde{d}_0 & \tilde{v} &= \begin{bmatrix} \tilde{v}_I \\ \tilde{i}_{DC} \end{bmatrix} \\ A &= \begin{bmatrix} 0 & -\frac{1-2D_0}{L} \\ \frac{1-2D_0}{C} & 0 \end{bmatrix} & B &= \begin{bmatrix} \frac{2V_C}{L} \\ -\frac{2I_L}{C} \end{bmatrix} & F &= \begin{bmatrix} \frac{1}{L} & 0 \\ 0 & -\frac{2}{C} \end{bmatrix} \end{aligned}$$

Aplicando a este modelo la señal de control realimentado $\tilde{u} = \tilde{d}_0 = [K_i \ K_v] \tilde{x}$ la ecuación característica del modelo en pequeña señal a lazo cerrado queda dada por

$$D(s) = s^2 + 2\left(\frac{K_V I_L}{C} - \frac{K_i V_C}{L}\right)s + \frac{\delta}{LC} \left(\delta - 2(K_i I_L - K_v V_C)\right) \quad (2.15)$$

siendo $\delta = 1 - 2D_0$.

Como se ve, es una ecuación de segundo orden de la forma $s^2 + 2\xi\omega_n + \omega_n^2$, siendo ξ el factor de amortiguamiento y ω_n la frecuencia natural. Dados entonces ξ y ω_n para obtener la respuesta deseada del sistema, se pueden calcular las constantes del controlador K_i y K_v para obtener dicha respuesta:

$$K_i = -L \frac{I_{DC}(\omega_n^2 - \omega_0^2) + \frac{V_I \delta \xi \omega_n}{L}}{\frac{4I_{DC}^2}{C} + \frac{V_I^2}{L}} \quad (2.16)$$

$$K_v = -\frac{C}{2} \frac{V_I(\omega_n^2 - \omega_0^2) + \frac{4I_{DC}\delta\xi\omega_n}{C}}{\frac{4I_{DC}^2}{C} + \frac{V_I^2}{L}} \quad (2.17)$$

siendo $\omega_0^2 = \frac{\delta^2}{LC} = \frac{(1 - 2D_0)^2}{LC}$.

Sin embargo, en este sistema es difícil alcanzar el estado estacionario alrededor de un punto de trabajo, dado que la red Z debe disipar la menor cantidad de energía posible y si no están apropiadamente controlados, los transitorios tardan mucho tiempo en extinguirse. Además, en el caso de un inversor monofásico la corriente i_{DC} no puede ser considerada constante. Es por esto que se propone una *ley de control adaptativo* que funcione para gran señal, y no solamente para un modelo de pequeña señal calculado alrededor de un punto de trabajo. La misma está dada por

$$d_0 = D'_0 + K'_i(\overline{i_L} - \overline{i_{L,ref}}) + K'_v(\overline{v_C} - V_C) \quad (2.18)$$

con

$$D'_0 = \frac{1}{2} - \frac{\overline{v_i}}{2V_C} \quad (2.19)$$

$$\overline{i_{L,ref}} = \frac{2\overline{i_{DC}}}{1 - 2D'_0} \quad (2.20)$$

$$K'_i = -L \frac{\overline{i_{DC}}(\omega_n^2 - \omega_0'^2) + \frac{\overline{v_I} \delta' \xi \omega_n}{L}}{\frac{4\overline{i_{DC}}^2}{C} + \frac{\overline{v_I}^2}{L}} \quad (2.21)$$

$$K'_v = -\frac{C}{2} \frac{\overline{v_I}(\omega_n^2 - \omega_0'^2) + \frac{4\overline{i_{DC}}\delta'\xi\omega_n}{C}}{\frac{4\overline{i_{DC}}^2}{C} + \frac{\overline{v_I}^2}{L}} \quad (2.22)$$

$$\delta' = 1 - 2D'_0 \quad (2.23)$$

$$\omega_0'^2 = \frac{\delta'^2}{LC} \quad (2.24)$$

2.4. Inversor implementado en el proyecto base [19]

El inversor implementado en el proyecto final de ingeniería electrónica del anterior grupo de estudiantes [19] posee una topología *quasi-Z Source*, y su circuito esquemático simplificado se puede ver en la figura 2.12. Se trata de un inversor monofásico de 1kW de potencia nominal de salida, alimentado por una fuente de tensión, diseñado especialmente para funcionar como una plataforma educativa, siendo ideal para utilizar en laboratorios, prácticas y proyectos planteados por el área de Electrónica de Potencia de la Facultad de Ciencias Exactas, Ingeniería y Agrimensura de la Universidad Nacional de Rosario.

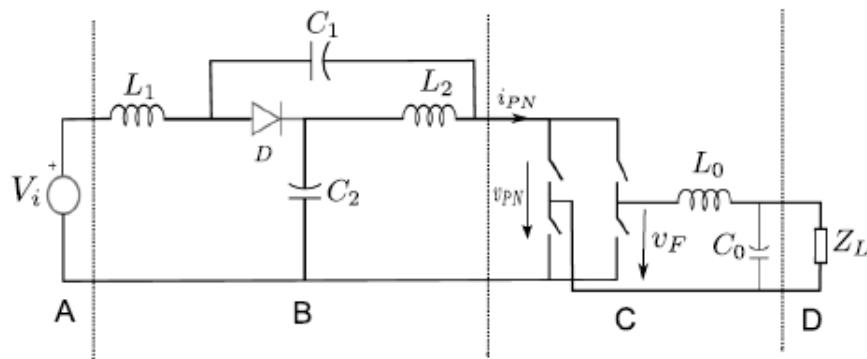


Figura 2.12: Inversor monofásico qZSI.

A: Voltaje de Entrada, B: Red Z, C: Puente inversor y filtro de carga, D: Carga AC. Imagen extraída de [19]

Este dispositivo consiste en cinco placas de circuito impreso con funciones específicas bien definidas, que se detallan a continuación:

1. Placa de entrada de CC: contiene

- los filtros EMI de corriente de ruido a modo común y diferencial de la tensión de entrada;
- un MOSFET que actúa como switch de entrada, conectado en serie a la misma, su driver correspondiente, el circuito para cambiar la tensión de excitación del MOSFET y así poder hacer que trabaje en la zona lineal para amortiguar corrientes de *inrush*;
- una fuente flyback auxiliar con tres salidas de 15V aisladas del resto del circuito y entre sí;
- los inductores de la red Z y
- los elementos necesarios para poder realizar la medición de la corriente de entrada, la tensión de entrada y la corriente por las inductancias de la red Z, tales como resistencias de shunt y un divisor resistivo.

2. Placa de convertidor CC/CA: contiene

- el puente inversor;

- los capacitores de la red Z;
- el diodo de la red Z, implementado con un transistor MOSFET controlado, para que el dispositivo sea de *conducción continua*, es decir, para que las corrientes por las inductancias de la red Z nunca sean nulas (pudiendo ser negativas) y
- los elementos para poder medir la corriente por el puente, la tensión del bus de continua y la tensión sobre el capacitor C_2 de la figura 2.12, tales como una resistencia de shunt y divisores resistivos.

3. Placa de salida de CA: contiene

- el filtro principal de salida, compuesto por la inductancia L_0 y el capacitor C_0 de la figura 2.12, cuya función es eliminar los armónicos de la modulación PWM realizada controlando el puente;
- un filtro EMI de salida y
- las interfaces para medir la tensión alterna de salida y la corriente de salida, que como no están referidas a la masa del circuito se miden de forma diferencial. La tensión se mide mediante dos divisores resistivos, donde cada uno refiere la tensión de uno de los extremos de la salida a masa. La corriente se mide con un sensor de efecto hall.

4. Placa de drivers: contiene

- los drivers para todos los transistores MOSFET del puente, tanto los cuatro principales como los transistores de las redes Snubber y de cero, y el driver para el transistor de la red Z y
- un regulador de tensión que permite ajustar la tensión de excitación de los MOSFETs de las redes Snubber, para regular su zona de trabajo y ajustar así la constante de amortiguamiento de las mismas.

5. Placa de control: contiene

- la controlCARD TMDSCNCD28335 [11] que contiene el procesador digital de señales que controla todo el dispositivo, Texas Instruments TMS320F28335 [37];
- los reguladores de tensión necesarios para alimentar distintos bloques de la propia placa;
- los adaptadores de nivel digitales necesarios, utilizados como interfaz entre las señales digitales de las otras placas y el DSP;
- las interfaces de medición analógicas, que adaptan los valores entregados por los elementos de medición a los valores aptos para ingresar al ADC del DSP;
- las referencias de tensión y la lógica para implementar las protecciones por hardware de sobrevalores;
- la interfaz JTAG para programar el DSP y
- un controlador CAN Bus.

En la figura 2.13 se encuentra una foto del dispositivo con todas sus placas interconectadas. Las placas posteriores son las de entrada de CC y salida de CA. La placa anterior derecha es la de convertidor CC/CA. La placa anterior izquierda es la de control. La placa de drivers está ubicada debajo de la placa de control, y no se aprecia en la foto.

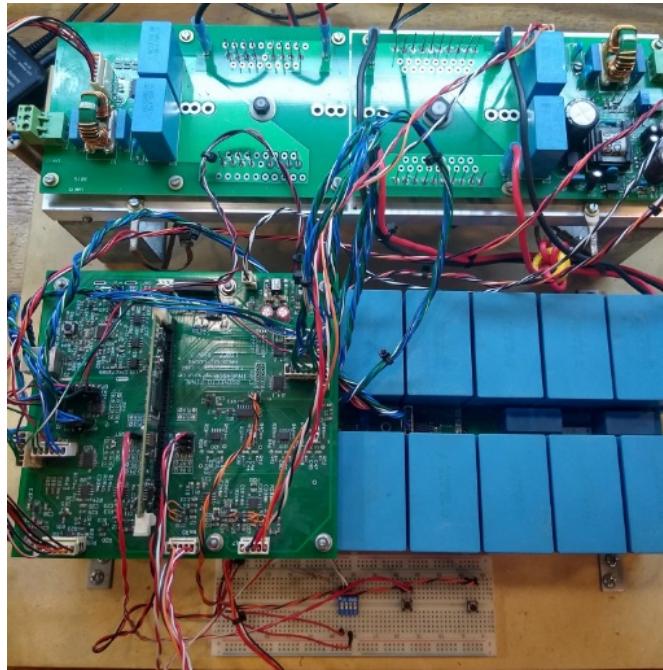


Figura 2.13: Inversor montado en el proyecto base. Imagen extraída de [19].

El algoritmo de control implementado es el planteado en [49], dado por la ley de control de la ecuación (2.18) para la tensión del bus de corriente continua. No se implementó un algoritmo de control para la tensión de salida de CA, quedando la misma a lazo abierto. La tensión de salida se genera controlando el puente con una modulación SPWM en su zona lineal, donde la señal moduladora es una onda senoidal de frecuencia 50Hz y amplitud fija. En cuanto a los ensayos realizados sobre el dispositivo, el mismo no se pudo hacer funcionar a potencia nominal, ya que fallaba antes por la presencia de elevada interferencia electromagnética.

2.5. Objetivos del proyecto

Este proyecto consta de tres etapas, donde cada una representa un objetivo fundamental a cumplir. Las mismas son:

1. Relevamiento y revisión del conexionado y las placas del equipo previamente construido. Implementación de mejoras de hardware y firmware necesarias.
2. Ensayo del hardware del convertidor a lazo abierto bajo condiciones de funcionamiento nominales para su validar las mejoras implementadas.
3. Diseño del control digital a lazo cerrado de la tensión de salida para funcionamiento “off-grid” (es decir, como generador aislado).

Durante la primera etapa, se deberá realizar el relevamiento del hardware y software ya existente, tomando conocimiento del mismo y asegurándose de que sea seguro y funcional. Este es un aspecto no menor a tener en cuenta, ya que al tratarse de la continuación de un trabajo anterior, existen aspectos a mejorar. El objetivo de esta etapa es la implementación de las mejoras necesarias detectadas, tanto de hardware como de firmware, que permitan el funcionamiento del inversor en condiciones nominales (tensión de salida senoidal de 220V RMS, potencia de salida de 1kW).

En la segunda etapa se ensayarán al dispositivo con las mejoras implementadas bajo diferentes condiciones y observando su desempeño, a modo de poder validar los cambios implementados. El objetivo de esta etapa es verificar que el trabajo realizado en la primera dé como resultado que el inversor pueda funcionar correctamente bajo diferentes condiciones de carga y tensiones de entrada, del bus de CC y de salida, alcanzando un funcionamiento estable con valores de carga elevados. Por otra parte, se pretende analizar el comportamiento del dispositivo al utilizar redes Snubber pasivas y activas, verificando experimentalmente cómo el uso de unas u otras afecta el rendimiento del convertidor, e implementando finalmente las que den un mejor resultado. Por último, se busca también en esta etapa calibrar correctamente las protecciones por hardware del dispositivo, asegurando su funcionamiento adecuado.

En la tercera etapa se diseñará un control de tensión a lazo cerrado para que el dispositivo pueda alimentar a una carga aislada y funcione correctamente frente a variaciones en la carga, en la tensión de entrada o frente a otras perturbaciones externas. El objetivo de esta etapa es simular un modelo del convertidor con el lazo de control funcionando, y verificar que cumple con parámetros de calidad. Si bien el inversor no será utilizado conectado a la red eléctrica, como referencia de valores cuantitativos de performance a los cuales se pretende llegar, se utilizará la norma EN50160 [29], que proporciona los umbrales permisibles para la tensión en la red de distribución pública europea. Algunos de los parámetros que fija son:

- Distorsión armónica total máxima del 8 %, con el desglose mostrado en la figura 2.14.
- Variación máxima en la amplitud de la tensión de $\pm 10 \%$.
- Caídas de tensión de duración menor a 1s y no mayores al 60 %.
- Variación máxima de frecuencia de $\pm 1 \%$.

Odd harmonics				Even harmonics	
Not multiple of 3		Multiple of 3			
Order h	Relative voltage (%)	Order h	Relative voltage (%)	Order h	Relative voltage (%)
5	6	3	5	2	2
7	5	9	1.5	4	1
11	3.5	15	0.5	6 to 24	0.5
13	3	21	0.5		
17	2				
19	1.5				
23	1.5				
25	1.5				

Figura 2.14: Límites de armónicos en red eléctrica. Norma EN50160. Imagen extraída de [32].

Capítulo 3

Mejoras y modificaciones sobre el proyecto base [19]

En este capítulo se detallan todas las mejoras realizadas sobre el inversor construido en el proyecto mencionado en el título. Las mismas están orientadas, por un lado, a mejorar la compatibilidad electromagnética y la robustez del equipo, con el objetivo de poder utilizarlo a la potencia nominal de 1kW para la que fue diseñado. Por otro lado, las mejoras se enfocaron también en aumentar la sencillez del equipo, eliminando o reduciendo partes sin perder funcionalidad y eligiendo una menor cantidad de componentes distintos, con el objetivo de reducir sus costos de fabricación.

3.1. Documentación

Necesariamente, la primer tarea a realizar durante el proyecto fue recopilar todo el material utilizado por los autores del proyecto [19] para analizarlo y dividirlo según corresponda a software (códigos y librerías), hardware (manuales de componentes, circuitos esquemáticos, archivos de PCBs, disposición física de las placas) y documentación adicional (notas de aplicación, guías de diseño, documentación sobre pruebas, modificaciones o inconvenientes).

Como la documentación es parte fundamental de cualquier proyecto, se implementó una metodología de trabajo que permite a todos los autores tener disponibles los documentos necesarios para llevar a cabo el proyecto, siendo además sencillos de encontrar. Todos los documentos del proyecto se encuentran en una carpeta en la nube, a la que todos los integrantes del proyecto tendrán acceso. Dentro de esta carpeta se encontrarán los siguientes directorios:

- Documentos heredados
 - Informe final: informe final realizado por el grupo de trabajo anterior.
 - Esquemáticos: esquemáticos y PCBs heredados.
 - Datasheets: datasheets de los componentes utilizados.
 - Apuntes, guías, AN: documentos informativos externos,
 - Material extra: anexos del grupo de trabajo anterior.

- Esquemáticos y PCBs
 - Conexionado: conexión entre placas.
 - ControlBoard: placa de control.
 - Design_Drivers: placa de drivers de MOSFETs.
 - Driver_MOSFET_DC_Input: placa anexa a DC_Input.
 - Design_DC_AC_Converter: placa con red Z.
 - Design_AC_Output: placa de salida de tensión.
 - Design_DC_Input: placa de entrada de tensión.
- Costos: documentos relacionados con compras para el proyecto.
- Plantillas: plantillas para realizar documentación de los ensayos, que se utilizaron a lo largo del proyecto para estandarizar mediciones.
- Imágenes: imágenes y fotografías que se generaron a lo largo del desarrollo del proyecto, organizadas en subdirectorios.
- Bibliografía: copia de toda la bibliografía utilizada en PDF, con el nombre completo, para que sea sencilla de consultar.
- Simulaciones: archivos que contengan los modelos y simulaciones realizados con el fin de diseñar el inversor y su controlador de salida.
- Ensayos
 - Lazo abierto: ensayos realizados con el equipo a lazo abierto.
 - Lazo cerrado: ensayos realizados con el equipo a lazo cerrado.
- Cálculos: cálculos realizados para los diseños.
- Instrumental: documentos referentes al instrumental de laboratorio necesario para realizar las pruebas y ensayos.

Por otra parte, los archivos existentes de circuitos esquemáticos estaban organizados en una disposición jerárquica y divididos en muchas hojas, lo que dificultó su fácil lectura y seguimiento. Al contar el proyecto con varias placas de circuito impreso y muchos componentes, es natural que el circuito esquemático se divida en varias páginas, pero identificar las conexiones entre las placas se vuelve muy laborioso. El objetivo fue cambiar su disposición para eliminar los bloques jerárquicos y dividir el circuito completo en la menor cantidad de hojas posible, procurando que las nomenclaturas y etiquetas sean las adecuadas para permitir un rápido seguimiento de las conexiones entre las distintas placas. Para esto, se hicieron las siguientes modificaciones en cada uno de los archivos:

- Eliminación de los bloques jerárquicos y reducción de la cantidad de páginas de cada circuito esquemático.

- Uso de etiquetas para vincular los diferentes circuitos.
 - Unificación de los nombres de los componentes entre los esquemáticos, PCB y placas físicas.
 - Armado de planilla con cambios realizados sobre los esquemáticos y PCBs, a modo de realizar un control de versiones sobre ellos.
 - Generación de documentos .pdf para cada esquemático, para que sean fáciles de consultar.
 - Generación de un archivo *multiboard* donde puede verse a nivel de conectores las conexiones entre las placas. El mismo se puede ver en la figura 3.1.
 - Generación del BOM de cada placa, para tener un registro claro y completo de los componentes necesarios para fabricar cada placa.

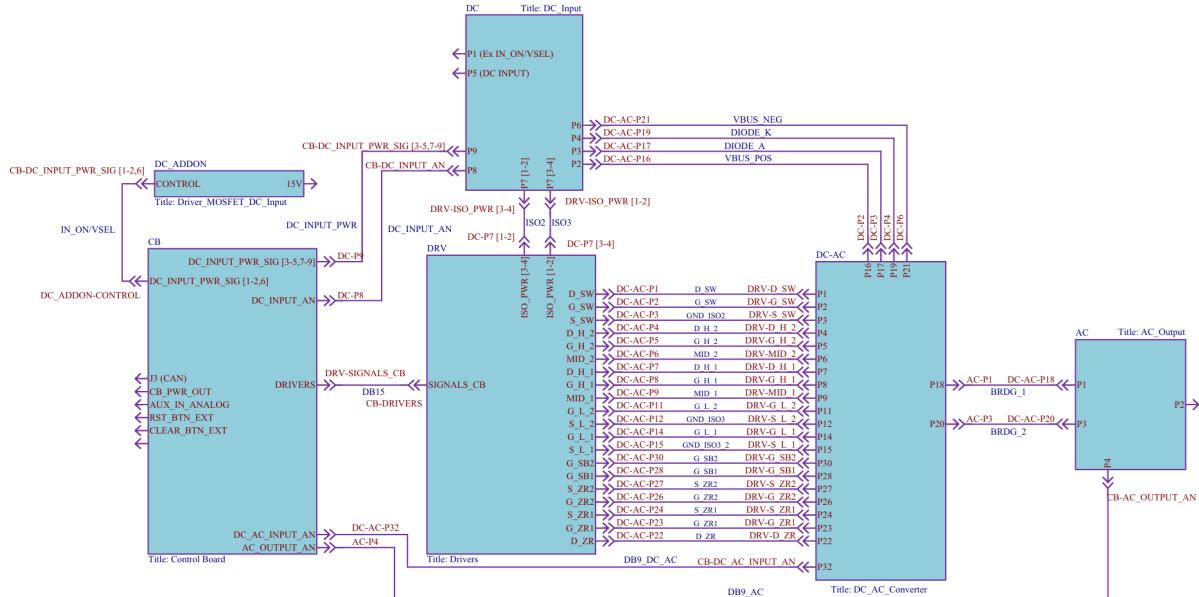


Figura 3.1: Archivo multiboard generado.

3.2. Placa de entrada de CC

El inversor posee un MOSFET en serie a la entrada de tensión continua (Q_1), que se utiliza como switch de entrada, como se puede ver en la figura 3.2. El mismo se ubica en la placa de Entrada de Corriente Continua. En el arranque, se le proporciona una tensión V_{GS} que hace que el transistor se encuentre polarizado en la zona activa o de saturación, limitando así la corriente que circula por él. De esta forma se consigue controlar la corriente de *inrush* en el instante inicial, debida a la carga de los capacitores de entrada. Una vez que ya se cargaron los mismos, se aumenta la tensión V_{GS} del MOSFET y se polariza al mismo en la zona óhmica, funcionando como una llave cerrada, con una pequeña caída de tensión. Este cambio en la tensión V_{GS} se

obtiene en [19] actuando sobre la red de realimentación de un regulador lineal LDO de tensión de salida variable, modelo TPS71501 [33], como se muestra en la figura 3.3.

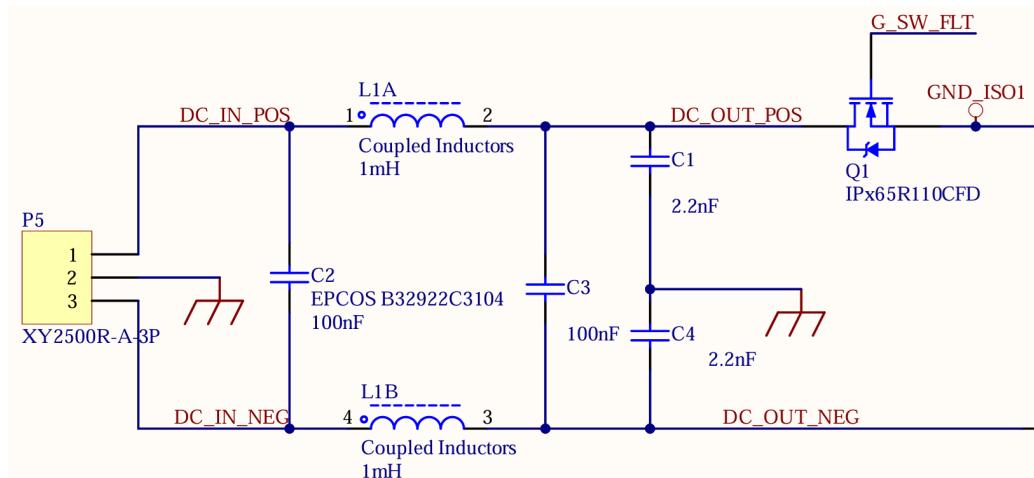


Figura 3.2: Switch de entrada del inversor.

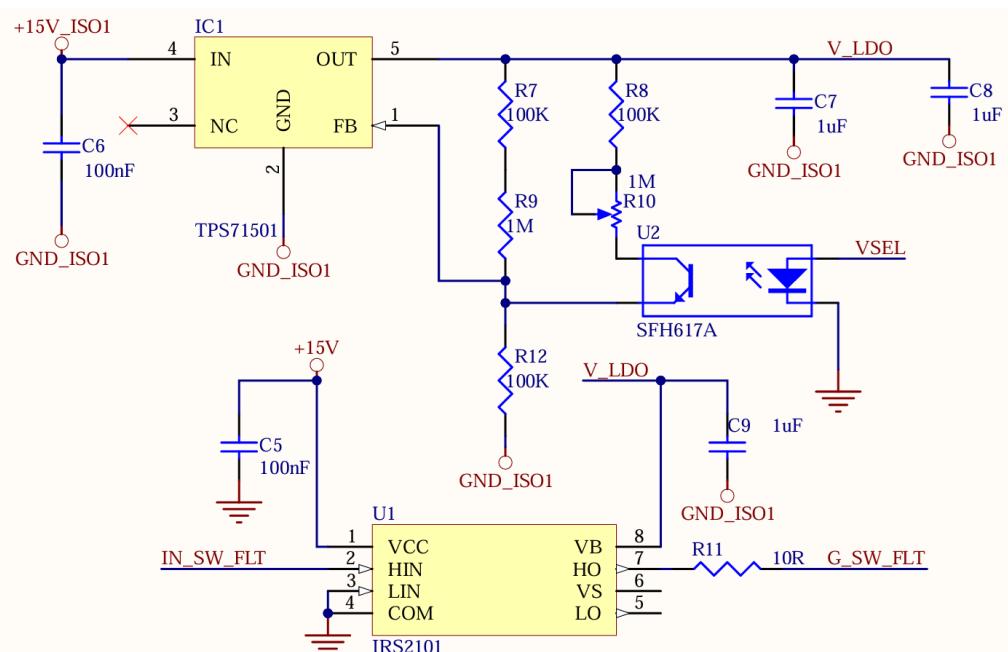


Figura 3.3: Control del switch de entrada del inversor utilizado en el proyecto base [19].

Se encontraron dos problemas relacionados a este circuito:

- Por un lado, se quemó el driver del MOSFET, modelo IRS2101 [12]. En un análisis posterior se llegó a la conclusión de que la resistencia en serie al gate del MOSFET (R_{11} en la figura 3.3) era de un valor demasiado bajo, de solo 10Ω , haciendo que la corriente de salida del driver sea muy alta en los instantes de conmutación. Se reemplazó, en primera instancia, por una de mayor valor, 165Ω , utilizando dos resistencias de 330Ω en paralelo.

- Luego, por otro lado, se quemó el LDO. Analizando la causa, se llegó a la conclusión de que su ruptura se produjo debido a que se le exigió más corriente de la que puede entregar, dado que en su hoja de datos se especifica que su corriente de salida pulsante máxima es de solo $130mA$.

Se buscó entonces rediseñar esta parte del sistema, reemplazando al conjunto regulador más driver de MOSFET por el circuito cuyo diagrama esquemático se muestra en la figura 3.4. Para manejar el MOSFET ahora se utiliza un amplificador operacional LM358 [42] en configuración de amplificador no inversor, con una ganancia $G = 2$. El circuito posee dos entradas digitales, aisladas por optoacopladores 4N35 [14], que controlan la entrada de tensión del amplificador.

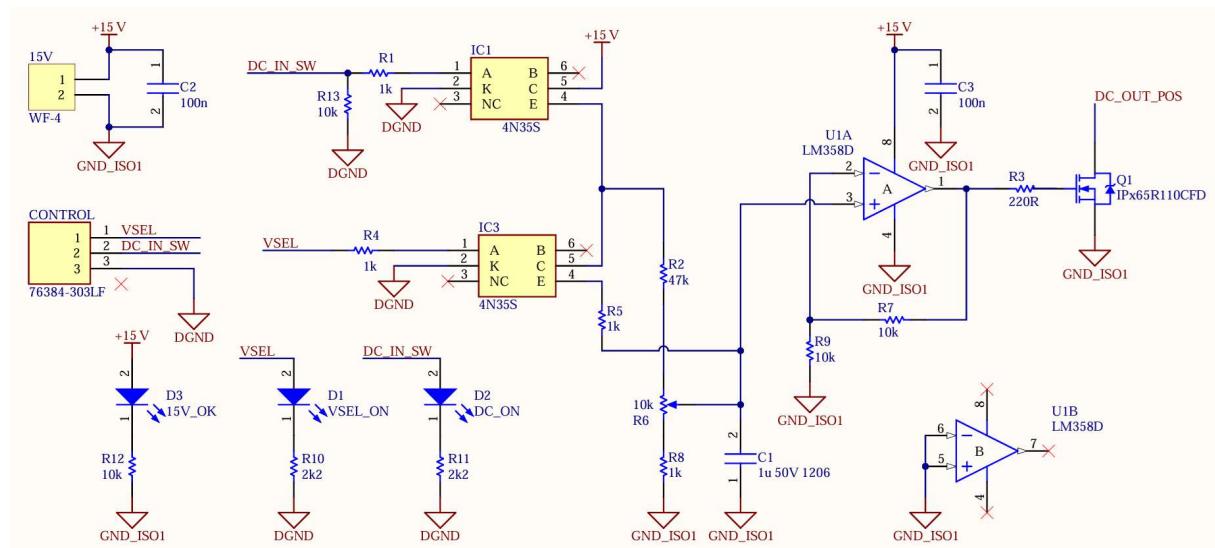


Figura 3.4: Nuevo control del switch de entrada del inversor.

Mientras la entrada DC_IN_SW tenga un valor lógico bajo, la entrada del amplificador estará conectada a masa a través de $R6$ y $R8$, y la salida será prácticamente de $0V$, haciendo que el MOSFET que controla esté cortado. Al colocar un valor lógico alto en la entrada DC_IN_SW , manteniendo la entrada $VSEL$ en bajo, la tensión de entrada del amplificador estará dada por:

$$V_+ = 15V \cdot \frac{R8 + \eta R6}{R2 + R8 + R6} = 15V \cdot \frac{1K\Omega + \eta 10K\Omega}{47K\Omega + 1K\Omega + 10K\Omega} \quad (3.1)$$

Siendo η una variable cuyo valor está entre 0 y 1, y vale 0 si el trimpot $R6$ tiene su punto medio en el extremo con el cual se conecta a $R8$, escalando linealmente hasta 1 a medida que el punto medio del trimpot se mueve hacia su otro extremo. De esta manera, V_+ se puede ajustar entre 0, 25V y 2, 85V, logrando que la salida varíe entre 0, 5V y 5, 7V.

Si $VSEL$ posee un valor lógico alto, entonces la tensión de entrada del amplificador estará dada por:

$$V_+ \approx 15V \cdot \frac{R8 + \eta R6}{R5 + R8 + \eta R6} = 15V \cdot \frac{1K\Omega + \eta 10K\Omega}{1K\Omega + 1K\Omega + \eta 10K\Omega} \quad (3.2)$$

De esta forma, la tensión V_+ puede variar entre 7,5V y 13,75V según la posición del trimpot $R6$, haciendo que para todos los casos la salida del amplificador esté saturada, teniendo un valor cercano a 15V.

Así, se puede manejar el encendido del inversor manteniendo por un tiempo la entrada DC_IN_SW en alto con $VSEL$ en bajo, haciendo que el MOSFET de entrada funcione en su zona activa. Transcurrido ese tiempo, se coloca $VSEL$ en alto para que el MOSFET pase a trabajar en su zona óhmica y se mantenga allí durante todo el tiempo de uso del inversor.

Este se conectó a la placa original de *Entrada de Corriente Continua* haciendo uso de pines y los terminales propios del MOSFET a controlar, como se muestra en la figura 3.5.

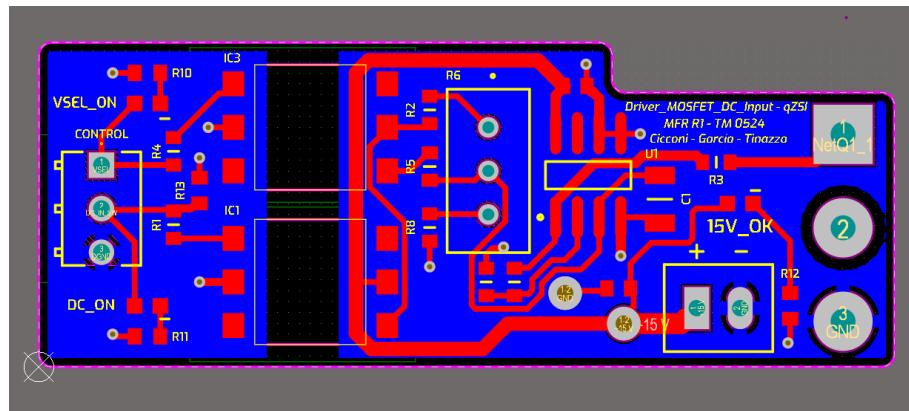


Figura 3.5: Nuevo control del switch de entrada del inversor implementado sobre la placa original de *Entrada de Corriente Continua*.

3.3. Placa de drivers

La placa de drivers contiene todos los circuitos dedicados a manejar los transistores de potencia que se utilizan en el inversor. La misma funciona como interfaz entre la placa de control y las etapas de potencia, por lo que conviven en ella señales lógicas de 5V de amplitud con nodos de tensiones del orden de las centenas de Voltios. Además, se ubica físicamente sobre la placa de *Convertidor CC/CA*, que es una gran fuente de ruido electromagnético por contener nodos cuya tensión comuta continuamente entre cientos de Voltios y 0V, lo que da lugar a elevadas derivadas de tensión, con un gran contenido armónico de alta frecuencia. Circulan además por esta placa corrientes del orden de las decenas de Amperes, que inducen grandes campos magnéticos. Es por estas razones que se consideró necesario incurrir en el rediseño de la placa de drivers, teniendo en cuenta la compatibilidad electromagnética, el cableado al conectarla con la placa de control y la deseada simplicidad del mismo.

3.3.1. Reducción del cableado hacia la placa de control

Para lograr que el cableado sea simple, contenido y que presente mayor inmunidad ante el ruido electromagnético, se decidió reducir al máximo la cantidad de cables que conectan a esta placa con la de control. Obviamente, las señales que provienen de la placa de control y que gobiernan el encendido y apagado de los transistores son irreducibles, pero no así las señales

lógicas que poseen algunos drivers para indicar distintos estados de falla. Los drivers simples 1ED020I12-B2 [9] y dobles 2ED020I12-F2 [7] utilizados poseen salidas lógicas de *Fault* y *Ready* y una entrada lógica de *Reset*, que se comportan de la siguiente manera:

- La salida *Ready* está en alto siempre que el chip esté listo para funcionar, con las tensiones de alimentación adecuadas en sus etapas de entrada y de salida y con la transmisión de señal interna funcionando adecuadamente.
- La salida *Fault* está en alto siempre que no haya una falla que provoque la desaturación del transistor manejado. Si ocurre una desaturación (es decir, si el transistor pasa a funcionar en zona activa), esta salida cambia a nivel bajo. El chip es capaz de detectar una desaturación dado que mide la tensión entre *drain* y *source* del transistor.
- La entrada *Reset* cumple una doble función. Por un lado, cuando está en un nivel lógico bajo, apaga el circuito de entrada del driver. Por otro, resetea el estado de falla del driver correspondiente cuando detecta una desaturación, volviendo la salida *Fault* a nivel alto.

Es deseable poder monitorear las salidas *Fault* y *Ready* con el DSP y controlar la entrada *Reset*, para lo cual es necesario cablear estas señales desde la placa de drivers hacia la placa de control. Contabilizando todos los drivers, hay 7 entradas y salidas de cada una, siendo un total de 21 señales. Para evitar cablear todas por separado, se procedió a:

- Realizar en la propia placa de drivers una operación lógica AND sobre todas las señales *Ready* y otra sobre todas las señales *Fault*, obteniendo una única señal RDY y una única señal FLT que se envían a la placa de control.
- Utilizar la misma señal *Reset* para todos los drivers, lo que permite recibir una única señal desde la placa de control.

De esta forma, las 21 señales se reducen a solamente 3. Las operaciones AND se realizan mediante compuertas lógicas 74LVC1G08GW,125 [20] con el circuito que se puede observar en la figura 3.6.

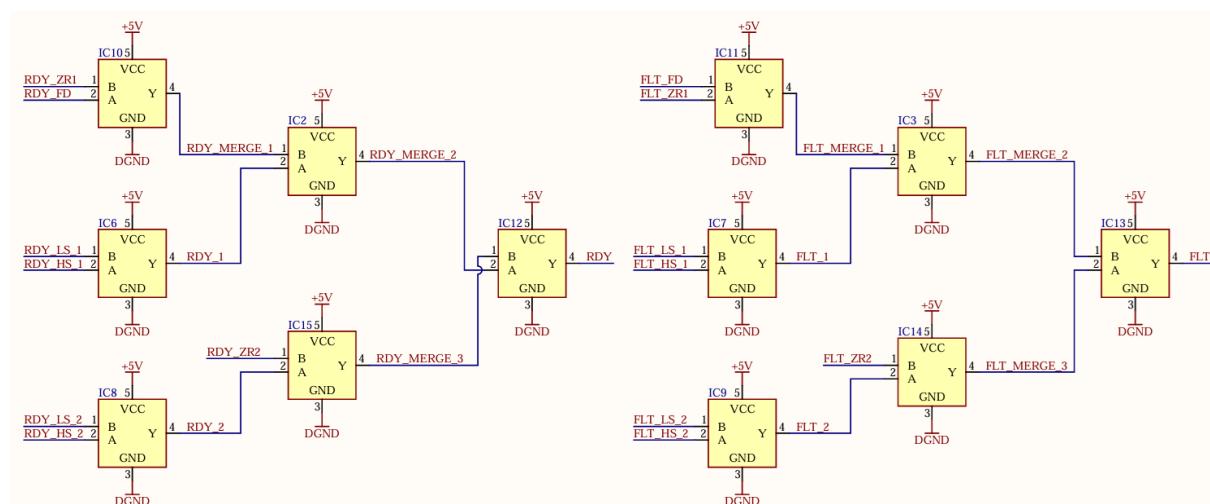


Figura 3.6: Operaciones lógicas AND sobre las señales *Fault* y *Ready* en la placa de drivers.

3.3.2. Cambios en los drivers de los MOSFETs de las redes Snubber

En la placa de Convertidor CC/CA se encuentra el puente del inversor y, junto a él, las redes Snubber que permiten amortiguar las oscilaciones producidas en las conmutaciones por los elementos reactivos parásitos. Las mismas están compuestas por un capacitor y un MOSFET en serie, que permite deshabilitarlas o habilitarlas (controlando el estado del MOSFET) según sea necesario, ya que es deseable que las redes queden desconectadas durante la porción del período en donde se produce el *Shoot-Through* para reducir las pérdidas en las mismas.

Al igual que como se explicó en la sección 3.2 sobre el transistor en serie a la entrada del inversor, puede ser deseable que los MOSFETs de las redes Snubber trabajen en zona lineal, teniendo además la posibilidad de regular su resistencia de acuerdo a la necesidad, ajustando así la constante de amortiguamiento de la red. De la misma forma que se había hecho con el transistor de entrada, en [19] se controlaban los transistores de las redes Snubber mediante drivers IRS2101 [12] y con una tensión V_{GS} determinada por un regulador lineal LDO ajustable TPS71501 [33]. Para evitar que se quemen tanto los drivers como el LDO, se optó por aumentar la resistencia de salida de los drivers, colocando unas de 150Ω , y por cambiar el regulador lineal por uno que tuviera la capacidad de entregar más corriente, como es el NCP1117LP [23], que puede manejar hasta 1A, contra los 50mA del utilizado anteriormente. Se colocó una resistencia ajustable en la red de realimentación del regulador para poder cambiar su tensión de salida y así cambiar la zona de trabajo de los MOSFETs. El circuito completo que se utiliza para manejar los MOSFETs de las redes Snubber se muestra en las figuras 3.8 y 3.7.

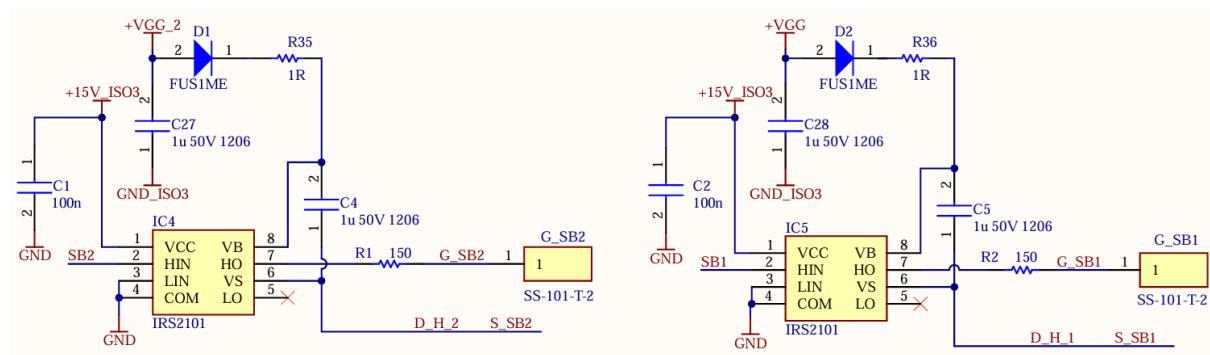


Figura 3.7: Circuito para manejar los MOSFETs de las redes Snubber.

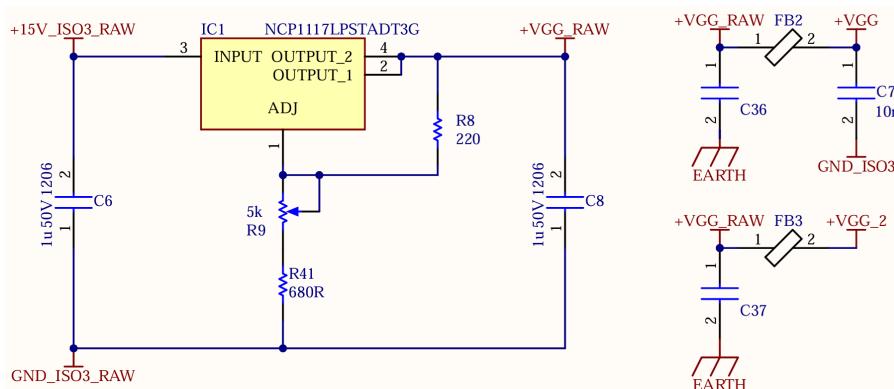


Figura 3.8: Regulador para ajustar la tensión V_{GS} máxima de los MOSFETs de las redes Snubber.

3.3.3. Diseño del PCB de la placa de drivers

A la hora de diseñar el PCB se tuvo en cuenta principalmente que la placa de drivers se ubica sobre la placa de *Convertidor CC/CA*, en la que hay transistores que conmutan a altas tensiones y corrientes. Además, en la misma placa de drivers se encuentra una clara diferenciación entre zonas de bajas tensiones, corrientes y bajo ruido, correspondientes a las etapas de entrada de los drivers, y zonas ruidosas, donde se da la conexión entre los drivers y los transistores de potencia. Debido a esto, se buscó apantallar las zonas de bajo ruido con tierra y desacoplar las líneas que van de una zona a otra mediante capacitores y chokes de modo común.

La placa se diseñó para ser fabricada en cuatro capas de cobre, para las cuales el *stackup* es el que se muestra en la tabla 3.1.

Capa	Material	Grosor
Señales rápidas de bajo ruido y señales ruidosas	Cobre	0,035mm
Prepreg	7628	0,2104mm
Plano de masa	Cobre	0,0152mm
Núcleo	FR-4	1,065mm
Señales lentas de bajo ruido, alimentación y señales ruidosas	Cobre	0,0152mm
Prepreg	7628	0,2104mm
Plano de tierra	Cobre	0,035mm

Tabla 3.1: Stackup de la placa de drivers.

En la capa de cobre inferior se coloca el plano de tierra para que actúe como blindaje ante el ruido electromagnético proveniente de la placa de *Convertidor CC/CA*, ubicada debajo de la placa de drivers. Por otra parte, como es deseado que el plano de masa se encuentre a la menor distancia posible de las señales que conmutan a altas velocidades, se optó por colocar el mismo en la segunda capa y las señales rápidas en la capa superior, dado que la distancia entre las capas 1 y 2 es mucho menor que la distancia entre las capas 2 y 3. Por otro lado, al ubicar las señales rápidas en la capa superior, se las aleja lo máximo posible de la placa de *Convertidor CC/CA*, quedando también apantalladas por el plano de masa. Finalmente, se utilizó la capa 3 para rutear todas las señales que conmutan ocasionalmente y las que tienen tensiones fijas, como las pistas de alimentación. Tanto la capa 1 como la 3 contienen pistas con señales ruidosas, que se ubican solamente en las zonas ruidosas. Dado que en dichas zonas no hay planos de tierra ni masa, no es necesario cumplir requerimientos relacionados a ellos.

En la figura 3.9 se pueden ver las capas distinguidas por colores: la capa 1 (de señales rápidas) se muestra en color rojo-salmón-amarillo, la capa 2 (del plano de masa) en color mostaza, la capa 3 (de señales lentas) en color celeste y la capa 4 (del plano de tierra) en color azul. Cabe aclarar que las capas más bajas se ocultan sobre las más altas en esta vista.

Toda la zona cubierta por el plano de tierra (azul) corresponde a la de bajo ruido, mientras que la que no está cubierta por el mismo es la zona ruidosa. Se puede ver claramente cómo las etapas de entrada de los drivers se encuentran apantalladas por el plano de tierra, mientras que las etapas de salida no. Por otra parte, el plano de masa se encuentra “encerrado” por el de tierra y no hay plano de masa sobre la zona ruidosa, para evitar que se induzca ruido en él. Además, todas las pistas que contienen señales de alta velocidad en la zona de bajo ruido,

tienen al plano de masa debajo. Todas las pistas que requieren pasar de una zona a otra están desacopladas mediante filtros, que se muestran en la figura 3.10.

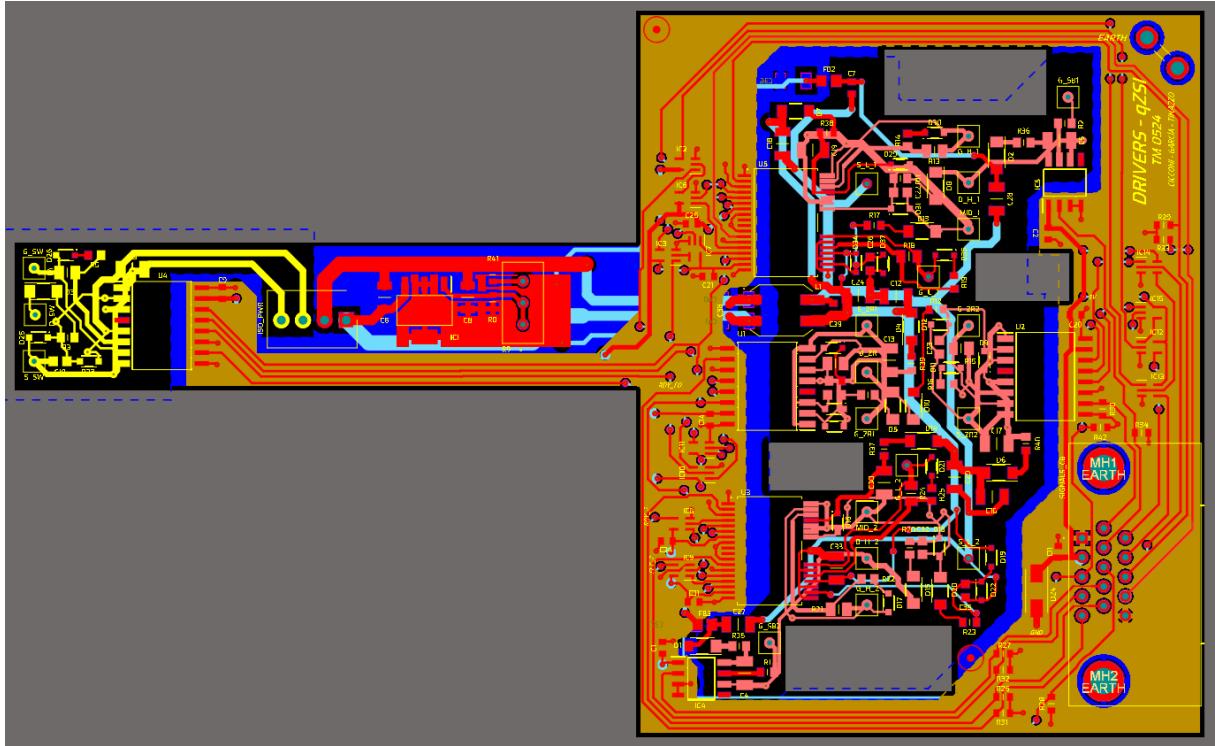


Figura 3.9: Placa de drivers en el software de diseño.

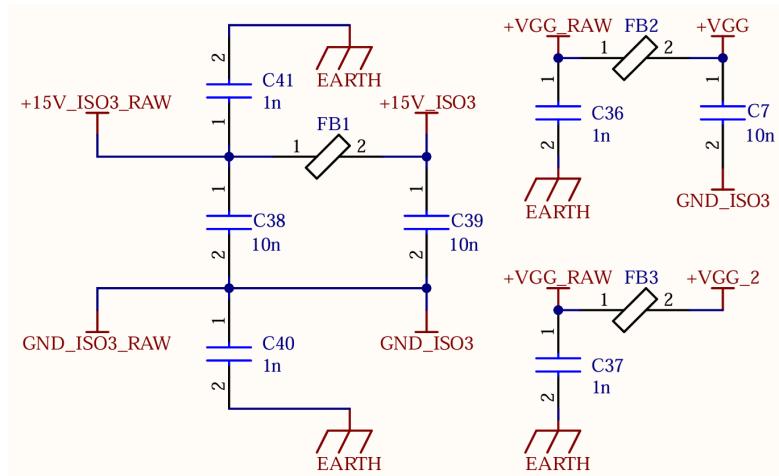


Figura 3.10: Filtros para señales entre las zonas ruidosas y no ruidosas en la placa de drivers.

La forma tan particular de esta placa se debe a que encaja sobre la placa de *Convertidor CC/CA*, que contiene capacitores y conectores con una altura considerable. Por la misma razón, esta placa contiene cuatro agujeros rectangulares.

3.4. Placa de control

La placa de control es la más crítica de las que se incluyen en el inversor dado que se encarga de controlar todo el sistema y contiene señales mixtas (digitales y analógicas) de alta y baja amplitud. Los objetivos a la hora de rediseñarla son principalmente reducir su complejidad, su cantidad de componentes y de partes únicas, reducir su costo y abordar el diseño teniendo como principal consideración la compatibilidad electromagnética, dado el ambiente -electromagnéticamente- ruidoso en el que se ubica. Con esto en cuenta, se realizó un nuevo diseño tanto del circuito esquemático como del circuito impreso, y en las diferentes secciones de este capítulo se detallan los cambios más importantes respecto a la placa de control de [19].

3.4.1. Rediseño de la interfaz analógica para mediciones

Dado el objetivo de mejorar y simplificar la placa de control, se encontró que, por un lado, los valores de resistencias utilizados en la interfaz analógica no respondían a un estándar cuyos valores sean fáciles de conseguir en las tiendas locales. Se planteó entonces el objetivo de utilizar solamente resistencias con valores del estándar E12 y tolerancia del 1 %, ya que los circuitos de medición son críticos para el correcto funcionamiento del inversor. Por otro lado, se encontró que muchos de los valores máximos que se pretendían medir estaban en realidad sub-estimados, por lo que, mediante simulaciones, se encontraron los valores máximos de las variables a medir en todo el rango de tensión de entrada y de carga para las cuales el inversor está especificado. Aplicando un factor de seguridad de alrededor de un 20 % para todos estos valores, se obtienen los nuevos valores mínimos y máximos a medir, que se presentan en la tabla 3.2.

Variable	Descripción	Valores mín. y máx.	Condición
V_{IN}	Tensión de entrada	0V	-
		380V	-
V_{C1}	Tensión sobre C_1 de la red Z	0V	-
		500V	V_{INmax}, R_{Lmin}
V_{C1-2}	Tensión del bus de CC	0V	-
		600V	-
V_{AC}	Tensión de salida	-380V	-
		380V	-
I_{IN}	Corriente de entrada	0A	-
		10A	V_{INmin}, R_{Lmax}
I_{L1}	Corriente por L_1 de la red Z	-5A	V_{INmax}, R_{Lmax}
		25A	V_{INmin}, R_{Lmax}
I_{BRDG}	Corriente por el puente	-15A	V_{INmin}, R_{Lmax}
		50A	V_{INmin}, R_{Lmax}
I_{AC}	Corriente de salida	-10A	R_{Lmax}
		10A	R_{Lmax}

Tabla 3.2: Valores máximos y mínimos de las variables del inversor a medir.

Cabe aclarar que estos valores se obtuvieron simulando el sistema con el algoritmo de con-

trol de la tensión del bus continua configurado con los parámetros $\omega_n = 2\pi 150$ y $\xi = \frac{\sqrt{2}}{2}$. Se determinó a través de las simulaciones que el cambio en los parámetros de este controlador afecta los valores máximos y mínimos de las variables I_{L1} , I_{BRDG} , V_{C1} y V_{C1-2} .

Teniendo en cuenta entonces, que el conversor analógico digital del DSP utilizado tiene referencias de 0V y 3V, es inmediato calcular para cada variable los parámetros m y h de la transformación lineal $y = mx + h$ que hace que el rango de entrada detallado anteriormente se transforme en una tensión de salida de 0V a 3V. Teniendo en cuenta que la resolución del ADC es de 12bit, se puede calcular también la resolución con la que se medirá cada variable. Los resultados se observan en la tabla 3.3.

Variable	m	h	Resolución
V_{IN}	$0,00789 \frac{V}{V}$	0V	92,77mV
V_{C1}	$0,006 \frac{V}{V}$	0V	122,07mV
V_{C1-2}	$0,005 \frac{V}{V}$	0V	146,48mV
V_{AC}	$0,00395 \frac{V}{V}$	1,5V	185,55mV
I_{IN}	$0,3 \frac{V}{A}$	0V	2,44mA
I_{L1}	$0,1 \frac{V}{A}$	0,5V	7,32mA
I_{BRDG}	$0,0462 \frac{V}{A}$	0,692V	15,87mA
I_{AC}	$0,15 \frac{V}{A}$	1,5V	4,88mA

Tabla 3.3: Transformaciones lineales objetivo de los circuitos de medición analógicos.

Medición de V_{IN} , V_{C1} y V_{C1-2}

Para medir estas tres variables, se utilizó simplemente un divisor resistivo con un buffer. Se tomó la decisión de colocar todas las resistencias del divisor en la placa de control, de manera que al mismo ingresen directamente las tensiones a medir. Si se colocara una parte del divisor en la placa de origen, el ruido electromagnético tendría una influencia significativa sobre estas señales, dado que se transportan a través de cables de longitud considerable y la magnitud de las mismas sería mucho menor. En la figura 3.11 se puede ver el circuito utilizado para medir la tensión de entrada. La tensión de salida del amplificador operacional se puede calcular como:

$$V_{in} = V_{in_sns} \cdot \frac{R28 + R101}{R97 + R98 + R99 + R100 + R28 + R101} = V_{in_sns} \cdot 0,00767 \quad (3.3)$$

De forma análoga, se pueden calcular las ecuaciones de transferencia de los circuitos de medición de V_{C1} y V_{C1-2} (que se muestran en la figura 3.12), que resultan:

$$V_{C1} = V_{C1_sns} \cdot 0,00584 \quad (3.4)$$

$$V_{C1_2} = V_{C1_2_sns} \cdot 0,00494 \quad (3.5)$$

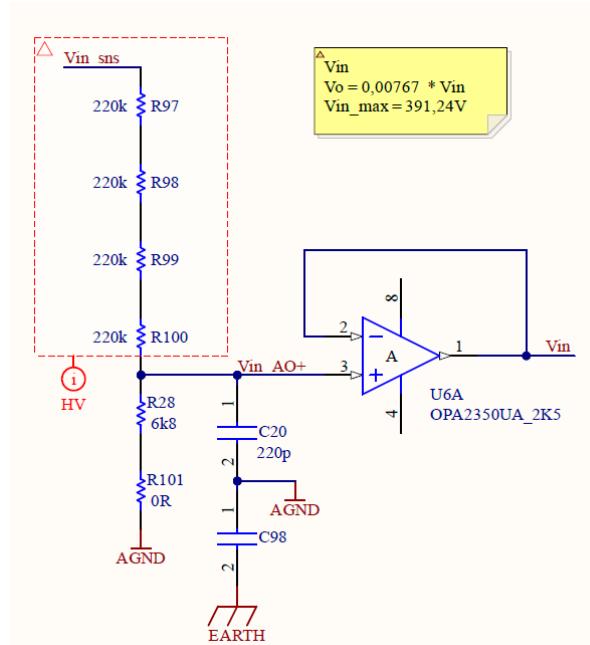
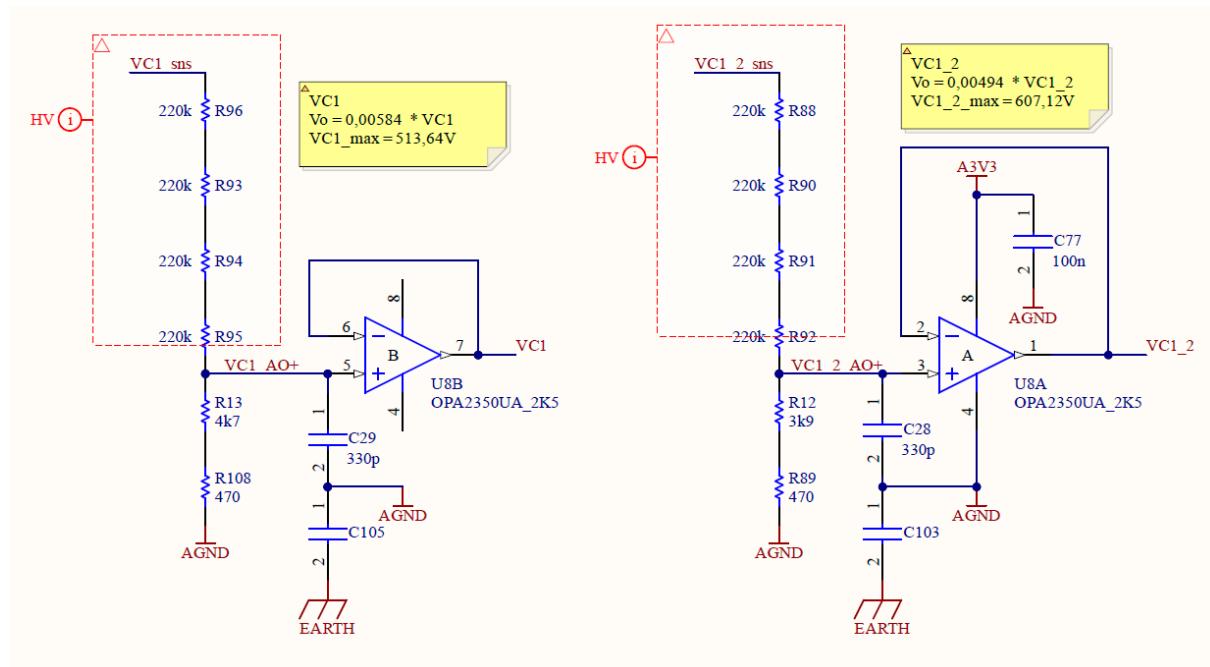


Figura 3.11: Circuito utilizado para adaptar la tensión de entrada para su medición.

Figura 3.12: Circuitos utilizados para adaptar las tensiones V_{C1} y V_{C1_2} para su medición.

Medición de la tensión de salida V_{AC}

Es fácil notar que, al utilizar en el inversor un puente para generar la tensión de salida, ninguno de los bornes desde donde se toma la misma tiene el mismo potencial que la masa

de la entrada del puente. Por este motivo, la tensión debe medirse de forma *diferencial*. Para conseguirlo, se hace uso del circuito que se muestra en la figura 3.13.

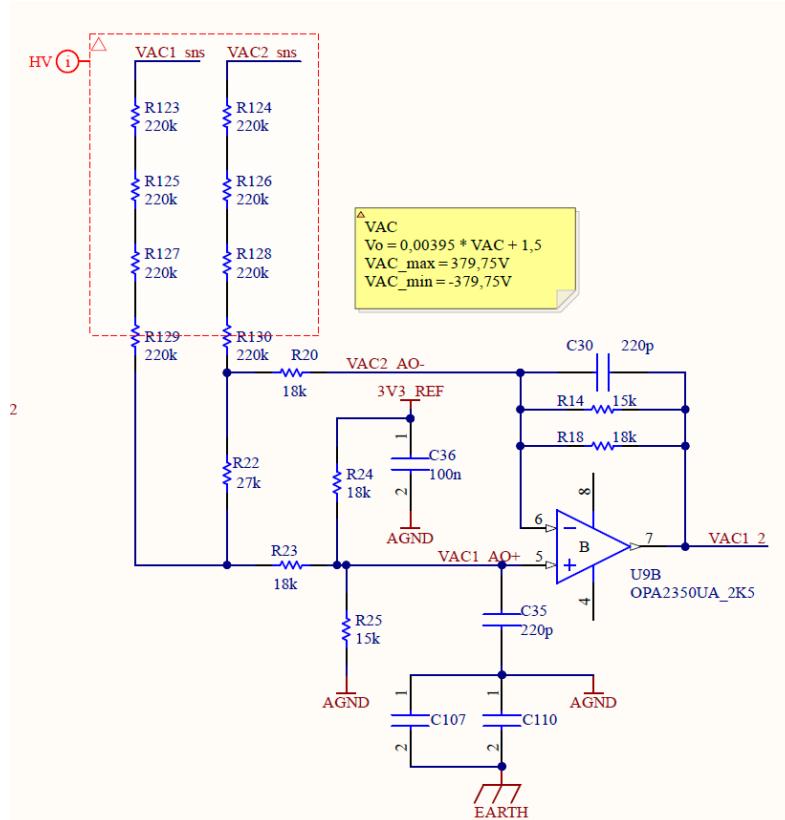


Figura 3.13: Circuito utilizado para adaptar la tensión de salida para su medición.

Para simplificar la nomenclatura, se llamará $R_G = R_{123} + R_{125} + R_{127} + R_{129} = R_{124} + R_{126} + R_{128} + R_{130}$.

Para calcular la función transferencia del mismo, se procederá por superposición. Pasivando la tensión $VAC_sns = VAC1_sns - VAC2_sns$, se tiene que $R_P = (R_G + R_G) // R_{22}$, y luego $R_T = R_P + R_{20} + R_{R3}$ es la resistencia resultante conectada entre las entradas del amplificador operacional. Por otra parte, La tensión en la entrada no inversora del amplificador operacional es $e^{+1} = 3V3_REF \cdot \frac{R_{25}}{R_{24} + R_{25}}$, y como el mismo está realimentado negativamente, $e^{+1} = e^{-1}$. Entonces, no circula corriente por R_T dado que su potencial es nulo. Por lo tanto, tampoco circula corriente por R_{13} y R_{14} , lo que lleva a la conclusión de que

$$V_o^1 = e^{+1} = 3V3_REF \cdot \frac{R_{25}}{R_{24} + R_{25}} \quad (3.6)$$

Pasivando $3V3_REF$, se considera, en primera instancia, la función transferencia del circuito entre los puntos V_1 y V_2 y su salida, teniendo en ese caso el circuito típico de un amplificador diferencial, dada la igualdad de valores entre las resistencias del circuito. De esta forma, la tensión a la salida será

$$V_o^2 = (V_1^2 - V_2^2) \cdot \frac{R_{14} // R_{18}}{R_{20}} \quad (3.7)$$

Aplicando la Ley de Kirchhoff de corrientes en los nodos con tensiones V_1 y V_2 , se tiene que

$$I_{R129}^2 = I_{R22}^2 + I_{R23}^2 \quad (3.8)$$

$$I_{R130}^2 = I_{R22}^2 + I_{R20}^2 \quad (3.9)$$

y como $I_{R129}^2 = I_{R130}^2$, entonces de lo anterior se puede deducir que $I_{R23}^2 = I_{R20}^2$. Sabiendo que, por estar el amplificador operacional realimentado negativamente, $e^{+2} = e^{-2}$, se pueden calcular fácilmente estas corrientes, obteniendo que

$$I_{R23}^2 = \frac{V_1^2}{R_{23} + R_{24}/R_{25}} \quad (3.10)$$

$$I_{R20}^2 = \frac{V_1^2 \cdot \frac{R_{24}/R_{25}}{R_{23} + R_{24}/R_{25}} - V_2^2}{R_{20}} \quad (3.11)$$

Y considerando la igualdad $I_{R23}^2 = I_{R20}^2$, reemplazando se puede obtener V_2^2 en función de V_1^2 , que resulta

$$V_2^2 = V_1^2 \cdot \frac{R_{24}/R_{25} - R_{20}}{R_{24}/R_{25} + R_{23}} \quad (3.12)$$

Reemplazando la ecuación (3.12) en (3.7), y teniendo en cuenta la igualdad de valores entre las resistencias, se llega a que

$$V_o^2 = V_1^2 \cdot \frac{2(R_{24}/R_{25})}{R_{23} + R_{24}/R_{25}} \quad (3.13)$$

Resta solamente encontrar la relación entre VAC_sns y V_1^2 , que al aplicar la Ley de Kirchhoff de tensión en la malla donde se encuentran VAC_sns , ambas R_G y R_{22} resulta

$$V_1^2 = VAC_sns \cdot \frac{R_{23} + R_{24}/R_{25}}{2 \cdot R_{23} + 2 \cdot R_G + \frac{4R_G R_{23}}{R_{22}}} \quad (3.14)$$

Finalmente, reemplazando la ecuación (3.14) en (3.13) se obtiene

$$V_o^2 = VAC_sns \cdot \frac{R_{24}/R_{25}}{R_{23} + R_G + \frac{2R_G R_{23}}{R_{22}}} \quad (3.15)$$

La función transferencia completa del circuito de medición es entonces

$$V_{AC} = V_o^2 + V_o^1 = VAC_sns \cdot \frac{R_{24}/R_{25}}{R_{23} + R_G + \frac{2R_G R_{23}}{R_{22}}} + 3V3_REF \cdot \frac{R_{25}}{R_{24} + R_{25}} \quad (3.16)$$

que reemplazando por los valores de las resistencias resulta en

$$V_{AC} = VAC_sns \cdot 0,00395 + 1,5V \quad (3.17)$$

Medición de la corriente de entrada I_{IN}

La corriente de entrada se mide a través de una resistencia de shunt colocada en serie a la entrada de tensión continua, en la placa de entrada de CC. Mediante el circuito que se puede ver en la figura 3.14, se obtiene en su salida una tensión proporcional a la diferencia de tensión entre los terminales de dicha resistencia de shunt y, como su valor óhmico es conocido, es inmediata la obtención de la corriente que circula por la misma.

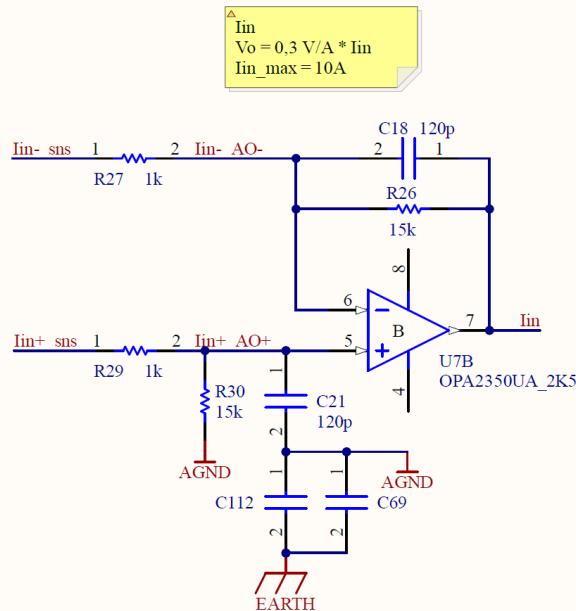


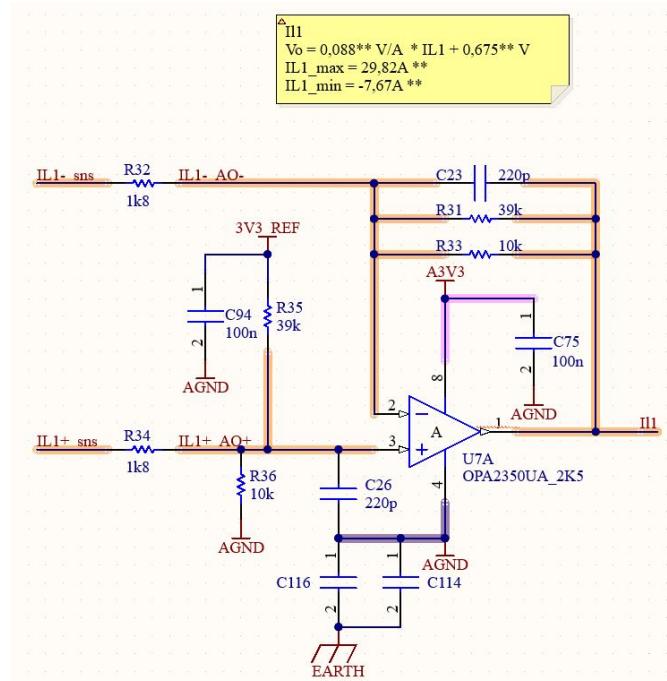
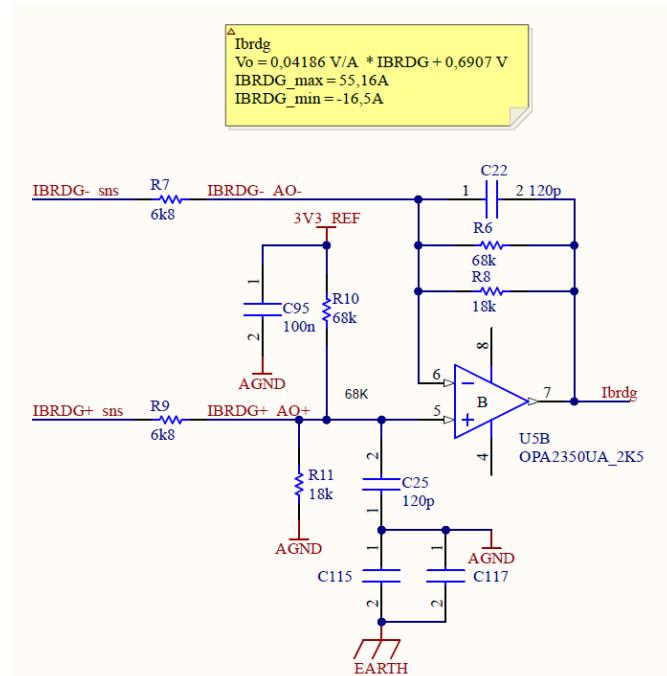
Figura 3.14: Circuito utilizado para adaptar la corriente de entrada para su medición.

Siendo $V_{Iin+sns} - V_{Iin-sns} = I_{IN} \cdot R_{sh}$, considerando que el circuito presentado posee la forma y la igualdad en los valores de las resistencias típicos de un amplificador diferencial, y sabiendo que el valor de la resistencia de shunt es de $20m\Omega$ se deduce entonces que la salida del circuito se relaciona con la corriente de entrada de la forma

$$V_{Iin} = I_{IN} \cdot R_{SH} \cdot \frac{R_{26}}{R_{27}} = I_{IN} \cdot 0,3 \frac{V}{A} \quad (3.18)$$

Medición de las corrientes I_{L1} e I_{BRDG}

Tanto la corriente I_{BRDG} , que es la que circula a la entrada del puente del inversor, como la corriente I_{L1} , que es la que circula por uno de los inductores de la red Z, se miden a través de la caída de tensión en resistencias de shunt de $20m\Omega$, ubicadas en las placas de convertidor DC-AC y entrada de CC respectivamente. La diferencia con la corriente de entrada, es que ahora estas pueden tomar tanto valores positivos como negativos, por lo que se hace necesario agregar una tensión de offset en los circuitos de medición. En las figuras 3.15 y 3.16 se presentan ambos.

Figura 3.15: Circuito utilizado para adaptar la corriente I_{L1} para su medición.Figura 3.16: Circuito utilizado para adaptar la corriente I_{BRDG} para su medición.

Como ejemplo se tomará el circuito de medición de I_{BRDG} , sabiendo que la deducción es análoga para el de I_{L1} . Si se pasiva la fuente de tensión $3V3_REF$, se puede ver que la estructura del circuito es idéntica al del caso anterior, utilizado para medir la corriente I_{IN} .

Por lo tanto,

$$V_{Ibrdg}^1 = I_{BRDG} \cdot R_{SH} \cdot \frac{R_6//R_8}{R_7} \quad (3.19)$$

Utilizando el teorema de superposición, si se pasivan las tensiones de entrada, el circuito resultante es el típico de un amplificador no inversor, donde la tensión de entrada está dada por $e^{+2} = 3V3_REF \cdot \frac{R_{11}//R_9}{R_{10} + (R_{11}//R_9)}$. Por lo tanto, la tensión a la salida será

$$V_{Ibrdg}^2 = 3V3_REF \cdot \frac{R_{11}//R_9}{R_{10} + (R_{11}//R_9)} \cdot \frac{R_7 + R_6//R_8}{R_7} \quad (3.20)$$

La salida del circuito de medición se calcula como la suma de los valores obtenidos pasivando las fuentes:

$$V_{Ibrdg} = I_{BRDG} \cdot R_{SH} \cdot \frac{R_6//R_8}{R_7} + 3V3_REF \cdot \frac{R_{11}//R_9}{R_{10} + (R_{11}//R_9)} \cdot \frac{R_7 + R_6//R_8}{R_7} \quad (3.21)$$

Y reemplazando por los valores de las resistencias se obtiene:

$$V_{Ibrdg} = I_{BRDG} \cdot 0,0419 \frac{V}{A} + 0,691V \quad (3.22)$$

Análogamente, para el circuito de medición de I_{L1} se tiene:

$$V_{IL1} = I_{L1} \cdot 0,088 \frac{V}{A} + 0,675V \quad (3.23)$$

Medición de la corriente de salida I_{AC}

Para medir la corriente de salida, se hace uso del sensor de corriente de efecto Hall ACS710KLATR-12CB [1], cuya salida de tensión es tal que

$$V_{Hall} = V_{OFFSET} + I_{Hall} \cdot 56 \frac{mV}{A} \quad (3.24)$$

Donde V_{OFFSET} es una tensión cercana a la mitad de la tensión de alimentación del sensor, en este caso 5V.

Para adaptar la señal entregada por el sensor, se utiliza el circuito que se muestra en la figura 3.17. En este caso el circuito tiene dos entradas, provenientes del sensor de corriente mencionado. La entrada IAC_sns corresponde a la salida del sensor propiamente dicha, que es proporcional a la corriente que se quiere medir. La otra entrada, IAC_ref_sns , se obtiene de otro pin del sensor, y tiene una tensión igual a V_{OFFSET} .

Con el objetivo de obtener la función transferencia del circuito, nuevamente se hace uso del teorema de superposición. Si se pasiva la tensión $3V3_REF$, el circuito es el típico de un amplificador diferencial donde el sumando es la tensión V_{IAC_sns} y el sustraendo la tensión $V_{IAC_ref_sns}$.

$$V_{IAC}^1 = (V_{IAC_sns} - V_{IAC_ref_sns}) \cdot \frac{R_{16}//R_{17}}{R_{55}} \quad (3.25)$$

Y como $V_{IAC_sns} = V_{Hall}$, $I_{AC} = I_{Hall}$ y $V_{IAC_ref_sns} = V_{OFFSET}$, entonces

$$\begin{aligned} V_{IAC}^1 &= \left(V_{OFFSET} + I_{AC} \cdot 56 \frac{mV}{A} - V_{OFFSET} \right) \cdot \frac{R_{16}/R_{17}}{R_{55}} \\ &= I_{AC} \cdot 56 \frac{mV}{A} \cdot \frac{R_{16}/R_{17}}{R_{55}} \end{aligned} \quad (3.26)$$

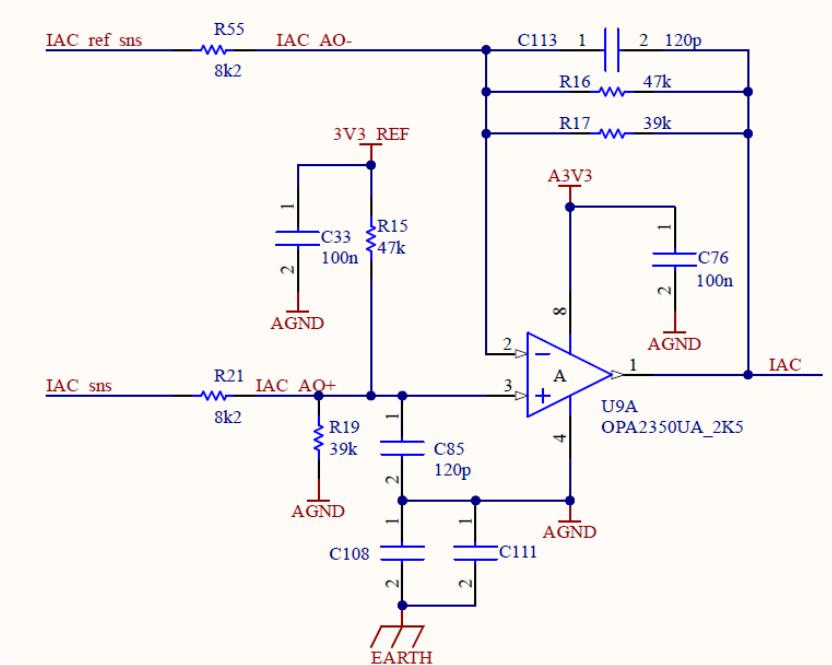


Figura 3.17: Circuito utilizado para adaptar la corriente de salida para su medición.

Por otra parte, al pasivar las tensiones de entrada V_{IAC_sns} y $V_{IAC_ref_sns}$, la tensión en la entrada no inversora del amplificador operacional será $e^{+2} = 3V3_REF \cdot \frac{R_{21}/R_{19}}{R_{15} + (R_{21}/R_{19})}$. Al estar el mismo realimentado negativamente $e^{-2} = e^{+2}$. De esta forma, y considerando que el circuito resultante es el de un amplificador no inversor, la tensión de salida será

$$V_{IAC}^2 = 3V3_REF \cdot \frac{R_{21}/R_{19}}{R_{15} + (R_{21}/R_{19})} \cdot \frac{R_{55} + (R_{21}/R_{19})}{R_{55}} \quad (3.27)$$

Así, se obtiene

$$V_{IAC} = V_{IAC}^1 + V_{IAC}^2 = m \cdot I_{AC} + h \quad (3.28)$$

con

$$m = 56 \frac{mV}{A} \cdot \frac{R_{16}/R_{17}}{R_{55}} \quad (3.29)$$

$$h = 3V3_REF \cdot \frac{R_{21}/R_{19}}{R_{15} + (R_{21}/R_{19})} \cdot \frac{R_{55} + (R_{21}/R_{19})}{R_{55}} \quad (3.30)$$

Reemplazando por los valores de las resistencias y tensiones se tiene

$$V_{IAC} = I_{AC} \cdot 0,146 \frac{V}{A} + 1,497V \quad (3.31)$$

Consideraciones generales para todas las mediciones

Se presenta a continuación, en la tabla 3.4, el resumen de los resultados obtenidos, presentando para cada variable los parámetros m y h de su respectivo circuito de adaptación analógica, los valores máximos y mínimos que se pueden medir con dicho circuito teniendo en cuenta el rango del conversor analógico-digital utilizado, y la resolución con la que finalmente se miden.

Variable	m	h	Valor mínimo	Valor máximo	Resolución
V_{IN}	$0,00767 \frac{V}{V}$	0V	0V	391, 24V	95, 52mV
V_{C1}	$0,00584 \frac{V}{V}$	0V	0V	513, 64V	125, 4mV
V_{C1-2}	$0,00494 \frac{V}{V}$	0V	0V	607, 12V	148, 22mV
V_{AC}	$0,00395 \frac{V}{V}$	1, 5V	-380V	380V	185, 55mV
I_{IN}	$0,3 \frac{V}{A}$	0V	0A	10A	2, 44mA
I_{L1}	$0,088 \frac{V}{A}$	0, 675V	-7, 67A	29, 82A	9, 15mA
I_{BRDG}	$0,0419 \frac{V}{A}$	0, 691V	-16, 5A	55, 16A	17, 5mA
I_{AC}	$0,146 \frac{V}{A}$	1, 497V	-10, 25A	10, 29A	5, 01mA

Tabla 3.4: Transformaciones lineales obtenidas de los circuitos de medición analógicos.

Para todos los circuitos de medición en donde se utiliza la tensión de referencia $3V3_REF$, la misma es generada mediante el circuito integrado TL431 [44], que es una referencia de tensión de precisión programable. El diagrama esquemático del circuito utilizado para generar la tensión de referencia de 3, 3V se puede ver en la figura 3.18.

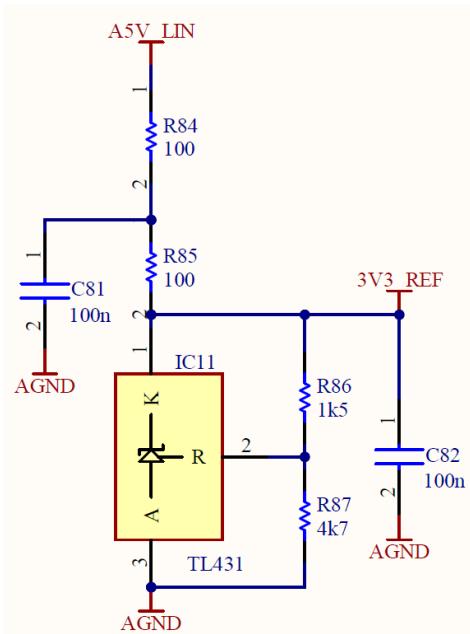
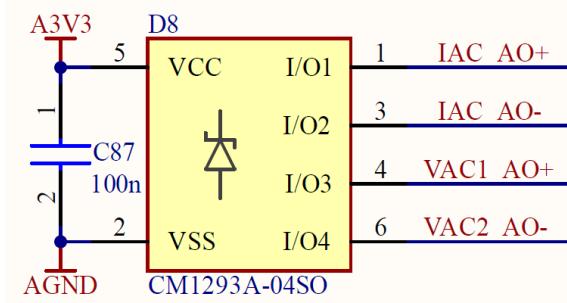


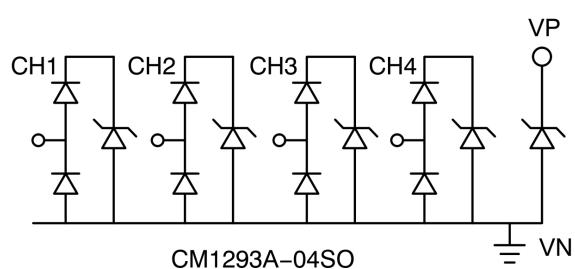
Figura 3.18: Circuito utilizado para generar la tensión de referencia de 3, 3V.

A modo de proteger los amplificadores operacionales utilizados, se utilizaron circuitos integrados de protección contra ESD CM1293A-04SO [22] conectados en las entradas de los am-

plificadores operacionales en donde ingresan las señales provenientes de las demás placas. En la figura 3.19a se puede ver un ejemplo de cómo se utiliza dicho circuito integrado en la placa de control, con cada uno de sus canales conectados a una entrada de los amplificadores operacionales. Por otra parte, en la figura 3.19b se observa el circuito interno de estos chips, donde se puede ver que ofrecen protección contra tensiones por encima de V_{CC} y por debajo de GND para sus cuatro canales, y además una protección contra sobretensiones en el propio bus de alimentación.



(a) Circuito utilizado en la placa de control.



(b) Circuito interno [22].

Figura 3.19: Circuito integrado CM1293-04SO.

3.4.2. Rediseño del circuito de protección por hardware

Una sección del circuito de la placa de control tiene el objetivo de generar la señal de *trip-zone* para el DSP. Cuando esta señal toma un nivel bajo, el hardware del DSP se encarga de anular todas las salidas PWM sin intervención del procesador, lo que permite proteger rápidamente al inversor ante una falla. En este caso, la señal se genera comparando los valores entregados por el circuito de medición analógico con tensiones de referencia, de modo que si se detecta algún valor mayor al esperado, la entrada de *trip-zone* tome un nivel bajo y se anulen todas las salidas PWM (quedando las mismas en valor bajo), cortando el funcionamiento del inversor.

Lo primero que se detectó fue que los comparadores que estaban siendo utilizados, TLV3502 [35], si bien cuentan con prestaciones destacables, su precio también es muy elevado. Los mismos se destacan por ser *rail-to-rail* y por tener un tiempo de propagación muy pequeño, del orden de los 10ns . Es deseable que el tiempo de propagación de los comparadores sea bajo, dado que, en parte, de ello depende la velocidad de actuación de las protecciones. Para poder determinar cuál es un tiempo de propagación aceptable para los comparadores se debe analizar cuál es la velocidad de respuesta deseable de las protecciones ante la situación más crítica: un cortocircuito en la salida del inversor.

En la figura 3.20 se puede ver el filtro de salida del inversor, que se conecta entre la salida del puente y la carga.

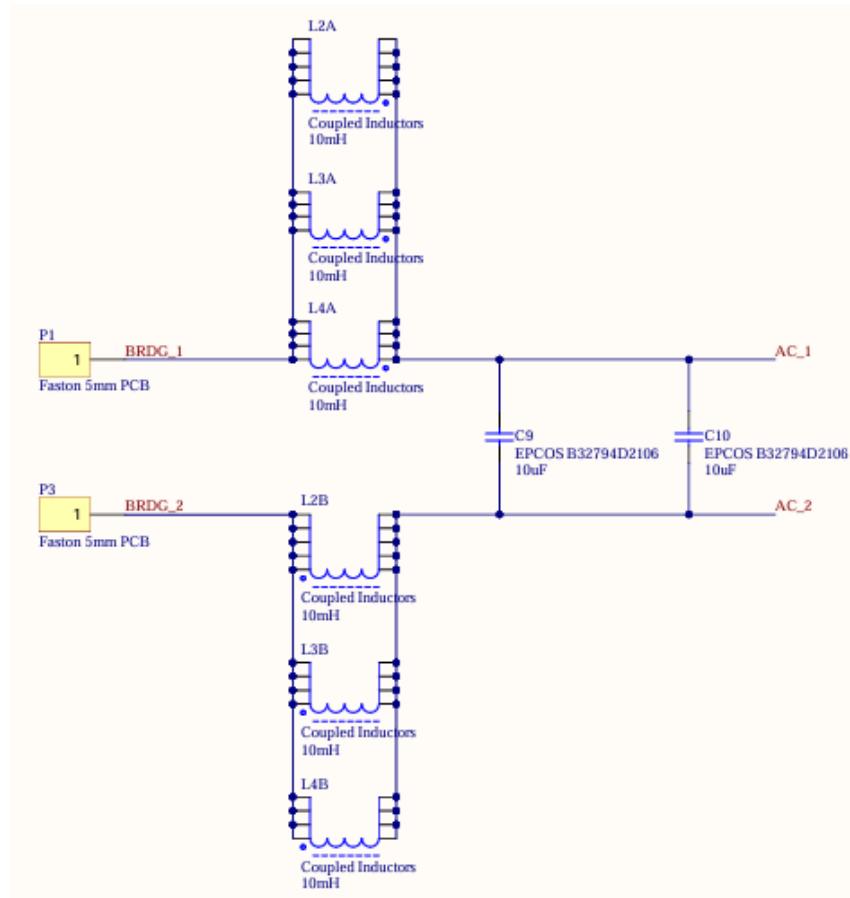


Figura 3.20: Filtro de salida del inversor.

Si la carga se cortocircuita, toda la tensión de salida del puente queda aplicada sobre el inductor del filtro, lo que hará que la corriente aumente a una tasa dada por

$$\frac{di}{dt} = \frac{V_L}{L} = \frac{V_{OUT_BRDG}}{L} \quad (3.32)$$

siendo el peor caso los intervalos de tiempo donde $V_{OUT_BRDG} = V_{BUS}$ o $V_{OUT_BRDG} = -V_{BUS}$. Teniendo en cuenta que $L = 6,7mH$ y $V_{BUS,max} \approx 500V$, entonces

$$\frac{di}{dt} = 74,62 \frac{mA}{\mu s} \quad (3.33)$$

De esta forma, por cada microsegundo que demore en actuar la protección, la corriente habrá subido unos $75mA$ por encima del límite establecido. Si se considera prudente un margen de $500mA$ por encima del límite seteado para la protección, será aceptable que la misma demore unos $6\mu s$.

Se puede concluir entonces que el tiempo de propagación de $10ns$ es en realidad innecesario, dado que está tres órdenes de magnitud por debajo de lo que se considera aceptable. Se pueden utilizar entonces comparadores más lentos pero mucho más económicos que sigan cumpliendo con el requerimiento. Se decidió utilizar comparadores LMV393 [36], que presentan un tiempo de propagación del orden de los $500ns$ y salida a colector abierto. La gran ventaja

que presentan es su precio, costando alrededor de 10 veces menos que los comparadores utilizados anteriormente, lo que implica un ahorro de alrededor de US\$15 solo en este cambio, a precios de mayo del 2024.

Por otra parte, las tensiones de referencia de los comparadores estaban siendo generadas mediante arreglos de resistencias y potenciómetros, lo que no es ideal para mantener las mismas estables en el tiempo. Se decidió entonces utilizar potenciómetros digitales MCP4461 [34] para generarlas. A su vez, dichos potenciómetros se encuentran alimentados por la tensión de referencia de 3,3V utilizada también en los circuitos de medición analógica, generada con el circuito integrado TL431 [44]. En la figura 3.21 se puede ver parte del circuito utilizado para generar las referencias, junto con un comparador. Cada potenciómetro digital es de cuatro canales y se comunica con el DSP mediante el protocolo I²C para su configuración.

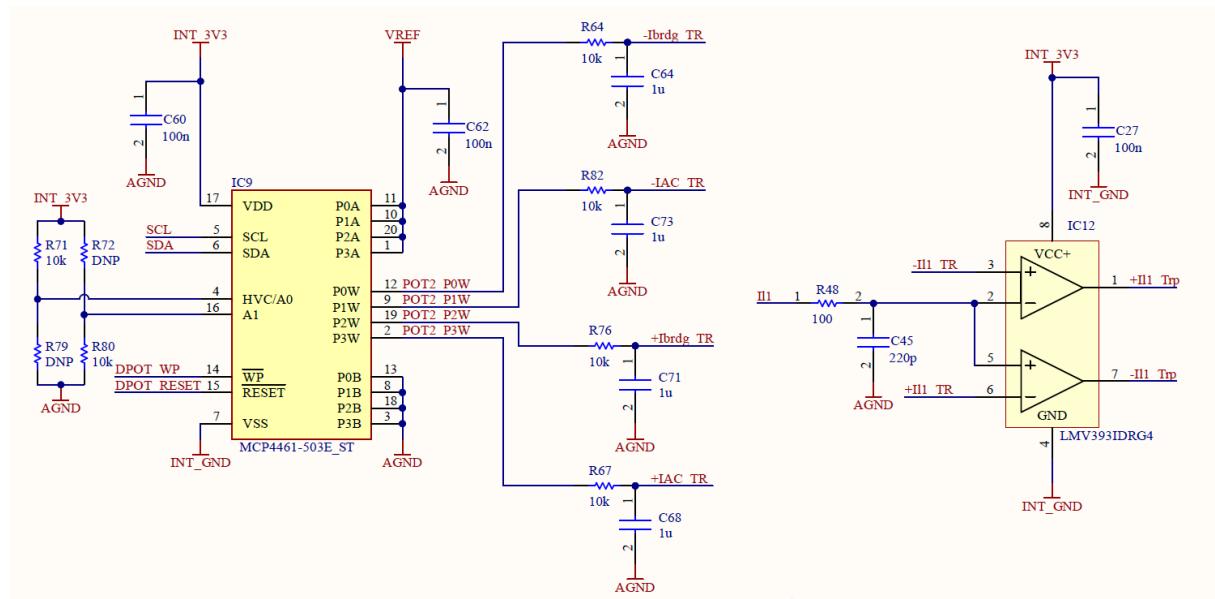


Figura 3.21: Circuito utilizado para generar las referencias de los comparadores, junto con un comparador.

Cabe destacar que la constante de tiempo de los filtros RC colocados en las entradas de señal de los comparadores es de 22ns , y se encuentra un orden de magnitud por debajo del tiempo de propagación del propio comparador.

Finalmente, sobre todas las salidas de los comparadores se realiza una suma booleana mediante las compuertas OR CD74HC4075 [38]. El resultado de dicha suma se retiene con el Flip-Flop D SN74LVC2G74 [39], cuya salida luego activa la entrada de *trip-zone* del DSP antes descripta. En la figura 3.22 se puede observar la sección del circuito encargada de esto.

Las compuertas OR y el Flip-Flop D poseen tiempos de propagación de 150ns y 6ns respectivamente. Por su parte, el DSP posee un delay en el Trip Zone de 25ns [43]. También se debe tener en cuenta el delay producido por la etapa de procesamiento analógico, que se comporta en frecuencia esencialmente como un filtro pasa bajos RC de primer orden. El delay del filtro queda acotado superiormente por su constante de tiempo $\tau = RC$ y disminuye a medida que aumenta la frecuencia. Para el caso del circuito analógico de medición de I_{AC} (que se observa en la figura 3.17), que es el que posee la constante de tiempo más grande, es de aproximadamente 22ns .

mente $2,55\mu s$. En el peor caso, el tiempo de propagación total es:

$$T_P = \tau_{FIL_MED} + \tau_{FIL_COMP} + T_{COMP} + 3T_{OR} + T_{FF} + T_{TZ} \quad (3.34)$$

Donde τ_{FIL_MED} es la constante de tiempo del filtro de la etapa de medición analógica, τ_{FIL_COMP} la constante de tiempo del filtro a la entrada del comparador, T_{COMP} es el tiempo de propagación de un comparador, T_{OR} el tiempo de propagación de una compuerta OR, T_{FF} el tiempo de propagación del Flip-Flop y T_{TZ} el tiempo de delay del Trip Zone. En este caso, con los tiempos ya detallados:

$$T_P \approx \tau_{FIL_MED} + \tau_{FIL_COMP} + 1\mu s \quad (3.35)$$

Y para el caso de la corriente de salida I_{AC} :

$$T_{P_{IAC}} \approx 2,55\mu s + 22ns + 1\mu s \approx 3,6\mu s \quad (3.36)$$

Como el requerimiento planteado fue que sea menor a $6\mu s$, se cumple adecuadamente.

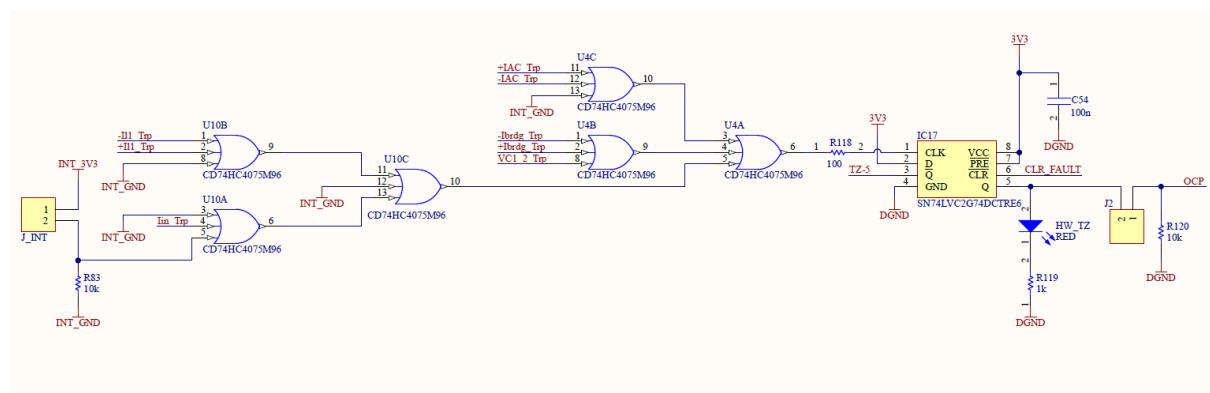


Figura 3.22: Circuito utilizado para sumar y retener las señales de activación de las protecciones por hardware.

El valor seteado de cada potenciómetro digital se calculó teniendo en cuenta la función transferencia del circuito de adaptación analógico para cada variable, el valor que debe tener la variable para que actúe la protección y la tensión de alimentación de los potenciómetros. Los potenciómetros digitales utilizados poseen 257 valores posibles, siendo 0 el valor que conecta su punto medio a su extremo “B” y 256 el valor que conecta su punto medio a su extremo “A”. En la tabla 3.5 se muestran los valores utilizados para cada variable.

Variable	Valor de protección	Valor del potenciómetro	Tensión de referencia
$I_{IN,max}$	8,5A	198	2,54V
$V_{C1-2,max}$	530V	203	2,61V
$I_{L1,max}$	22A	203	2,61V
$I_{L1,min}$	-4A	25	0,32V
$I_{BRDG,max}$	45A	200	2,57V
$I_{BRDG,min}$	-13A	11	0,14V
$I_{AC,max}$	9A	218	2,8V
$I_{AC,min}$	-9A	14	0,18V

Tabla 3.5: Valores de los potenciómetros digitales utilizados en las protecciones por hardware.

3.4.3. Cambios misceláneos

Tensiones de alimentación

Todas las tensiones de alimentación de la placa de control se generan a partir de una tensión de 15V proveniente de la placa de entrada de CC con el circuito que se muestra en la figura 3.23. A partir de la entrada de 15V se generan dos líneas de alimentación de 5V, una a partir de un regulador comutado tipo buck TPS54331 [45] y otra con un regulador lineal L78L05 [30]. De esta manera se evita sobrecargar al regulador lineal y se lo utiliza solamente para alimentar la referencia de tensión utilizada en el circuito analógico, que es una parte del circuito sensible a las interferencias. A través del regulador comutado se alimentan todos los circuitos digitales, incluída la *controlCARD* con el propio DSP. Se utiliza también un regulador lineal AZ1117-3.3 [23] tipo LDO con el cual se genera una línea de 3,3V a partir de los 5V entregados por el regulador comutado.

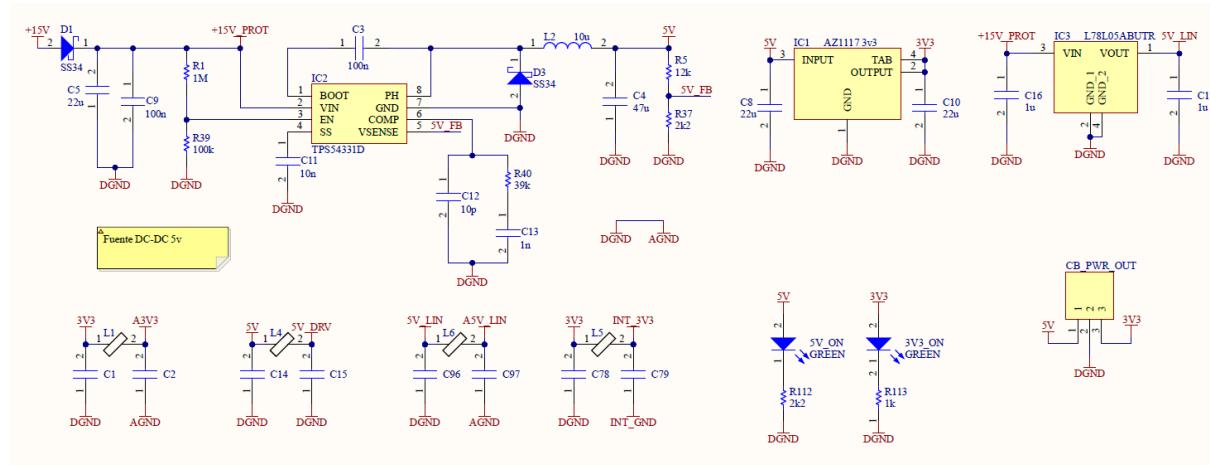


Figura 3.23: Circuito para generar las tensiones de alimentación de la placa de control.

Todos los bloques del circuito se encuentran desacoplados en alta frecuencia en sus líneas de alimentación dado que se utilizan filtros pi conformados por capacitores de $1\mu\text{F}$ y ferrites de 600Ω a 100MHz , como se puede ver en la figura 3.23. De la misma manera, todas las líneas de alimentación que entran o salen de la placa se encuentran desacopladas mediante chokes de modo común - estas son: la entrada de alimentación de 15V, la salida de 5V para alimentar los drivers de MOSFETs en su respectiva placa, y la salida de 5V para alimentar el sensor de corriente de efecto hall en la placa de salida de CA. Esta última se muestra en la figura 3.24, y como se observa, contiene además un diodo TVS para proteger la placa de sobretensiones que puedan provenir de la placa de salida de CA. En esta figura se pueden ver también algunos de los capacitores conectados entre masa y tierra que se encuentran distribuidos por toda la placa con el fin de fijar un potencial entre estos dos puntos.

Se optó por usar un esquema de masa única en toda la placa de control, que será evidente en la próxima sección. Esta decisión implicó que todas las masas que originalmente se tenían conectadas mediante un *net-tie* ahora serán encontradas unidas de manera directa.

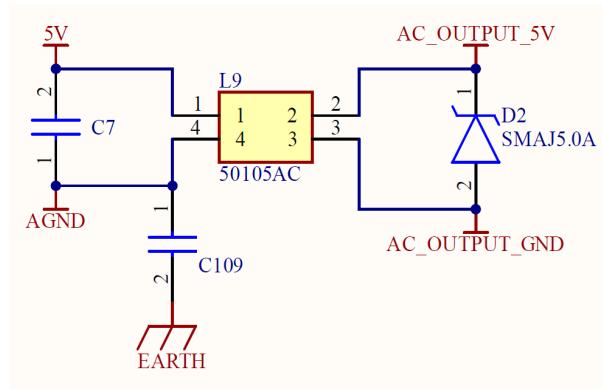


Figura 3.24: Desacople de alimentaciones externas con capacitores tierra-masa en la placa de control.

Convertidores de nivel

Otro cambio realizado en la placa es la utilización de convertidores de nivel unidireccionales de 4 canales TXU0104 [40] en lugar de los de 8 canales bidireccionales (con detección automática de la dirección) usados en [19]. Este cambio se realiza por dos motivos: por un lado, los convertidores de 4 canales permiten facilitar el ruteo a la hora de diseñar el PCB y por otro, si las impedancias no están bien definidas al inicio, la detección automática de dirección podría ocasionar problemas, configurando una dirección contraria a la que debiera ser. Uno de los convertidores utilizados se puede ver en la figura 3.25.

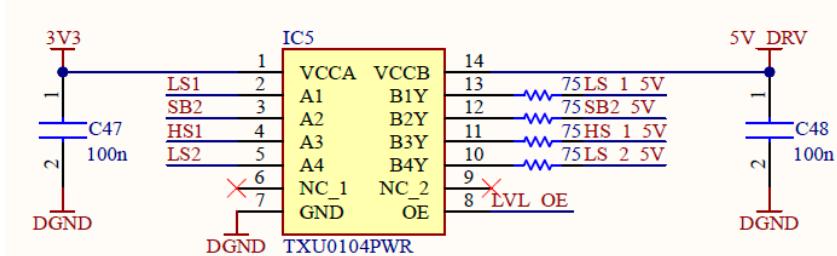


Figura 3.25: Convertidor de nivel utilizado en la placa de control.

Entradas y salidas externas

A modo de permitir flexibilidad a la hora de utilizar el inversor en un futuro, se dejaron disponibles en la placa de control conectores para entradas y salidas externas:

- Dos entradas analógicas de 0V a 3V debidamente protegidas mediante circuitos integrados de protección contra ESD CM1293A-04SO [22].
- Dos entradas digitales de 3,3V, también debidamente protegidas con los mismos integrados.
- Dos salidas digitales de 3,3V *buffereadas* mediante compuertas NOT 74HC04D [47].

Se incluyen además en la placa 4 LEDs conectados al mismo integrado 74HC04D y manejados por el DSP, que cumplen la función de indicar al usuario el estado del convertidor. Todo esto se puede observar en la figura 3.26.

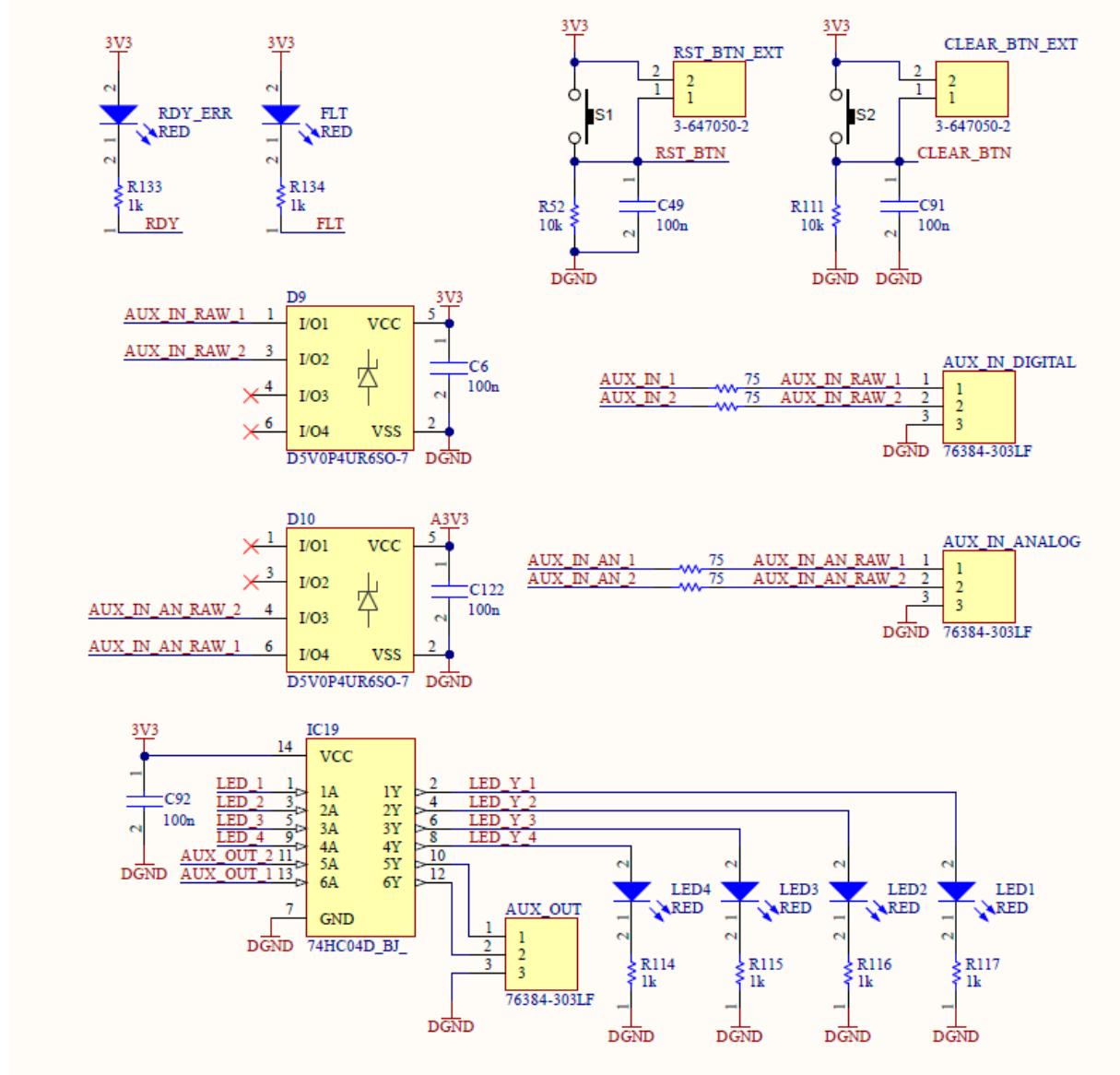


Figura 3.26: Entradas y salidas externas de la placa de control.

Interfaz JTAG

Con el fin de simplificar la placa de control, se decidió eliminar la interfaz JTAG de la misma y colocar en su lugar un conector de 14 pines que permitirá utilizar una interfaz externa, como se puede ver en la figura 3.27. La interfaz utilizada durante el desarrollo de este proyecto fue la incluida una placa TMDSHSECDOCK Docking Station [41]. Por medio de un jumper se permite conectar o desconectar el pin de 3, 3V de la interfaz, pudiendo así alimentarla desde la propia placa de control o externamente.

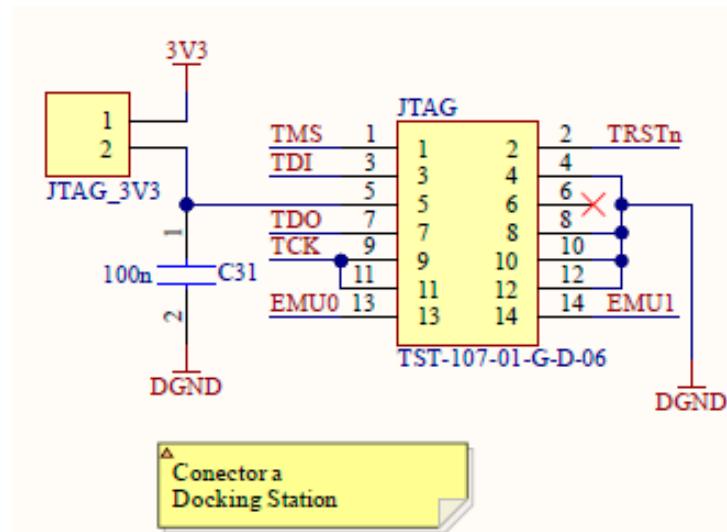


Figura 3.27: Conector de la placa de control para la interfaz JTAG externa.

3.4.4. Diseño del PCB de la placa de control

Para diseñar el PCB de la placa de control se tuvo en cuenta el tipo de señales que manejaría. Por un lado, cuenta con un *front-end* analógico con señales de muy alta y de muy baja amplitud de tensión conviviendo en él. Por otro, hay señales digitales que continuamente se encontrarán comutando. Por esta razón la placa se diseñó para ser fabricada en cuatro capas de cobre, cuyo *stackup* es el que se muestra en la tabla 3.6. Tener cuatro capas posibilita contar con un plano de masa dedicado, muy cercano a las señales más sensibles, lo que es muy beneficioso para la compatibilidad electromagnética y la integridad de señales. También brinda la posibilidad de utilizar un segundo plano de masa, esta vez compartido con pistas de alimentación, adyacente a la capa *bottom*.

Capa	Descripción	Material	Grosor
Top	Señales analógicas y digitales de alta velocidad	Cobre	0,035mm
	Prepreg	7628	0,2104mm
Inner 1	Plano de masa y plano de tierra	Cobre	0,0152mm
	Núcleo	FR-4	1,065mm
Inner 2	Plano de masa y alimentación	Cobre	0,0152mm
	Prepreg	7628	0,2104mm
Bottom	Señales analógicas y digitales varias	Cobre	0,035mm

Tabla 3.6: Stackup de la placa de control.

En la figura 3.28 se puede observar el PCB de la placa de control, con los planos de masa ocultos.

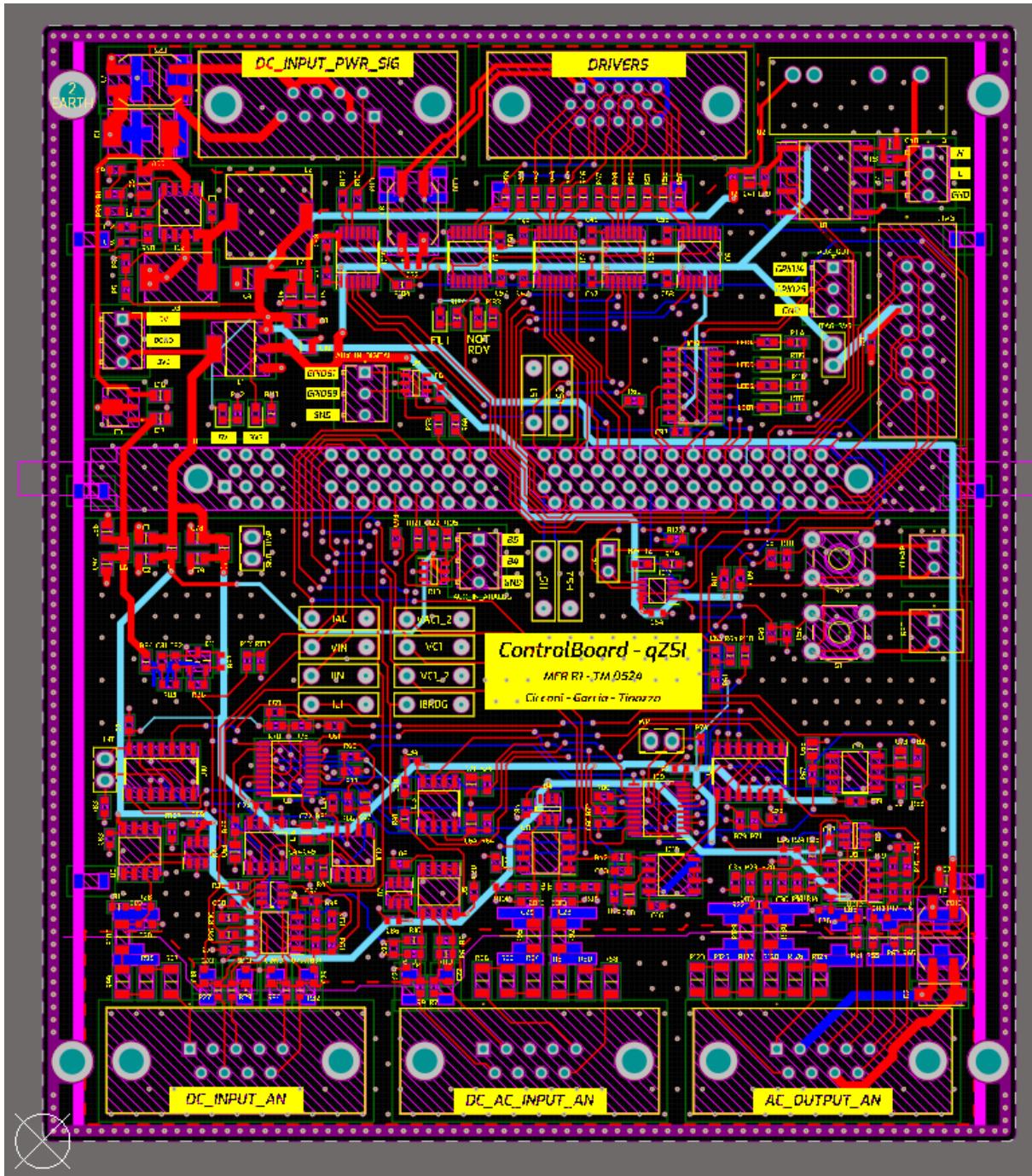


Figura 3.28: Placa de control en el software de diseño.

Disposición general

Una de las cosas más importantes a considerar al momento de diseñar un sistema embedido del tipo mixto, es decir, con una sección analógica y otra digital, es la disposición de los bloques funcionales. Tal como se puede apreciar en la figura 3.29, se dividió espacialmente la placa en varias secciones. A grandes rasgos, se puede separar en una mitad superior que consta en su gran mayoría de señales digitales y en una mitad inferior que contiene señales

analógicas. Esta separación es intencional, ya que se busca que las commutaciones del dominio digital no afecten al dominio analógico. El primer paso para lograrlo es alejar las secciones lo máximo posible. En segunda medida, es necesario desacoplar en alta frecuencia dichos dominios utilizando los ya mencionados *filtros pi*, formados por ferrites y capacitores. Por último, es necesario desacoplar las señales que inevitablemente cruzan de un dominio a otro con resistencias, para así aumentar la impedancia vista desde el lado analógico y evitar la propagación del ruido.

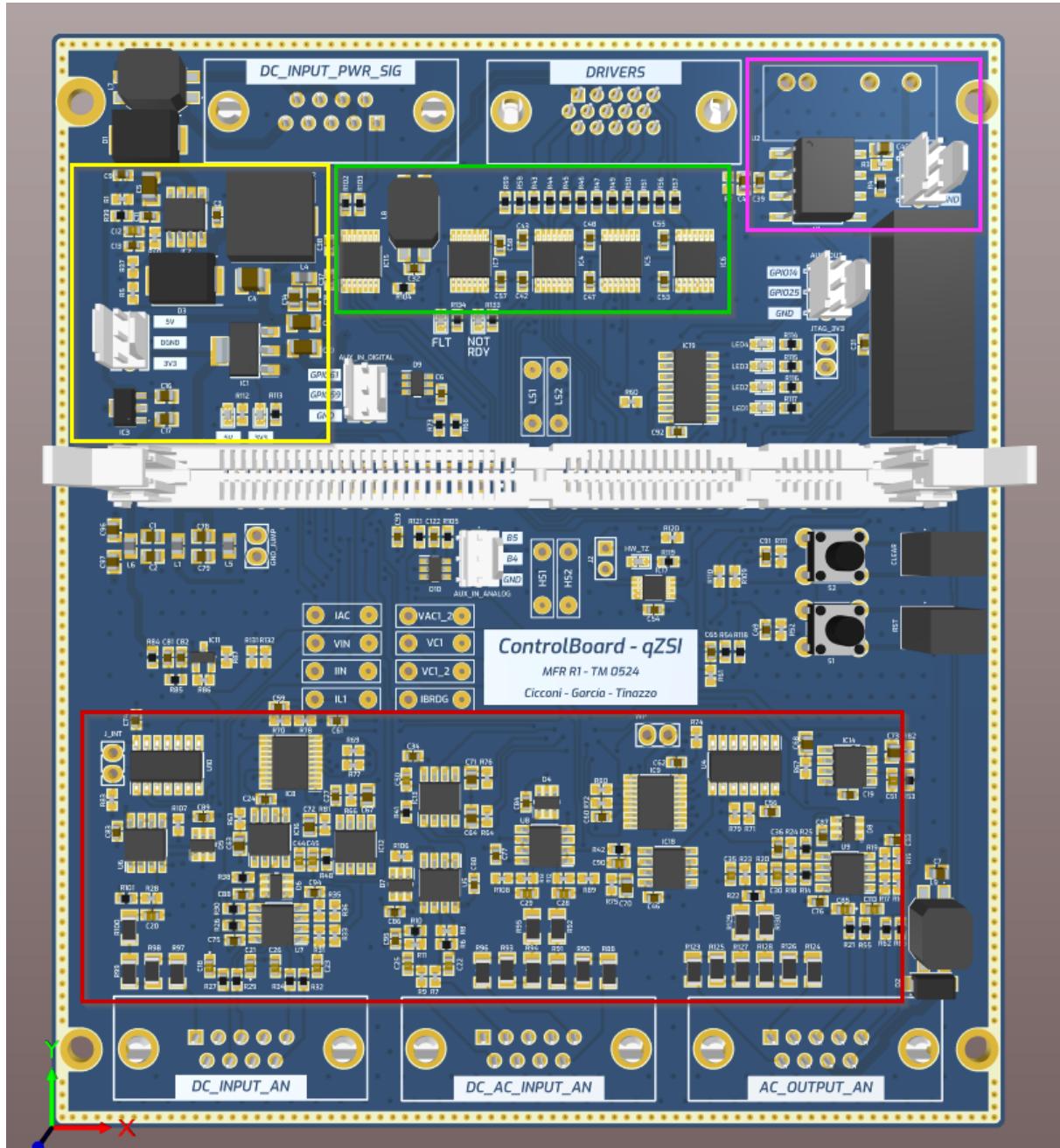


Figura 3.29: Disposición de bloques funcionales en la placa de control.
En amarillo: fuentes de tensión. En verde: adaptadores digitales. En rosa: salida tipo CAN. En rojo: front-end analógico.

Front-end analógico

En la figura 3.30 podemos observar el área dedicada al *front-end* analógico. En amarillo se encuentran las señales analógicas estables, como por ejemplo las salidas de los potenciómetros digitales. En naranja se encuentran las señales analógicas variables, y en rojo el resto de las señales. En violeta se encuentra el plano de masa de la capa *top*, y en gris oscuro el plano de tierra de la capa *Inner 1*.

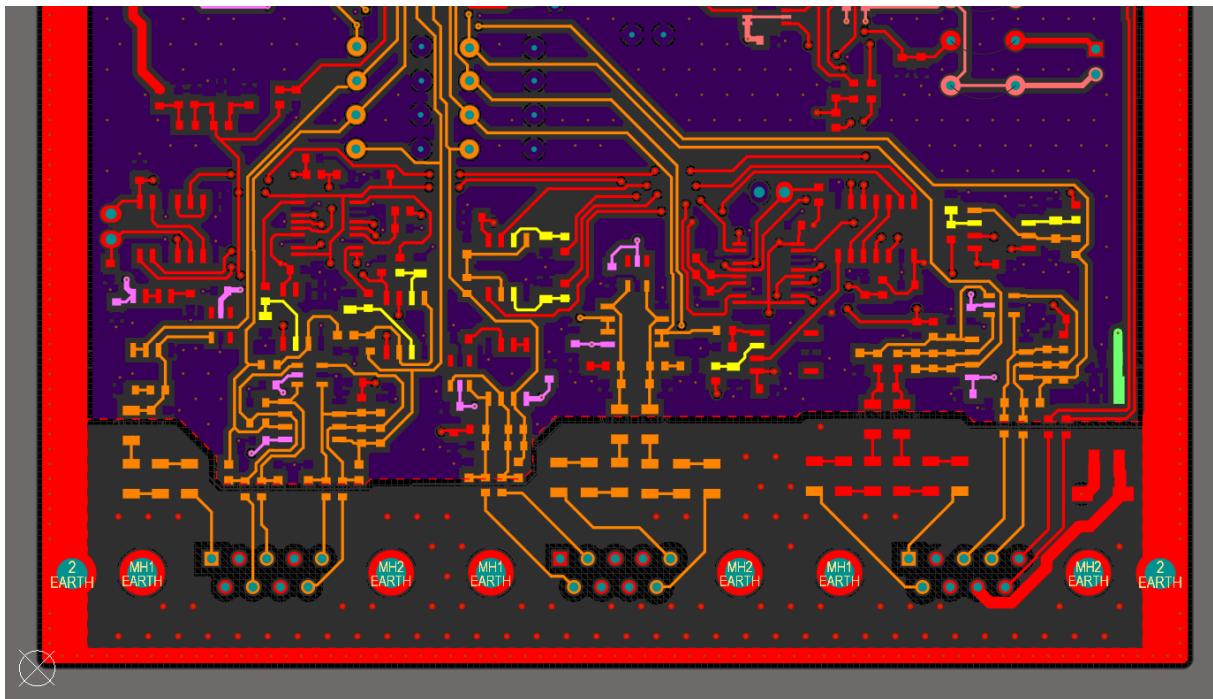


Figura 3.30: *Front-end* analógico de la placa de control.

Siguiendo el camino de la señal, lo primero que se encuentra son los conectores DB9. Estos permiten agrupar todas las señales que van hacia una placa determinada, y transportarlas en un cable mallado. Entrando a la placa se puede observar el plano gris: en el resto del PCB, este plano es de masa, sin embargo, aquí es de tierra. Esto es así ya que se busca dar un camino de retorno a cualquier ruido acoplado a las señales de interés, y la mejor manera de lograrlo es consiguiendo una baja impedancia en alta frecuencia desde la fuente del ruido hacia tierra. Por tal motivo, se optó por retraer el plano de masa de la capa *top*, comenzando el mismo una vez que las señales han sido desacopladas por las resistencias de entrada de los circuitos de adaptación de niveles analógicos. Además, se colocaron capacitores entre masa y tierra en estos puntos críticos, para formar el camino de baja impedancia que le permite al ruido retornar a tierra.

Luego de que las señales ingresan al “lado limpio” de la placa, se encuentran con el amplificador operacional que les corresponde. Se buscó minimizar el lazo que encierran los componentes pasivos pertenecientes a los amplificadores de entrada, para mejorar la calidad de señal.

Una vez ya acondicionada, cada señal va hasta un pin analógico de la ControlCard. Como era de esperarse, es necesario cruzar las pistas en el camino, para poder realizar un ruteo válido.

Teniendo esto en cuenta, en cada cambio de capa se coloca una vía de masa cercana a la vía de señal, para otorgar un camino de retorno a las componentes de alta frecuencia que puedan existir. Esto se puede apreciar en la imagen 3.31.

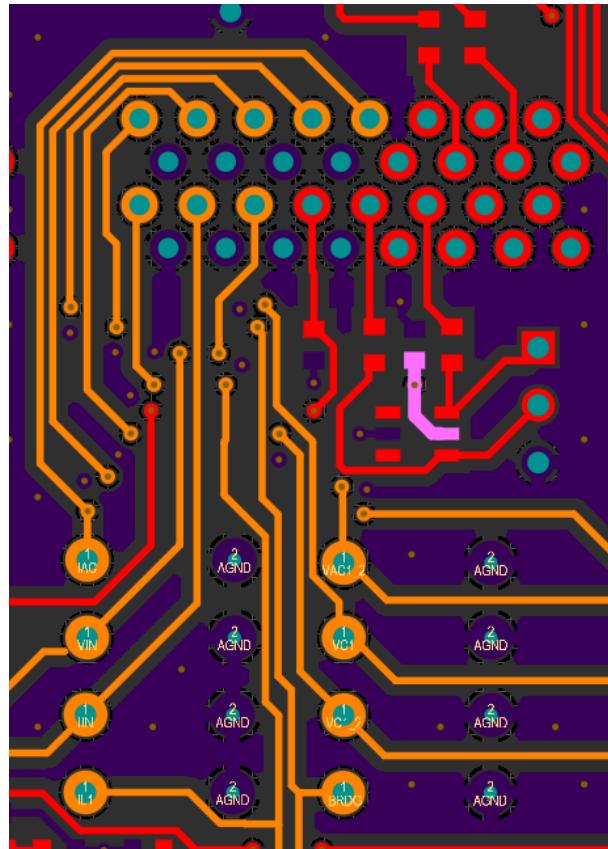


Figura 3.31: Señales analógicas ingresando a la ControlCard.

En esta etapa también se encuentran los potenciómetros digitales, los comparadores que forman parte del circuito de protección por hardware y las compuertas OR que suman sus salidas. Si bien la naturaleza de todos estos elementos es digital, se decidió colocarlos aquí debido a que únicamente se producirá una conmutación en caso de que se detecte una falla, por lo que en régimen normal no contribuirá negativamente al desempeño del resto del *front-end*. Además, que se encuentren en esta área evita tener que llevar las señales analógicas que ingresan a los comparadores al lado digital mediante pistas largas, mejorando así la inmunidad al ruido.

Adaptadores digitales

Como se puede observar en la figura 3.32, entre las entradas y salidas digitales de la placa de control y los conectores que las transportan hacia las demás placas se encuentran los *level-shifters*. Estos brindan una salida de baja impedancia, necesaria para transmitir las señales por fuera de la placa. En serie a las salidas se optó por poner una resistencia en serie de 75Ω , para evitar que existan sobretensiones en la línea debido a las posibles ondas reflejadas.

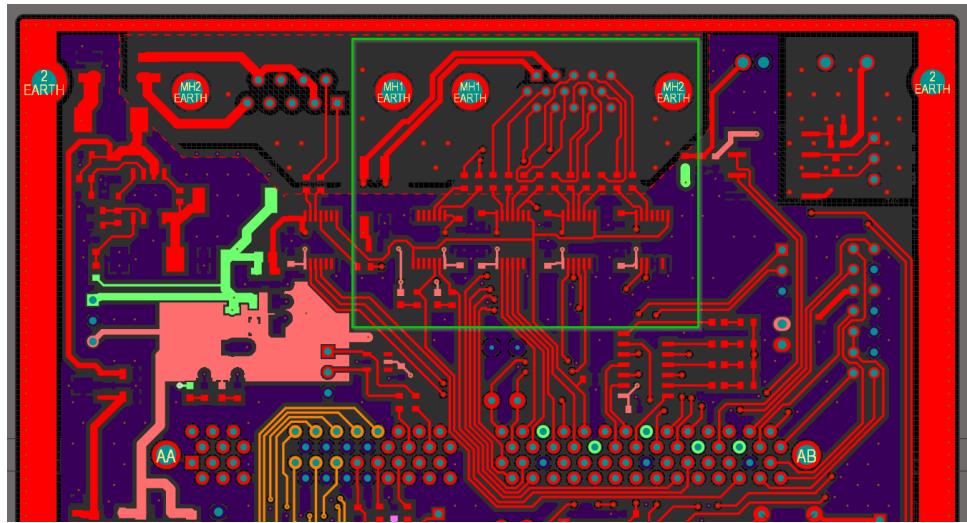


Figura 3.32: Entradas y salidas digitales de la placa de control.

Es preciso mencionar el tratamiento especial de los planos alrededor del conector DB15 (y DB9 a su izquierda). Al igual que para las señales analógicas, en esta sección se quitó el plano de masa de la capa *top* y se reemplazaron los demás por planos de tierra. Sin embargo, a diferencia de los conectores de la parte inferior, aquí se extendió el plano de masa por debajo de todas las salidas de alta velocidad hacia el conector DB15, para evitar una discontinuidad en la impedancia de la línea que pudiera ocasionar problemas. Esto se puede ver en la figura 3.33. Nuevamente, a cada vía de cambio de capa de una señal de alta velocidad la acompaña una vía de masa cercana.



Figura 3.33: Planos de masa y tierra de la capa *Inner 1*.

Fuentes de alimentación

En la figura 3.34 se puede observar la disposición de las fuentes de alimentación. La fuente conmutada de 5V se dispuso de tal manera de reducir el área que ocupa, y minimizar el largo de las pistas de potencia, con el claro objetivo de no contaminar el resto de los circuitos con las conmutaciones. Por otro lado, ambas fuentes lineales son extremadamente sencillas, por lo que sólo se tuvo la consideración de colocarles los capacitores requeridos cerca de sus respectivos pines, y de darles una forma de disipación térmica. Para el caso de la fuente de 3,3V esto significó realizarle un pequeño plano conectado al *tab* del encapsulado, mientras que para la

de 5V solamente se requirió conectar el *tab* a masa, ya que la disipación de este integrado es mínima.

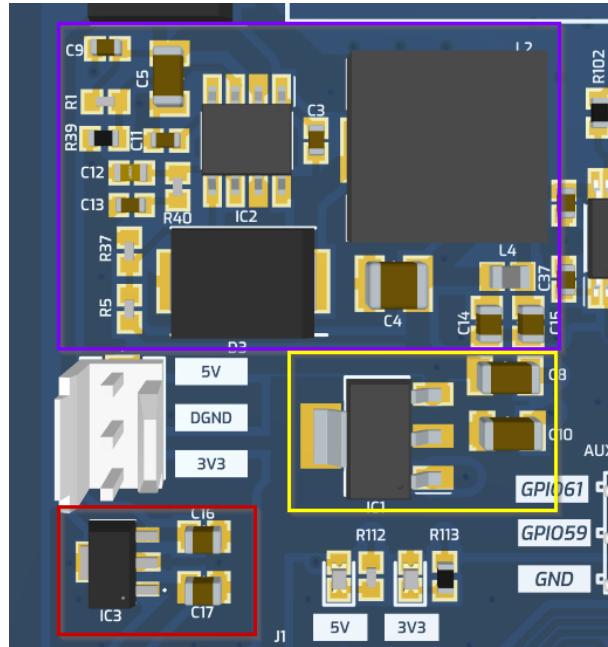


Figura 3.34: Fuentes de alimentación de la placa de control.
Violeta: fuente DC-DC de 5V. Amarillo: fuente lineal de 3,3V. Rojo: fuente lineal de 5V.

Bus de comunicaciones CAN

Para el bus de comunicaciones CAN se realizó un corte en los planos de masa de las diferentes capas, ya que esta sección debe estar aislada del resto del diseño. En la figura 3.35 se puede observar el corte en el plano de masa, garantizando la aislación.

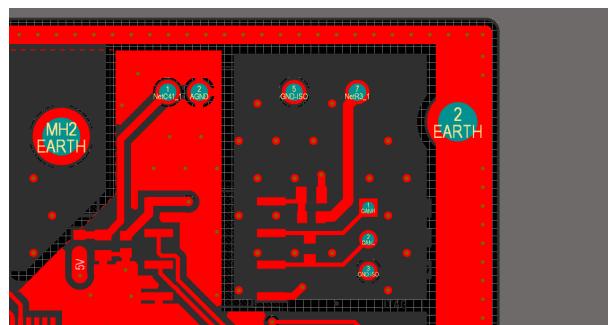


Figura 3.35: Bus CAN de la placa de control.

3.5. Fabricación, montaje y soldado de PCBs

Luego de haber finalizado el diseño de las PCBs descriptas anteriormente, se procedió a generar los archivos de fabricación para poder construirlas físicamente. La producción de las

placas propiamente dichas fue hecha por una empresa especializada, mientras que el montaje y posterior soldado de los componentes fue una tarea realizada en este proyecto.

3.5.1. Generación de archivos de fabricación

Para generar los archivos de fabricación se utilizó la herramienta *OutJob* de Altium Designer, como se puede apreciar en la figura 3.36. Se exportaron las capas que pueden verse en la imagen 3.37, junto con los archivos de perforaciones NC Drill Files (imagen 3.38).

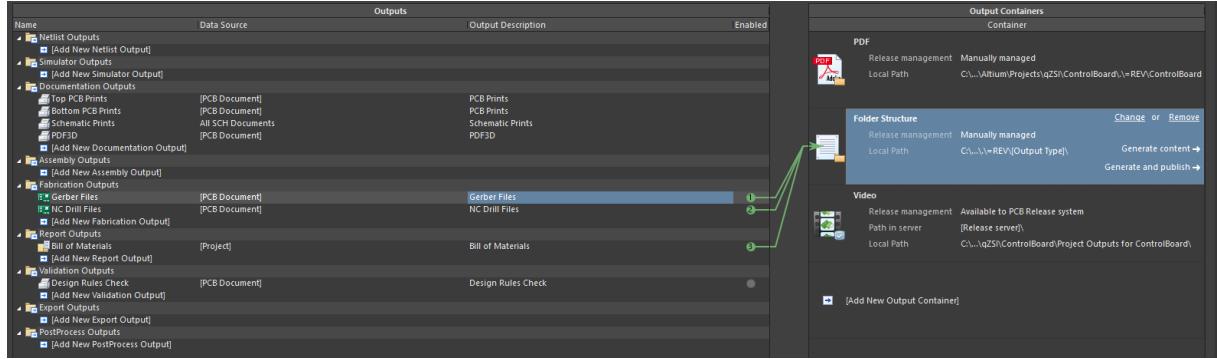


Figura 3.36: Herramienta *OutJob* De Altium Designer.

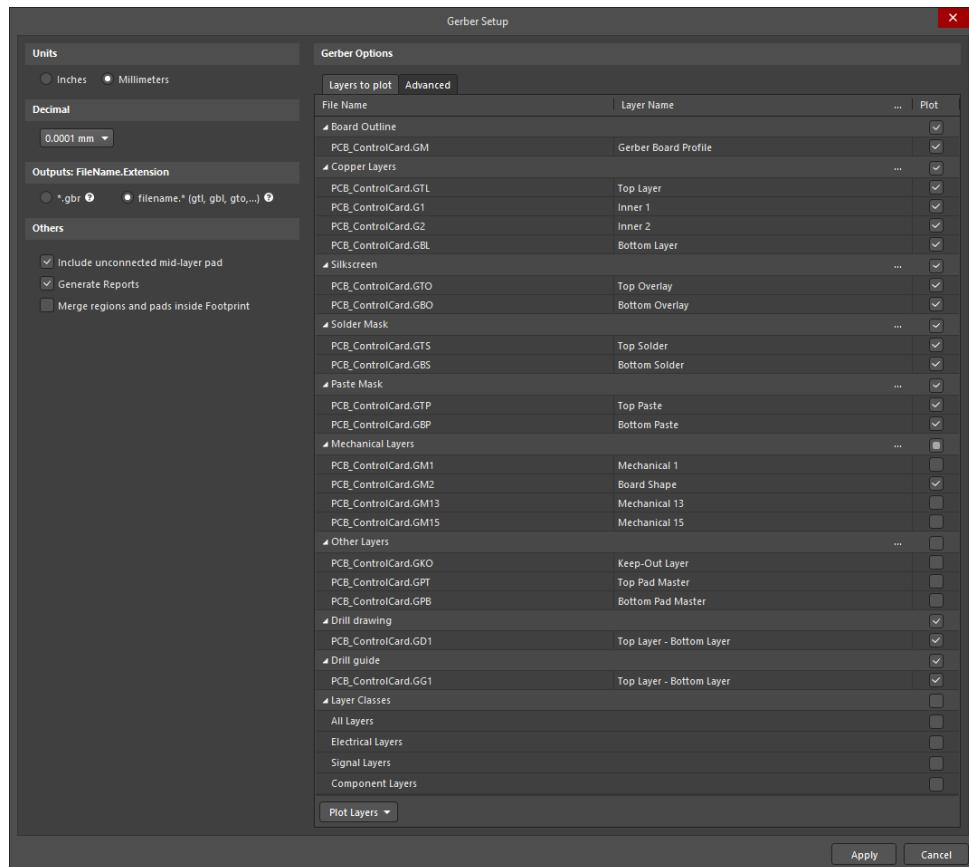


Figura 3.37: Capas exportadas durante la generación de archivos.

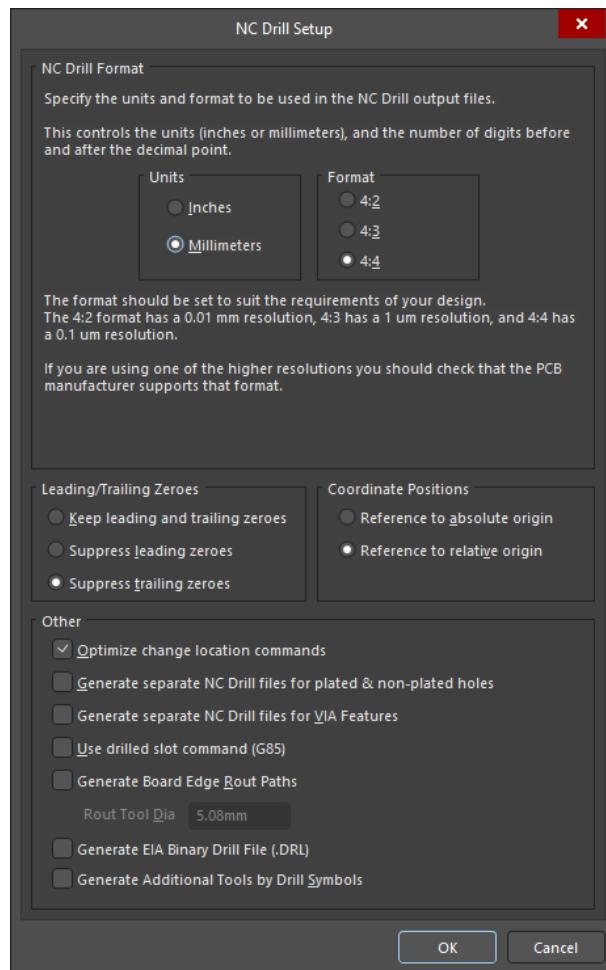


Figura 3.38: Perforaciones exportadas durante la generación de archivos.

Una vez generados los archivos, se procedió a inspeccionar los mismos mediante el editor *Camtastic*, tal como se observa en la figura 3.39. Finalmente, se empaquetó todo en un archivo comprimido para ser enviado al fabricante.

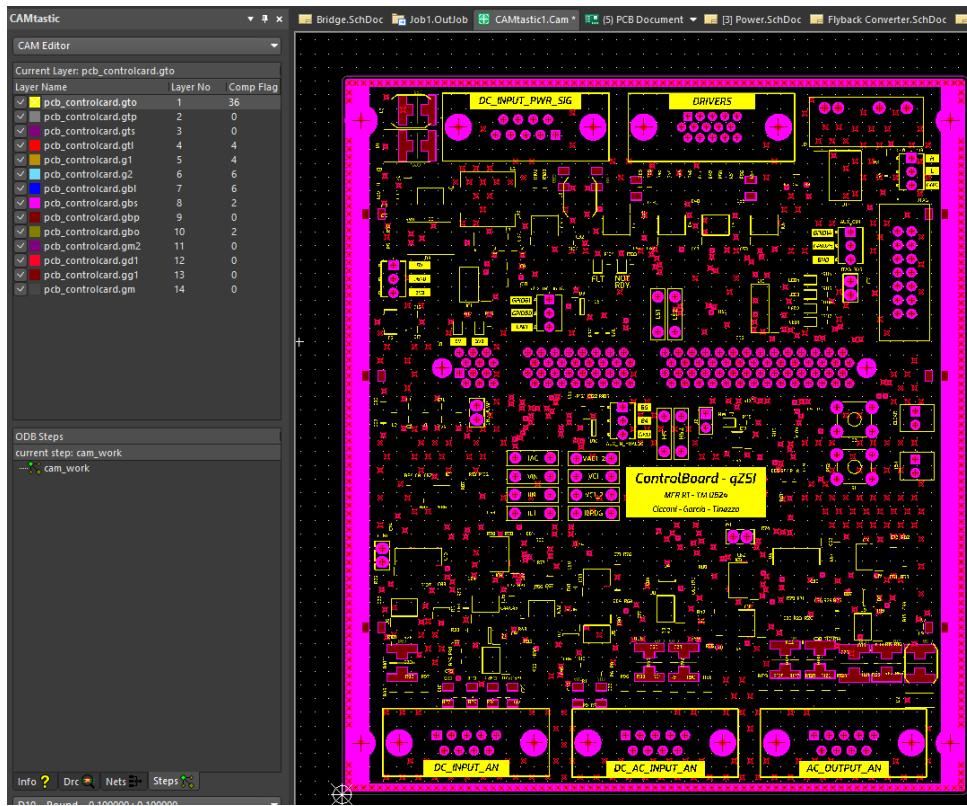


Figura 3.39: Editor *Camtastic*, con los archivos generados en los pasos anteriores.

3.5.2. Preparación para montaje

El proceso de manufactura de una placa electrónica posee varias etapas, sin embargo pueden agruparse en 2 grandes grupos: preparación previa y soldado. El primer conjunto, consistió fundamentalmente de 3 etapas, que se describen en los siguientes párrafos.

- Aplicación de estaño en los pads:** el primer paso constó en colocar estaño en pasta en cada uno de los pads. Para ello, se utilizó un stencil el cual fue proporcionado junto con las placas por el fabricante. Un aspecto clave sobre este punto fue procurar la alineación de la placa con el stencil, logrando que coincidieran perfectamente para que el estaño se aplique uniformemente en toda la superficie y esto facilite la tarea de soldar los componentes.
- Montaje de componentes en la PCB:** todos ellos se posicionaron manualmente con la ayuda de una pinza brusela, respetando las polaridades y/o pinout según fuera el caso. Para esta etapa se empleó un archivo, generado en el mismo software de diseño de PCB mediante el plugin *Interactive HTML BOM*, que permite identificar para cada componente la posición en la que debe colocarse sobre la placa, resaltando únicamente estos lugares. Como se muestra en la imagen 3.40, este archivo muestra información muy útil y acelera en gran medida el montaje de los componentes en la PCB, permitiendo diferenciarlos fácil y rápidamente del resto, minimizando así el margen de error.

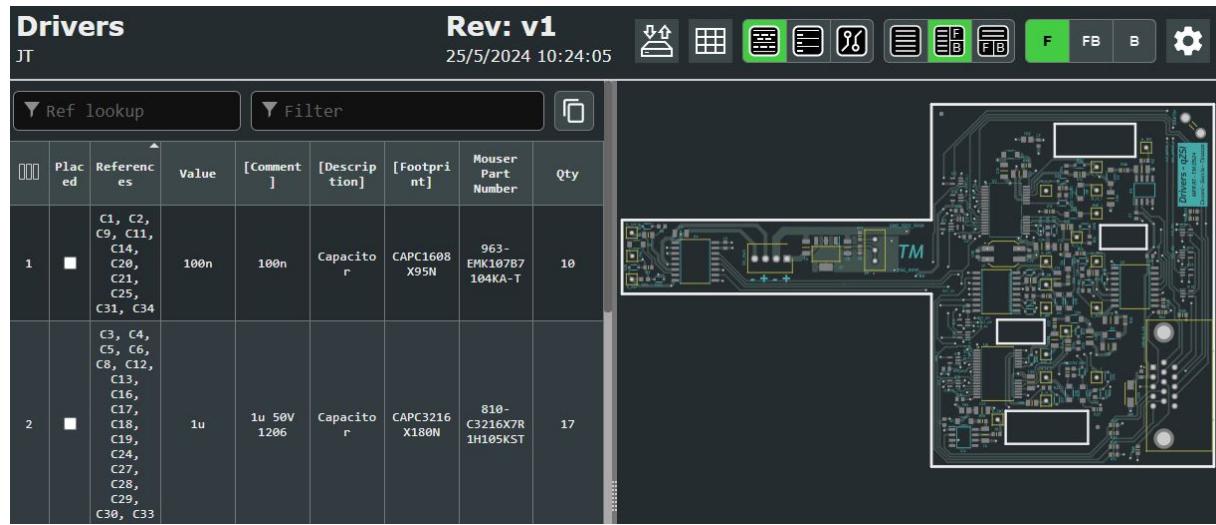


Figura 3.40: Archivo .html que facilita la colocación de los componentes.

3. **Revisión y acomodado de los componentes:** luego de haber colocado todos los componentes sobre la placa, se chequeó que se hubiesen ubicado correctamente y con la orientación adecuada. En el caso de aquellos que se habían movido o levantado, se los acomodó nuevamente utilizando una brusela.

3.5.3. Soldado

Pasando ahora a la parte final de la fabricación, se lleva la placa a un horno de soldado. El motivo por el cual se empleó esta técnica y no una estación de aire caliente, radica en lograr que el calor se aplique de la manera más uniforme posible sobre toda la PCB, para evitar que algunas zonas se calienten demasiado y por ello los componentes que allí se encuentran se dañen prematuramente. A su vez, el proceso de soldado posee una curva de temperatura particular que se muestra en la imagen 3.41.

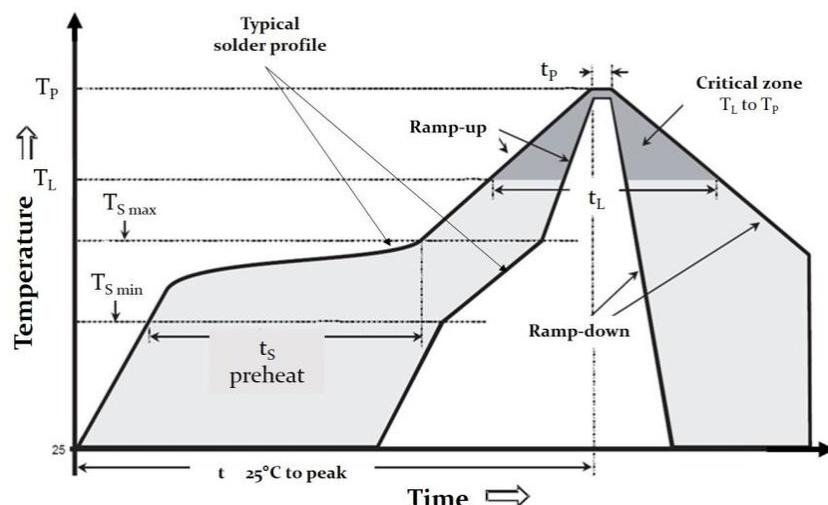


Figura 3.41: Curva de temperatura del estaño en pasta para lograr soldaduras correctas. [6]

Puede notarse que la misma consta de varias etapas en las cuales el estanó primero se *precalienta*, luego se mantiene a temperatura constante en la etapa de *activación*, después se calienta hasta fundirse en donde se lleva a cabo efectivamente la soldadura y luego la temperatura comienza a descender con una rampa controlada.

Finalizado el “horneado de la placa”, se la retiró del horno para realizar una inspección visual de la misma, verificando que todos los componentes se hayan soldado correctamente. Luego de ello, se debieron soldar los componentes *through hole* a mano utilizando un soldador tipo lápiz. En la figura 3.42, se muestran los resultados finales obtenidos luego de todo el proceso descripto.

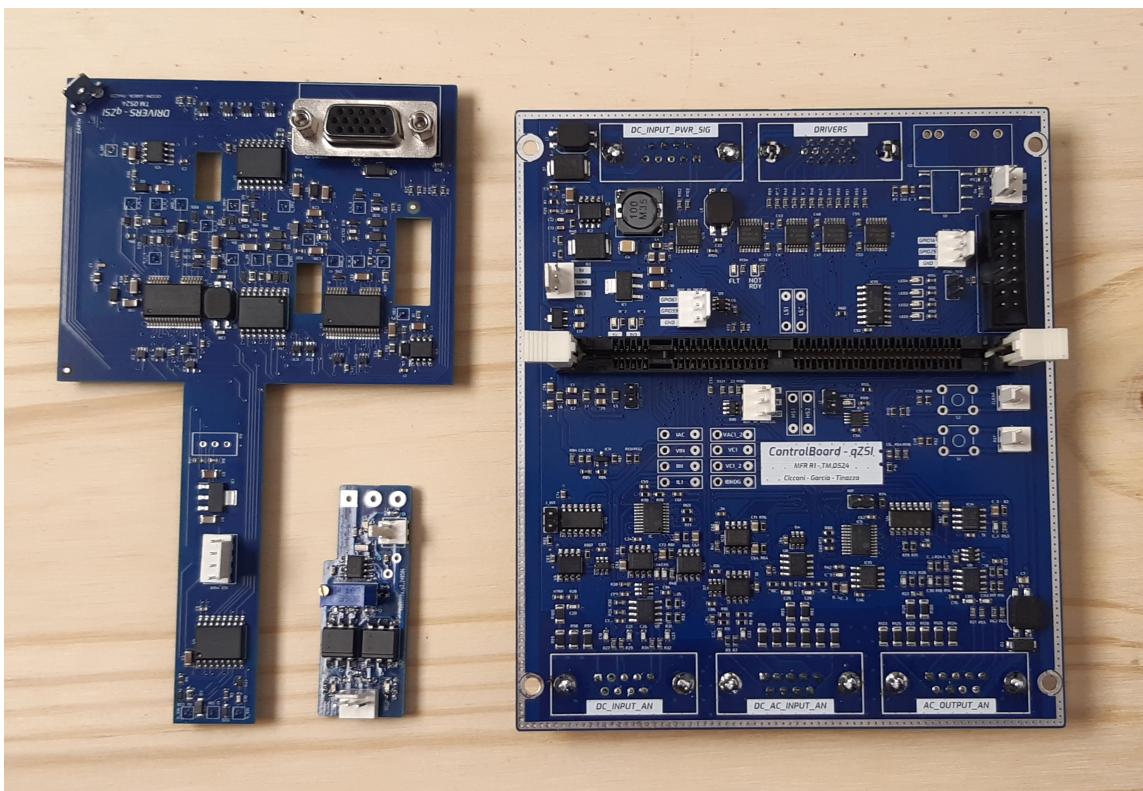


Figura 3.42: Placas fabricadas. A la izquierda: placa de drivers, en el centro: placa para controlar el transistor de entrada, a la derecha: placa de control.

3.6. Armado de gabinete y cableado

Este inversor qZS consta de varias placas que poseen circuitos muy diferentes entre sí, tanto en niveles de potencia como en su modo de funcionamiento. Es muy importante lograr que las interferencias generadas durante el funcionamiento del equipo se minimicen lo máximo posible para evitar que los circuitos más sensibles ubicados en la placa de control capten señales espúreas que provoquen un mal funcionamiento del equipo.

Con la motivación de este punto de partida y sumado a ello la necesidad de poder contar con un gabinete en donde se pueda contener todo el dispositivo con sus respectivas conexiones de manera segura, se diseñó la estructura metálica que se muestra en la imagen 3.44 a

partir de un modelo 3D realizado en un software CAD, que se puede ver en la imagen 3.43. El diseño de este gabinete implicó modificar la posición que tenían los disipadores, ubicándolos de manera perpendicular a la base. Esto permitió reducir el espacio que ocupaban y lograr que los circuitos de potencia, que son la principal fuente de ruido, queden confinados dentro del gabinete. La placa de control se montó en la parte superior para que sea fácilmente accesible durante los diferentes ensayos que se realizaron sobre el equipo, permitiendo la medición las diferentes señales sobre la placa y la programación del DSP que se utiliza en este proyecto sin inconvenientes.

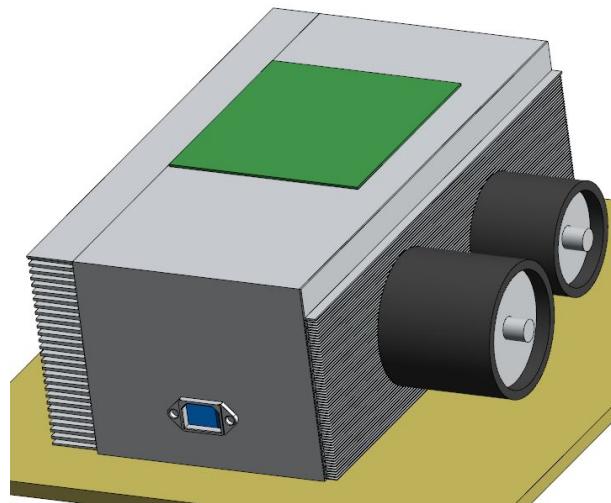


Figura 3.43: Modelo 3D del gabinete.



Figura 3.44: Gabinete terminado con las placas fijadas.

En cuanto al conexionado de las placas, se utilizaron cuatro conectores DB9 y un conector DB15 con cable mallado para conectar la placa de control con las demás, a modo tal de poder blindar las señales que se transportan entre los diferentes circuitos, reduciendo ampliamente las interferencias sobre dichos conductores. Los conectores de la placa de control se montaron en la parte inferior de la misma, como se puede ver en la figura 3.45. Esto permite facilitar la conexión de los cables y usar los mismos conectores como fijación de la placa, evitando usar tornillos extra.

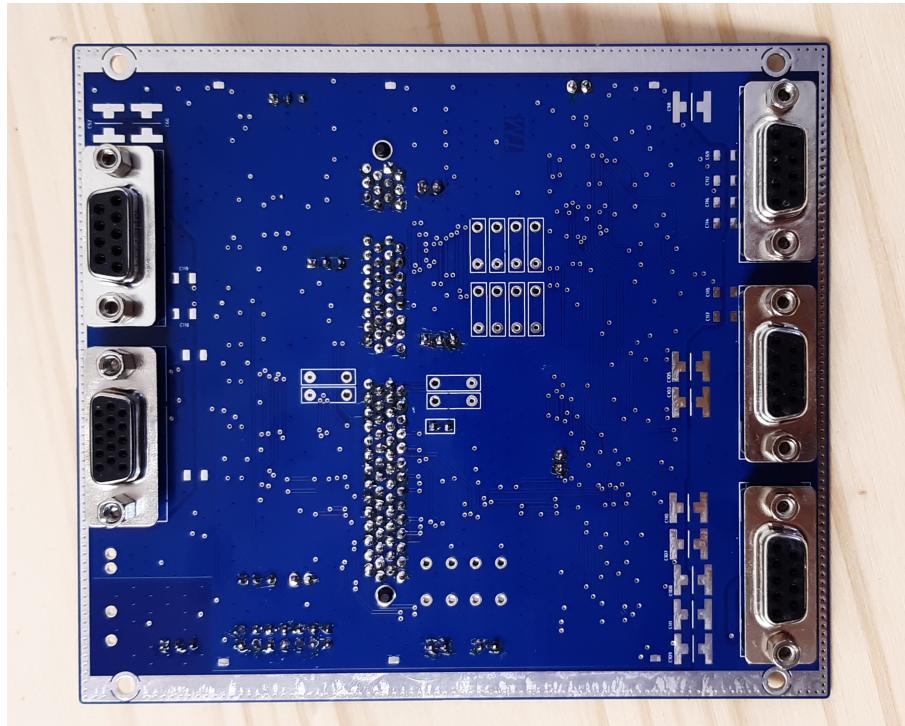


Figura 3.45: Parte inferior de la placa de control.

En la figura 3.46 se puede observar al inversor por dentro del gabinete. En la cara más cerca al borde inferior de la imagen están montadas, verticalmente, las placas de entrada de CC y salida de CA, pudiendo verse también las bobinas de la red Z y del filtro de salida que emergen por fuera del gabinete. En la cara opuesta se encuentra montada la placa de convertidor CC/CA y sobre ella la placa de drivers. Se aprecian en la foto los cables mallados con sus respectivos conectores, que permiten la conexión con la placa de control (ausente en esta imagen).

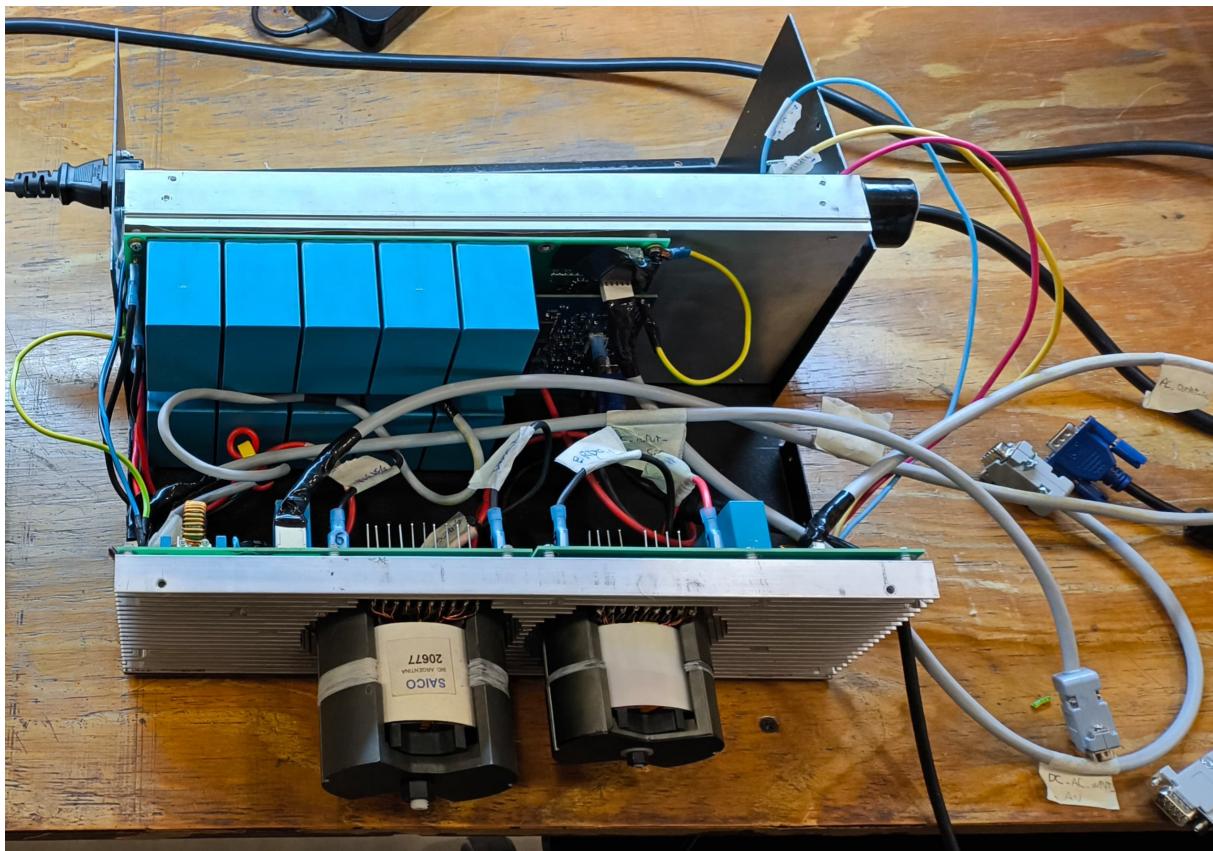


Figura 3.46: El inversor por dentro del gabinete.

Con el objetivo de garantizar la seguridad eléctrica del equipo al manipularlo, se utilizó un conector IEC macho para la entrada de alimentación de corriente continua y un tomacorriente para la salida de corriente alterna.



Figura 3.47: Conectores para entrada (izquierda) y salida (derecha) de tensión del inversor.

La conexión a tierra de todos los circuitos, el gabinete y los disipadores se realizó utilizando los mismos tornillos de sujeción, evitando el uso de cables extra que dificultaran el armado y manipulación del aparato.

3.7. Tablero de control

Con el objetivo de poder realizar conexiones y desconexiones seguras tanto de la fuente de corriente continua de entrada del inversor como de la carga conectada a la salida de corriente alterna, se diseñó e instaló un pequeño tablero de control que se observa en la figura 3.48.



Figura 3.48: Caja de conexión para poder conectar de manera segura el inversor al ensayarlo.

En el mismo se incorporaron dos interruptores termomagnéticos (uno en serie a la entrada de tensión continua y otro en serie a la salida del inversor) para proteger al equipo de sobrecorrientes y se implementó un sistema de arranque-parada con pulsadores y relés. Para dar arranque, es necesario presionar un pulsador, quedando así autoretenido un relé con un contacto normal abierto que se encuentra en serie a la entrada de tensión del inversor. La parada se consigue mediante un pulsador de puño, que al ser accionado interrumpe la autoretención del relé de entrada, desconectando la misma. El tablero cuenta además con una luz indicadora tipo ojo de buey para indicar cuándo el inversor está alimentado.

El diagrama en bloques interno del tablero se puede ver en la figura 3.49 y en la figura 3.50 puede verse el diagrama eléctrico del mismo.

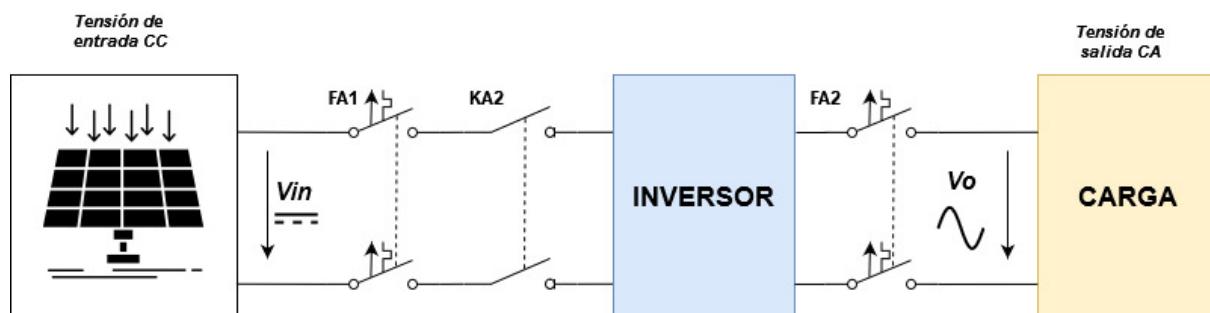


Figura 3.49: Diagrama en bloques de las conexiones entre la fuente de alimentación, el inversor y la carga al usar la caja de conexiones.

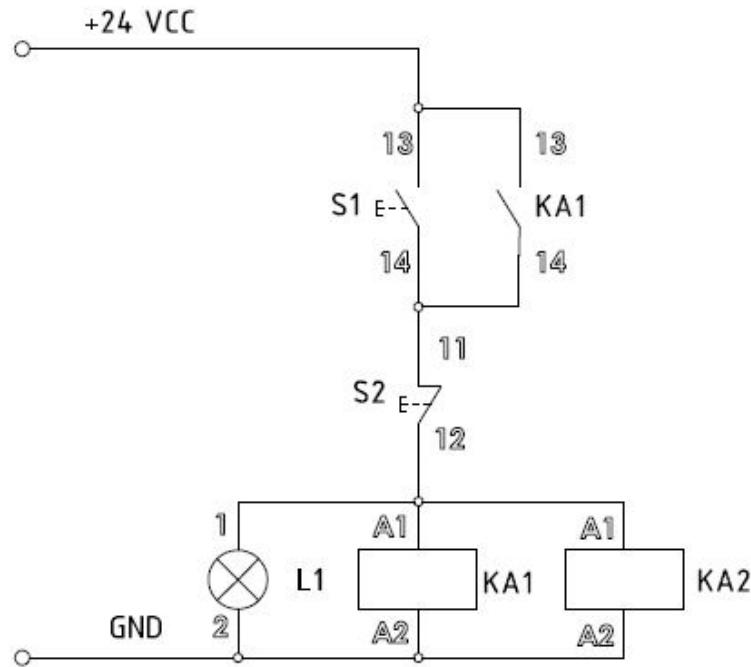


Figura 3.50: Circuito de lógica cableada para la conexión y desconexión de la alimentación.

Observando la parte superior de la caja, se encuentran las diferentes conexiones como se muestra en la imagen 3.51. La alimentación auxiliar se utiliza para alimentar la lógica cableada de la caja. La salida salida inversor CA se conecta a la salida de tensión alterna del inversor, la salida inversor CC se conecta a la entrada de tensión continua del inversor y la entrada CC se conecta a la fuente de tensión continua. La salida de tensión para la carga se encuentra en un tomacorrientes en el lateral de la caja.



Figura 3.51: Parte superior de la caja de conexiones, donde se encuentran rotuladas cada una de las borneras.

3.8. Firmware

En el trabajo realizado anteriormente [19], para generar el código en lenguaje C (con el que luego se programó el DSP) se utilizó la herramienta de generación de código *Embedded Coder*, que funciona en el entorno de MATLAB - Simulink. La misma permite traducir a lenguaje C un programa representado mediante bloques funcionales o en lenguaje de MATLAB. El problema de esta metodología radica en que se hace difícil el *debugging* del mismo y, además, agregar funcionalidades puede ser complicado, dado que el código generado no es simple de seguir y analizar.

Se realizó un *refactoring* completo del código, escribiéndolo directamente en lenguaje C, procurando reutilizar la mayor parte posible del que ya había sido generado. Se buscó además estructurar el programa en archivos diferentes según su función y utilizar buenas prácticas de programación para generar un código de calidad que resuelva los problemas planteados. A la hora de dividirlo en archivos, se siguió la premisa de que cada uno cumpla una y solo una funcionalidad clara y definida, procurando que las formas de interacción entre los módulos sean las llamadas a funciones, sin que existan variables compartidas entre los mismos. Esto, si bien en un principio aparenta dificultar la tarea de la programación, a la larga resulta en un código que es fácil de seguir y comprender. Por otra parte, esta metodología permite generar código apto para el desarrollo en equipo, dado que al utilizar un sistema de control de versiones como GIT [46] todos los desarrolladores pueden trabajar al mismo tiempo sobre funcionalidades distintas (y por lo tanto sobre archivos distintos), pudiendo combinar luego todos los aportes de manera muy sencilla.

3.8.1. Máquina de Estados Finitos

Se detectó la necesidad de implementar una Máquina de Estados Finitos (MEF) para el arranque del inversor, ya que en [19] el mismo se realiza de forma manual mediante un DIP-Switch, con el cual se seleccionan las distintas etapas de arranque. Se buscó automatizar este proceso mediante un timer, por lo que algunos estados de la MEF corresponden a los estados de la secuencia de arranque. Aprovechando la utilización de esta MEF, se incluyeron además en la misma el estado de *run* y estados de falla y restauración de falla. El diagrama Statechart de la misma se presenta en la figura 3.52.

Al energizar el inversor se ejecuta, por única vez, una secuencia de energización, que tiene por objetivo resetear el estado inicial de falla si el mismo existiera. Esta consiste en:

1. Establecer el valor la bandera *falla* en cero, y setear las salidas digitales de *RST_DRIVERS* y *CLR_FLT* en cero y *LVL_OE* en uno. La primera de ellas hace que los drivers de MOSFETs desactiven su etapa de entrada, la segunda resetea el flip-flop que retiene las fallas por hardware y la tercera habilita las salidas de los convertidores de nivel. Luego de esto, esperar durante el tiempo *CLEARFAULT_TIME* = 100ms en el estado *INICIO*.
2. Cuando transcurra ese tiempo, establecer las salidas *RST_DRIVERS* y *CLR_FAULT* en uno. Con la primera se resetea, si existe, el estado de falla de los driver y con la segunda, el flip-flop antes mencionado sale del estado de reset. Luego, esperar hasta que efectivamente se reseteen las fallas.

3. Al estar el hardware listo para iniciar, pasar al estado *ARRANQUE*, en el que se ejecutará la secuencia de arranque.

Una vez transcurrida la secuencia de energización, durante todo el funcionamiento normal del inversor (es decir, si no se presentan fallas) la MEF se encuentra siempre en el superestado *RUN*, y una vez completada la secuencia de arranque, permanece en el sub-estado *RUN*. Antes de comenzar dicha secuencia, se producen una serie de inicializaciones con las cuales: el valor de las banderas *arranqueVO* y *arranqueVBUS* se setea en uno, las salidas digitales que controlan el transistor en serie a la entrada del inversor se setean en cero (polarizando al mismo en zona de corte), el LED de estado del inversor se setea para indicar el arranque y las tensiones de referencia, tanto de la salida como del bus de CC, se colocan en 0V. La secuencia de arranque consiste en:

1. Esperar un tiempo de $START_DELAY_TIME = 5s$ desde el inicio, en el que la MEF se mantiene en el sub-estado *INICIO_ARRANQUE* del superestado *ARRANQUE*.
2. Una vez transcurrido ese tiempo, poner el alto la salida digital *SW_IN*, que provoca que se polarice en zona activa el MOSFET en serie a la entrada de tensión del inversor. Esperar durante un tiempo $2 \cdot START_DELAY_TIME = 10s$ en el sub-estado *SW_IN_RESISTIVO*. Esto permite que se carguen los capacitores de entrada del inversor con una corriente controlada.
3. Al pasar el tiempo de espera, poner en alto la salida digital *VSEL*, que hace que el transistor de entrada se polarice en zona óhmica (por lo que pasa a funcionar como una llave cerrada). Al mismo tiempo, encender la salida senoidal del inversor con un ciclo de trabajo pico $D_{MAX} = 0,4$ y setear la referencia de tensión del bus de CC en el valor deseado. Esperar en el sub-estado *AUMENTANDO_VBUS* hasta que la tensión de referencia del bus alcance el valor deseado.
4. Una vez que la tensión de referencia del bus alcance el valor seteado, establecer la flag *arranqueVBUS* en cero, lo que provoca que comience a funcionar el controlador de la tensión del bus. Esperar durante $START_DELAY_TIME = 5s$ en el sub-estado *CONTROLADOR_VBUS_ENGANCHADO*.
5. Cuando transcurra ese tiempo, setear la referencia de salida senoidal en el valor de amplitud deseado, y aguardar en el estado *AUMENTANDO_VO* hasta que la misma alcance efectivamente dicho valor.
6. Una vez que la referencia de tensión de salida alcance el valor final deseado, setear el valor de la bandera *arranqueVO* en cero, lo que hace que comience a funcionar el controlador de la tensión de salida. Esperar durante $START_DELAY_TIME = 5s$ en el sub-estado *CONTROLADOR_VO_ENGANCHADO*.
7. Transcurrido el tiempo de espera, setear el LED de estado del inversor para indicar el estado de *run* y pasar al sub-estado *RUN*.

Cabe aclarar que cada estado de la secuencia de arranque se señaliza mediante los LEDs disponibles en la placa de control, cuyo funcionamiento se detalla más adelante.

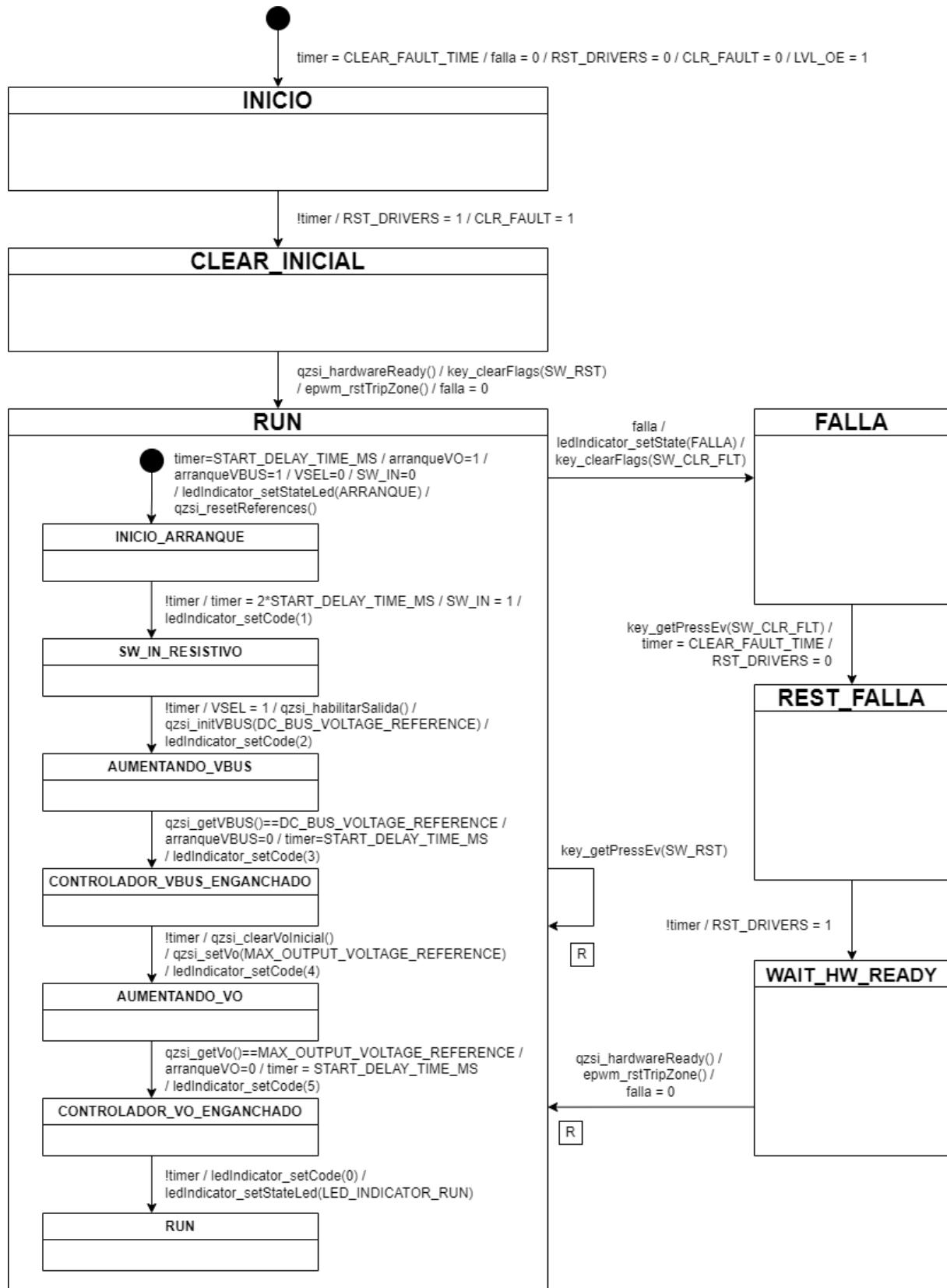


Figura 3.52: Diagrama Statechart de la Máquina de Estados Finitos implementada.

Ante la presencia de una falla, la secuencia de actuación y restauración es:

1. Cuando se produce una falla, se da el *Trip-Zone* de los módulos PWM, lo que provoca una interrupción. En la rutina de atención de la misma, se setea la bandera *falla* en uno, lo que provoca que la MEF transicione del superestado *ARRANQUE* al estado *FALLA*, colocando en dicha transición al LED de estado en indicación de falla.
2. Para salir del estado de falla, es necesario que el usuario presione el pulsador *CLR_FLT*. En ese momento la salida digital *RST_DRIVERS* se coloca en nivel lógico bajo y la MEF transiciona al estado *REST_FALLA*.
3. Se espera durante el tiempo *CLEAR_FAULT_TIME* = 100ms en dicho estado y una vez transcurrido ese tiempo, la salida *RST_DRIVERS* vuelve a colocarse en nivel lógico alto, haciendo que se reseteen los estados de falla de los drivers de MOSFETs y del sensor de corriente de efecto Hall, en caso de que alguno haya reportado alguna anomalía. Transcurrido ese tiempo, la MEF transiciona al estado *WAIT_HW_READY*.
4. En este último estado, se aguarda a que todos los drivers de MOSFETs y el sensor de efecto Hall hayan restaurado su estado de falla (en caso de que haya existido el mismo) y, cuando esto ocurre, se resetea el *Trip-Zone* de los módulos PWM para que vuelvan a funcionar normalmente. Además, se vuelve al valor cero la bandera *falla* y la MEF transiciona con *reset* al estado *ARRANQUE*, lo que provoca que se vuelva a ejecutar la secuencia de arranque desde el inicio.

Existe la posibilidad para el usuario de resetear el inversor en cualquier momento del funcionamiento normal, presionando el pulsador *SW_RST*. Esto provoca que la sub-MEF *ARRANQUE* se resetee, comenzando con la secuencia de arranque desde el inicio.

3.8.2. Adquisición de señales, procesamiento y generación de salidas PWM

Con la máquina de estados finitos, que corre en el bucle principal del firmware, se modela desde una visión global el comportamiento de los distintos estados de arranque, funcionamiento normal y falla del inversor. Ahora bien, es requerido que en el DSP se ejecuten de manera periódica los algoritmos necesarios para generar las salidas PWM que, luego de pasar por sus respectivos drivers, controlan el encendido y apagado de los transistores de potencia obteniendo así la tensión del bus de continua y de salida del inversor deseadas.

El corazón del firmware se ejecuta en una rutina de atención de interrupción (ISR) periódica, cada 100μs. En dicha rutina se realizan esencialmente cuatro tareas, en orden:

1. Cálculo de las tensiones y corrientes a través de los valores muestrados por el ADC.
2. Verificación de dichos valores para asegurarse de que no superen ciertos límites pre establecidos (protecciones por software).
3. Cálculo de los ciclos de trabajo de *Shoot-Through* (d_0) y del vector activo (D), aplicando algoritmos de control a las tensiones y corrientes antes calculadas.
4. Actualización del ciclo de trabajo de las salidas PWM.

A continuación se presenta el código que se ejecuta en la ISR mencionada.

```

1 interrupt void EPWM6_INT_ISR(void){
2     PieCtrlRegs.PIEACK.all = PIEACK_GROUP3;
3     EPwm6Regs.ETCLR.bit.INT = 1;
4
5     static activeVars_t activeVars = {0, 0, 0, 0, 0, 0};
6     static stVars_t stVars = {0, 0, 0, 0};
7     static _iq d0 = 0, D = 0;
8
9     memcpy(&AdcBuff2, &AdcBuff, sizeof(AdcBuff));
10    qzsi_calculateVariables(&activeVars, &stVars, AdcBuff2);
11    #if SOFTWARE_PROTECTIONS == 1
12    if((!qzsi_hardwareReady() || qzsi_softProtection(stVars.IL1, stVars.Iin,
13        activeVars.VC1, activeVars.Vac, activeVars.Iac)) &&
14        !mefPrincipal_getFallas()){
15        mefPrincipal_setFallas();
16        epwm_softOneShotTZ();
17    }
18    #endif
19    if(mefPrincipal_getArranqueVBUS()){
20        d0 = qzsi_getOpenLoop_d0(OPEN_LOOP_VIN);
21    }
22    else{
23        #if BUS_VOLTAGE_CLOSED_LOOP
24        d0 = qzsi_dcBusController(stVars.IL, activeVars.VDC,
25                                    _IQmpy(activeVars.IBRDG, D), stVars.Vin);
26        #else
27        d0 = qzsi_getOpenLoop_d0(OPEN_LOOP_VIN);
28        #endif
29    }
30    if(mefPrincipal_getArranqueVO()){
31        D = qzsi_getOpenLoop_D();
32        qzsi_outputVoltageController(activeVars.Vac, activeVars.IBRDG);
33    }
34    else{
35        #if OUTPUT_VOLTAGE_CLOSED_LOOP == 1
36        D = qzsi_outputVoltageController(activeVars.Vac, activeVars.IBRDG);
37        #else
38        D = qzsi_getOpenLoop_D();
39        #endif
40    }
41    if(d0 > 1-_IQabs(D)) d0 = 1-_IQabs(D);
42    qzsi_updatePWM(d0, D);
43    qzsi_updateSineReference();
44}

```

Lo primero que se puede inferir dado el nombre de la ISR - *EPWM6_INT_ISR* - es que la interrupción está siendo generada por el módulo ePWM6. Efectivamente, el mismo fue configurado para que genere un pedido de interrupción cada $T = 100\mu s$.

En la atención de la interrupción, la primer tarea que se realiza, más allá de limpiar las *flags* correspondientes, es copiar el buffer *AdcBuff*, que contiene los últimos valores muestreados por el ADC para cada variable, en el buffer *AdcBuff2*. Esto se hace para que, en caso de que ocurra un nuevo muestreo del ADC mientras se está ejecutando la ISR, los nuevos valores muestreados no sean utilizados hasta la próxima ocurrencia de la interrupción. La operación de copiar un sector de memoria se ejecuta de forma muy rápida y, a fines prácticos, se puede considerar atómica en esta aplicación.

Una vez copiado el buffer se calculan, mediante la función *qzsi_calculateVariables()*, las tensiones y corrientes en unidades de Voltio y Amper respectivamente. Para ello, se aplican las transformaciones lineales inversas de las que se encuentran en la tabla 3.4 a los valores de tensión muestreados por el ADC y se almacenan los resultados en dos estructuras, llamadas *activeVars* y *stVars*, según si las variables fueron muestreadas durante el vector activo o el *Shoot-Through*.

Luego de calculados estos valores, se verifican las protecciones por software mediante la funciones *qzsi_hardwareReady()* y *qzsi_softProtection()*. La primera muestrea el estado de las entradas FLT (que provienen de los drivers de los MOSFETs), OCP (que proviene del sensor de corriente por efecto Hall) y OC (que es la salida del flip-flop que también se encarga de provocar el *Trip-Zone*) y devuelve un valor lógico *false* en caso de que alguna de esas entradas indique una anomalía. La segunda compara los valores muestreados con umbrales preestablecidos y devuelve un valor lógico *true* en caso de que alguno sea superado. Si se cumple alguna condición que amerite accionar las protecciones por software, simplemente se setea la bandera *falla* en la MEF principal, provocando que esta transicione al estado *FALLA*, y se fuerza un *Trip-Zone* de todos los módulos PWM por software, de manera que todas sus salidas caen a cero hasta que sean restaurados.

El siguiente paso es aplicar los algoritmos de control para calcular d_0 y D . Durante el arranque del inversor, se busca elevar las tensiones del bus de continua y de salida trabajando a lazo abierto. Cuando finaliza la secuencia de arranque, se “enganchan” los controladores, estando ya las variables del sistema en valores cercanos a los deseados, lo que evita la aparición de grandes sobrevalores y preserva la estabilidad del mismo.

Una vez obtenidos d_0 y D se actualizan los valores de comparación internos de los módulos PWM para lograr estos ciclos de trabajo. Cabe destacar que la información de si el semiciclo de la salida es el positivo o negativo se encuentra en el signo de D . De esta forma, la función *qzsi_updatePWM()* se encarga de generar una tensión de salida positiva o negativa de acuerdo al signo del parámetro D .

Es interesante notar que en ningún momento el procesador se encarga de lanzar los muestreos del ADC en los instantes correctos o de copiar los valores de los registros del ADC a la memoria RAM en la dirección *AdcBuff*. Todo este proceso se realiza por hardware:

- El módulo ePWM3 se encarga de lanzar un muestreo secuencial en el ADC estando presente el vector de *Shoot-Through*, exactamente cuando transcurrió un tiempo $\frac{d_0}{2}T$ desde su inicio.
- El módulo ePWM6 se encarga de lanzar un muestreo secuencial en el ADC estando pre-

sente el vector activo, exactamente cuando transcurrió un tiempo $\frac{D}{2}T$ desde su inicio.

- El módulo de Acceso Directo a Memoria (DMA) fue configurado para que, al finalizar cada muestreo secuencial, copie los valores muestreados de los registros del ADC a la memoria RAM, a partir de la dirección de memoria *AdcBuff*. De esta manera, el procesador tiene los valores ya disponibles en la memoria RAM a la hora de aplicar los algoritmos de control, lo que agiliza su tarea.

Esto se logra configurando, por un lado, los registros “Event Trigger Selection” (ETSEL) de los módulos ePWM3 y ePWM6 para que generen, respectivamente, un pulso en EPWMxSOCB cuando el valor de su cuenta alcance el valor de CMPA y un pulso en EPWMxSOCA cuando el valor de su cuenta alcance a CMPB. Periódicamente se actualizan los valores de CMPA y CMPB para que coincidan con la mitad del período de *Shoot-Through* y del vector activo respectivamente. Poder muestrear en la mitad de los vectores *Shoot-Through* y activo a las señales que comutan representa una ventaja, dado que allí se obtiene directamente el valor medio de las mismas en el período de commutación, evitando hacer cálculos extra.

Por otra parte, se hace uso de los dos secuenciadores disponibles en el módulo ADC, que permiten configurar cada uno una secuencia de muestreos a ejecutarse cuando aparezca una señal de inicio de conversión. Se debe configurar el registro ADCTRL2 del ADC para dar inicio a las respectivas secuencias de muestreo ante pulsos en EPWMxSOCA y EPWMxSOCB y además para generar las interrupciones INT_SEQ1 e INT_SEQ2 al finalizar estas secuencias.

Por último, se debe configurar el módulo DMA a través de su registro MODE para lanzar transferencias en sus canales 1 y 2 al darse las interrupciones INT_SEQ1 e INT_SEQ2 respectivamente. Además, se deben configurar también para cada canal del módulo utilizado las direcciones de inicio, fin y el tamaño de las transferencias.

El código utilizado para configurar las funciones mencionadas en los módulos PWM, ADC y DMA se puede ver a continuación:

```

1  /*Configuración de los registros ETSEL de los módulos PWM*/
2  EPwm3Regs.ETSEL.all = 0xC404;
3  EPwm6Regs.ETSEL.all = 0x6E0C;
4  /*Configuración del registro ADCTRL2 del módulo ADC*/
5  AdcRegs.ADCTRL2.all = 0x0909;
6  /*Configuración del canal 1 del módulo DMA*/
7  DmaRegs.CH1.MODE.all = 0x0D01;
8  DmaRegs.CH1.BURST_SIZE.bit.BURSTSIZE = 0;
9  DmaRegs.CH1.TRANSFER_SIZE = 4;
10 DmaRegs.CH1.SRC_TRANSFER_STEP = 1;
11 DmaRegs.CH1.SRC_WRAP_SIZE = 0xFF;
12 DmaRegs.CH1.SRC_WRAP_STEP = 0;
13 DmaRegs.CH1.SRC_ADDR_SHADOW = (Uint32)&AdcMirror.ADCRESULT0;
14 DmaRegs.CH1.SRC_BEG_ADDR_SHADOW = (Uint32)&AdcMirror.ADCRESULT0;
15 DmaRegs.CH1.DST_TRANSFER_STEP = 1;
16 DmaRegs.CH1.DST_WRAP_SIZE = 0xFF;
17 DmaRegs.CH1.DST_ADDR_SHADOW = (Uint32)AdcBuff;
18 /*Configuración del canal 2 del módulo DMA*/
19 DmaRegs.CH2.MODE.all = 0x0D02;
```

```

20 DmaRegs.CH2.BURST_SIZE.bit.BURSTSIZEx = 0;
21 DmaRegs.CH2.TRANSFER_SIZE = 3;
22 DmaRegs.CH2.SRC_TRANSFER_STEP = 1;
23 DmaRegs.CH2.SRC_WRAP_SIZE = 0xFF;
24 DmaRegs.CH2.SRC_WRAP_STEP = 0;
25 DmaRegs.CH2.SRC_ADDR_SHADOW = (Uint32)&AdcMirror.ADCRESULT8;
26 DmaRegs.CH2.SRC_BEG_ADDR_SHADOW = (Uint32)&AdcMirror.ADCRESULT8;
27 DmaRegs.CH2.DST_TRANSFER_STEP = 1;
28 DmaRegs.CH2.DST_WRAP_SIZE = 0xFF;
29 DmaRegs.CH2.DST_ADDR_SHADOW = (Uint32)(AdcBuff+5);

```

3.8.3. Configuración de los módulos PWM

El DSP utilizado [43] posee seis módulos ePWM_x y todos son requeridos en esta aplicación para cumplir diferentes funciones. Cada módulo ePWM_x consiste, a grandes rasgos, de un contador, un valor de período (PRD) y dos valores de comparación (CMPA y CMPB). El contador puede ser configurado en tres modos:

- En el modo ascendente, avanza desde cero hasta el valor PRD y al superarlo, vuelve a cero. Este es el modo de trabajo empleado en esta aplicación para todos los módulos ePWM.
- En el modo descendente, retrocede desde el valor PRD hasta cero, volviendo a PRD en la próxima cuenta.
- En el modo ascendente/descendente, avanza desde cero hasta PRD y luego comienza a retroceder hasta cero, y así sucesivamente.

Por otro lado, es posible establecer en cada módulo acciones a realizar cuando el contador toma el valor cero, el valor PRD o cuando cruza por los valores CMPA y CMPB (pudiendo distinguir entre un cruce en sentido ascendente y uno en sentido descendente). De esta forma, existen seis eventos diferentes con los cuales se puede actuar: que el contador alcance el valor de cero, que alcance el valor de PRD, que cruce de forma ascendente por el valor CMPA, que cruce de forma descendente por el valor CMPA, que cruce de forma ascendente por el valor CMPB, que cruce de forma descendente por el valor CMPB. Como en este caso los módulos ePWM funcionan solo en forma ascendente, se eliminan de estas seis las dos posibilidades de accionar en los cruces por CMPA o CMPB de forma descendente.

Todos los módulos ePWM están sincronizados: poseen la misma fuente de clock, con el mismo valor de *prescaler*, el mismo valor de PRD, están configurados para funcionar de forma ascendente y vuelven a cero todos al mismo tiempo, gracias a una señal de sincronización generada por el módulo ePWM1 y utilizada por los cinco restantes. A su vez, cada módulo posee dos salidas (A y B), conectadas directamente a los puertos de salida del DSP, que controlan los transistores de potencia a través de sus respectivos drivers. En la figura 3.53 se muestra un diagrama esquemático simplificado del inversor, en donde todos los transistores controlados por el DSP se modelan como llaves.

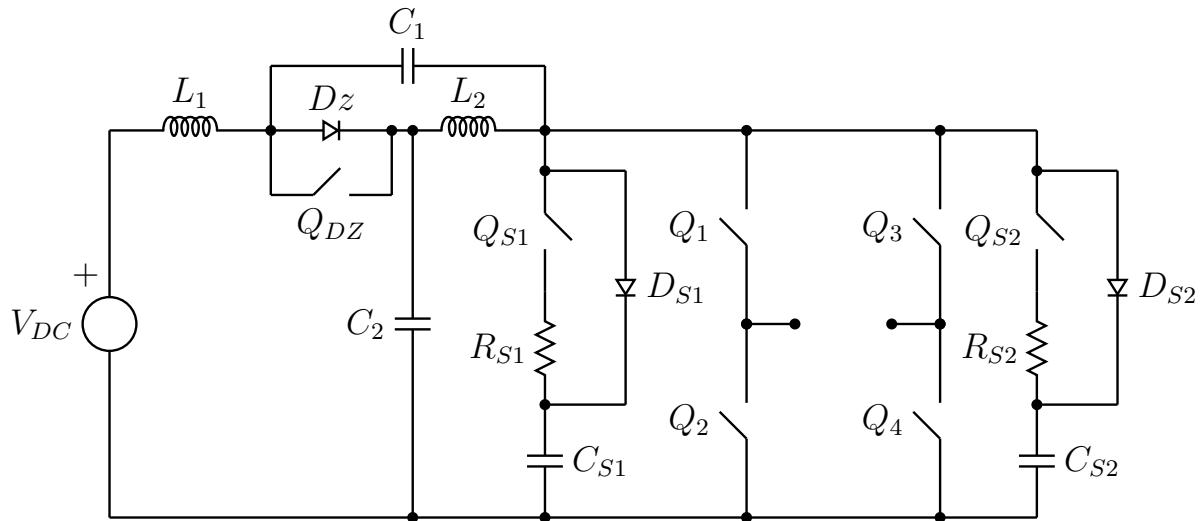


Figura 3.53: Diagrama esquemático simplificado del inversor, donde se observan las llaves controladas por el DSP.

En la figura 3.56 se puede observar el diagrama temporal de un período para los módulos ePWM1 y ePWM2, según si el ciclo de trabajo D es positivo o negativo (es decir, según la polaridad deseada de la señal de salida del inversor). El módulo ePWM1 controla una rama del puente, con su salida A el transistor superior y con su salida B, el inferior. Análogamente, el módulo ePWM2 controla la otra rama del puente. Se configuran de la siguiente manera, según el signo de D :

- El valor de PRD se configura para todos los módulos ePWM en 14999, para obtener un período de $100\mu s$ dada una frecuencia de clock de $150MHz$.
- Todas las salidas se configuran para setearse en uno al ser el valor del contador igual a cero.
- La salida A del módulo ePWM1 se configura para limpiarse a cero al cruzar el contador por el valor CMPA de forma ascendente y setearse a uno al cruzar el contador por el valor CMPB de forma ascendente.
- La salida B del módulo ePWM1 se configura para limpiarse a cero al cruzar el contador por el valor CMPB de forma ascendente y setearse a uno al cruzar el contador por el valor CMPA de forma ascendente.
- La salida A del módulo ePWM2 se configura para limpiarse a cero al cruzar el contador por el valor CMPA de forma ascendente.
- La salida B del módulo ePWM2 se configura para limpiarse a cero al cruzar el contador por el valor CMPB de forma ascendente.
- Si $D \geq 0$:
 - Para el módulo ePWM1, el valor de CMPA se setea en $d_0 \cdot PRD$, mientras que el valor de CMPB en $(1 - |D|) \cdot PRD$.

- Para el ePWM2, el valor de CMPA se setea en $d_0 \cdot PRD$, y el valor de CMPB se configura mayor al de PRD para que no intervenga.
- Si $D < 0$:
 - Para el módulo ePWM1, el valor de CMPA se setea en $(1 - |D|) \cdot PRD$, mientras que el valor de CMPB en $d_0 \cdot PRD$.
 - Para el ePWM2, el valor de CMPA se configura mayor al de PRD para que no intervenga, y el valor de CMPB se setea en $d_0 \cdot PRD$.

En las imágenes 3.54 y 3.55 se pueden observar los distintos estados del puente del inversor para los diferentes vectores de modulación, para el caso en que $D \geq 0$ y $D < 0$ respectivamente.

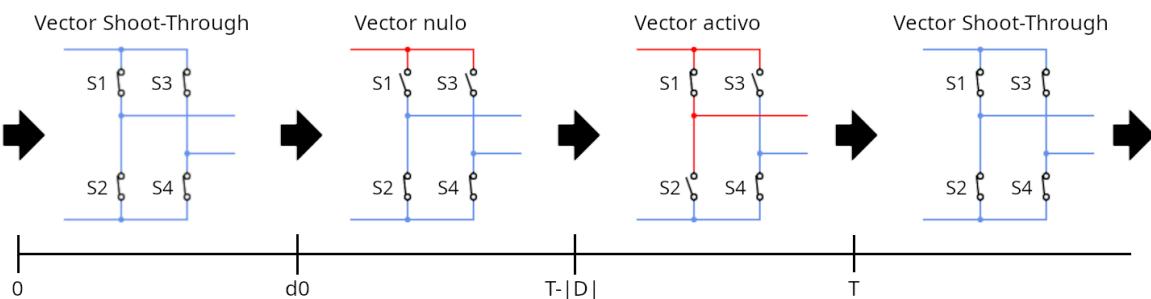


Figura 3.54: Diagrama temporal de los distintos vectores que modulan el puente con $D \geq 0$.

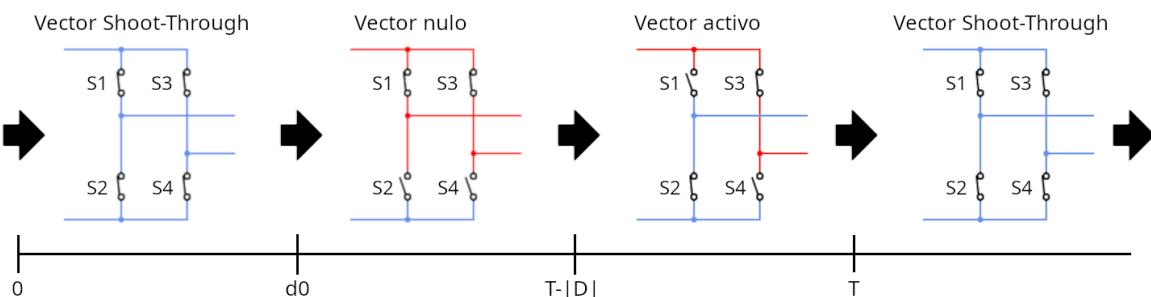


Figura 3.55: Diagrama temporal de los distintos vectores que modulan el puente con $D < 0$.

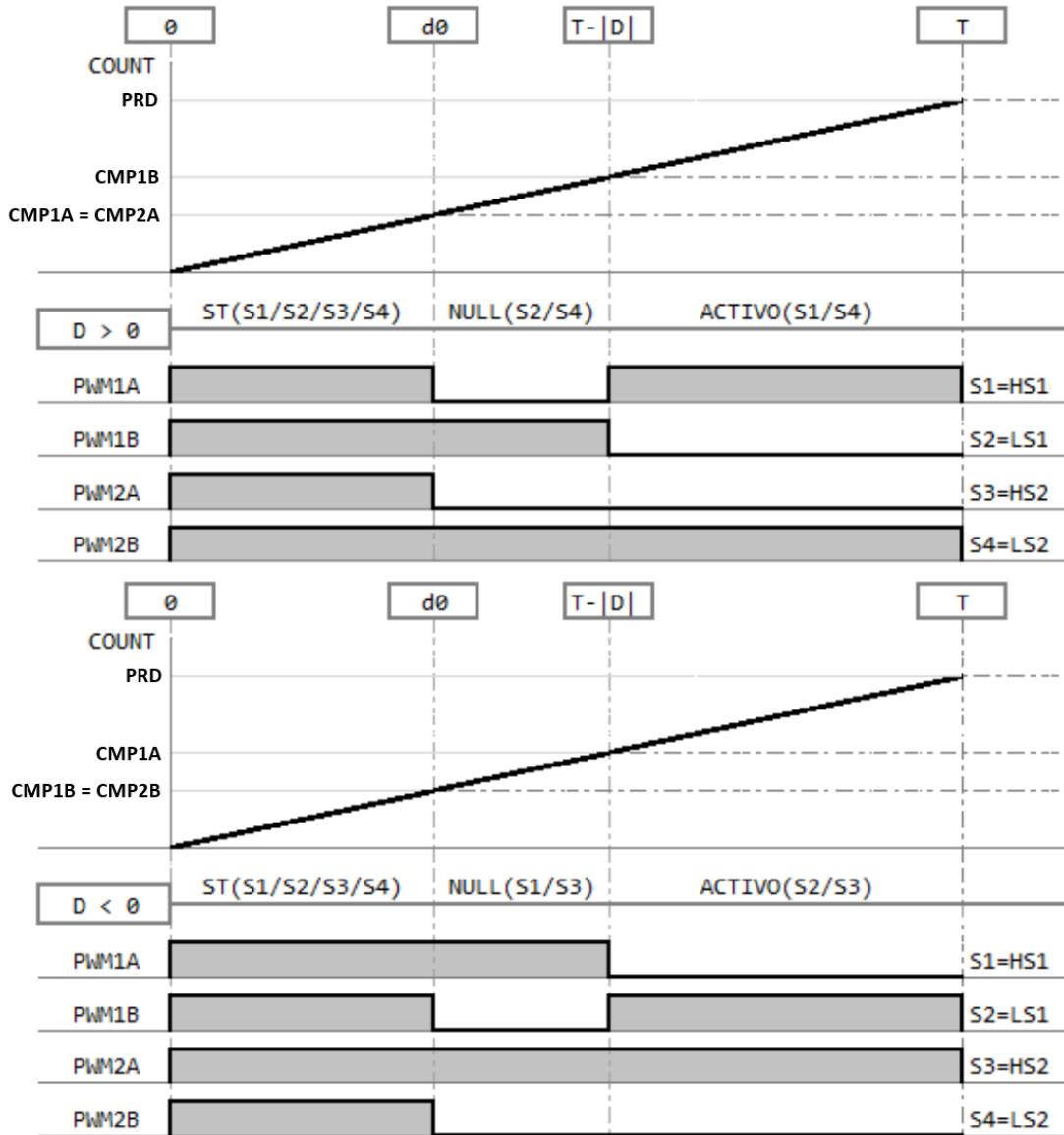


Figura 3.56: Diagrama de tiempos de los módulos PWM que controlan el puente del inversor. Imagen tomada de [19] y modificada.

Los módulos ePWM restantes se encargan de manejar los transistores de las redes Snubber (ePWM4) y el transistor de la red Z (ePWM5). Además, lanzan las conversiones del ADC y la interrupción periódica, como ya se detalló anteriormente. En la figura 3.57 se puede ver un diagrama temporal de un período para estos módulos PWM. Se configuran independientemente del signo de D , de la siguiente manera:

- El módulo ePWM3 se configura para iniciar las conversiones del secuenciador B del ADC cuando el valor del contador cruce por CMPA de forma ascendente. Asimismo, el valor de CMPA se setea en $\frac{d_0}{2} \cdot PRD$.
- En el módulo ePWM4 se configuran las salidas A y B para setearse a uno cuando el valor del contador cruce por CMPA de forma ascendente y limpiarse a cero cuando el valor del

contador cruce por CMPB de forma ascendente. El valor de CMPA se setea en $(d_0 + r) \cdot PRD$, mientras que el de CMPB en $(1 - r) \cdot PRD$.

- En el módulo ePWM5 se utiliza solo la salida B y se configura para setearse a uno cuando el valor del contador cruce por CMPA de forma ascendente y limpiarse a cero cuando el valor del contador cruce por CMPB de forma ascendente. El valor de CMPA se establece en $(1 - |D| + r) \cdot PRD$ y el de CMPB en $(1 - r) \cdot PRD$.
- El módulo ePWM6 se configura para iniciar las conversiones del secuenciador A del ADC cuando el valor del contador cruce por CMPB de forma ascendente y para lanzar una interrupción cuando el valor del contador cruce por CMPA de forma ascendente. El valor de CMPA es $\frac{PRD}{2}$ y el de CMPB en $\left(1 - \frac{|D|}{2}\right) \cdot PRD$.

El ciclo de seguridad r se establece para el que tiempo de seguridad sea de $1\mu s$, siendo calculado como $r = \frac{1\mu s}{100\mu s}$, y se utiliza para evitar que durante el *Shoot-Through* estén encendidos tanto los transistores de las redes Snubber como el de la red Z (llamado Q_{DZ}). Esto se logra

- asegurando el apagado de los transistores de las redes Snubber antes de que el puente pase del estado activo al *Shoot-Through*,
- asegurando que ya está establecido el vector nulo al encender los transistores de las redes Snubber,
- asegurando que los transistores del puente ya comutaron al pasar del estado nulo al activo, para poder activar el transistor de la red Z y
- asegurando el apagado del transistor de la red Z antes de que el puente pase del estado activo al *Shoot-Through*.

Para las redes Snubber es deseable (pero no esctictamente necesario) evitar el encendido del transistor durante el *Shoot-Through*, ya que esto reduce las pérdidas previniendo la descarga innecesaria del capacitor de la red a través del puente. Por el contrario, para el transistor Q_{DZ} es una condición crítica a satisfacer, ya que si permanece encendido durante un *Shoot-Through*, se provoca un cortocircuito de los capacitores de la red a través de él mismo y del puente, lo que puede ser altamente destructivo.

Si bien el objetivo es mantener apagado el transistor Q_{DZ} durante el *Shoot-Through*, el mismo se enciende en el instante $(1 - |D| + r) \cdot T$ en lugar de hacerlo en $(d_0 + r) \cdot T$, estando apagado también durante el vector nulo. Esto es así porque en la aplicación real existe un *Shoot-Through* parásito en la transición del vector nulo al activo, debido al retardo de encendido y apagado de los transistores. Este fenómeno podría provocar el cortocircuito antes descripto, de igual manera que se realiza con el vector de *Shoot-Through* intencionalmente, por lo que para evitarlo el transistor Q_{DZ} se enciende una vez establecido el vector activo.

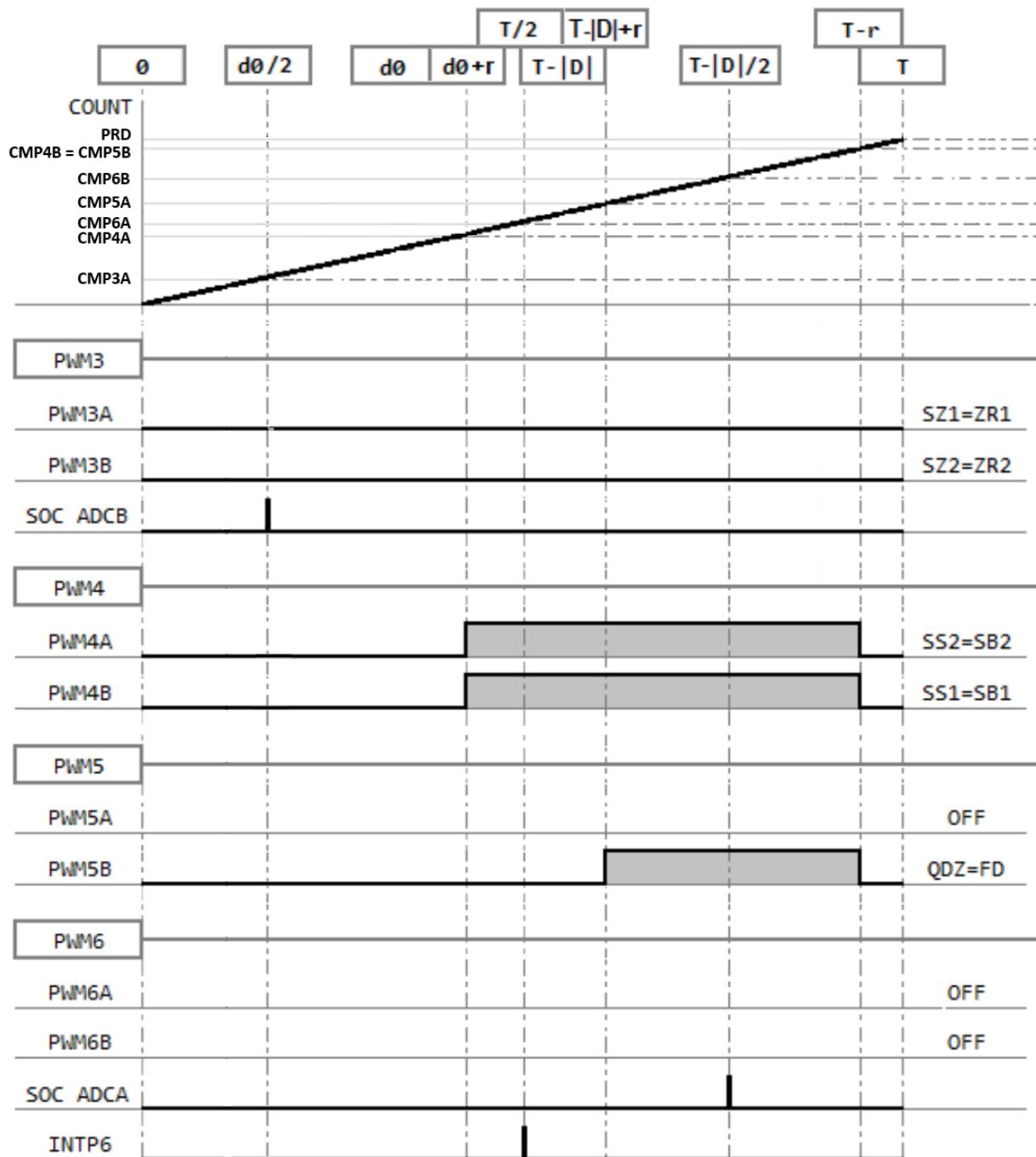


Figura 3.57: Diagrama de tiempos del resto de los módulos PWM. Imagen tomada de [19] y modificada.

En la figura 3.58 se puede observar una captura de osciloscopio con la tensión del bus de CC del inversor en funcionamiento. Es interesante ver el efecto de la modulación PWM aplicada en el puente sobre esta tensión. El ciclo comienza cuando la tensión V_{BUS} cae a cero, momento en que está aplicado el vector de Shoot-Through sobre el puente. Luego, al pasar al vector nulo, la tensión del bus alcanza su valor máximo. En un escenario ideal, sería imposible distinguir entre el vector nulo y el activo observando solamente la tensión del bus de CC. Sin embargo,

como se detalló anteriormente, en la práctica existe un *Shoot-Through* parásito cuando se da el cambio de vector nulo a activo. Este se puede apreciar en la captura marcado en rojo, viéndose como una caída de la tensión del bus, que se recupera rápidamente para volver a su valor máximo.

Según el valor aplicado a la tensión de salida por la modulación senoidal, cambia la proporción entre el vector activo y el vector nulo en cada ciclo de conmutación. Esto se puede apreciar en la figura 3.59, donde se muestra un barrido con muchos ciclos de conmutación superpuestos.



Figura 3.58: Efecto de la modulación PWM del puente sobre la tensión V_{BUS} . Encerrado en rojo: *Shoot-Through* parásito. CH1: V_{BUS} . CH2: V_o . CH3: I_{in} . CH4: I_{L1} .

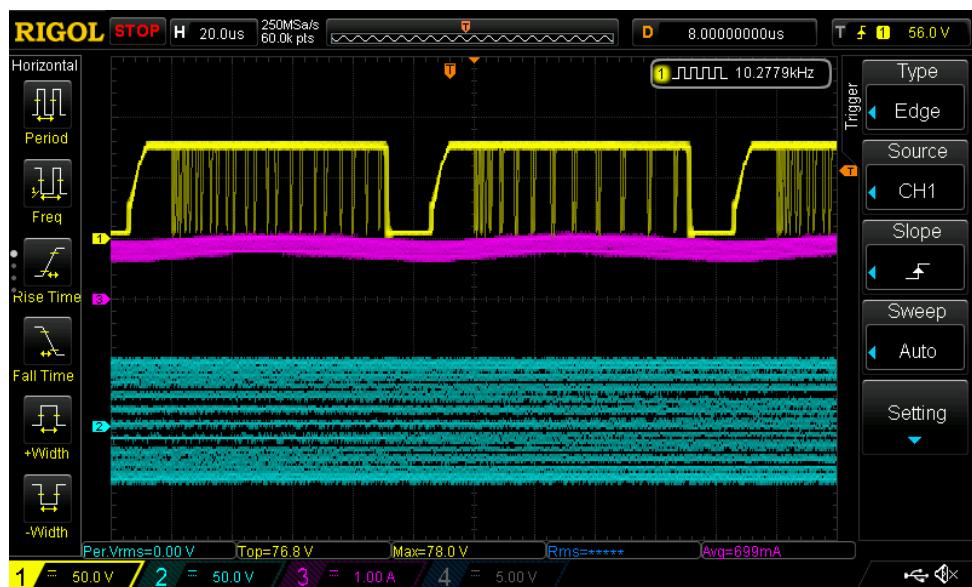


Figura 3.59: Barrido de la tensión V_{BUS} .

CH1: V_{BUS} . CH2: V_o . CH3: I_{in}

3.8.4. Configuración del ADC

El módulo ADC del DSP utilizado posee la flexibilidad suficiente para permitir la automatización completa de las conversiones (desde su lanzamiento hasta el almacenado de los valores muestreados en la memoria RAM) sin intervención del *core*. Con una correcta configuración inicial de este módulo, los de PWM y el de DMA, es posible realizar todo el procedimiento por hardware, en concurrencia con el núcleo ejecutando las instrucciones del programa.

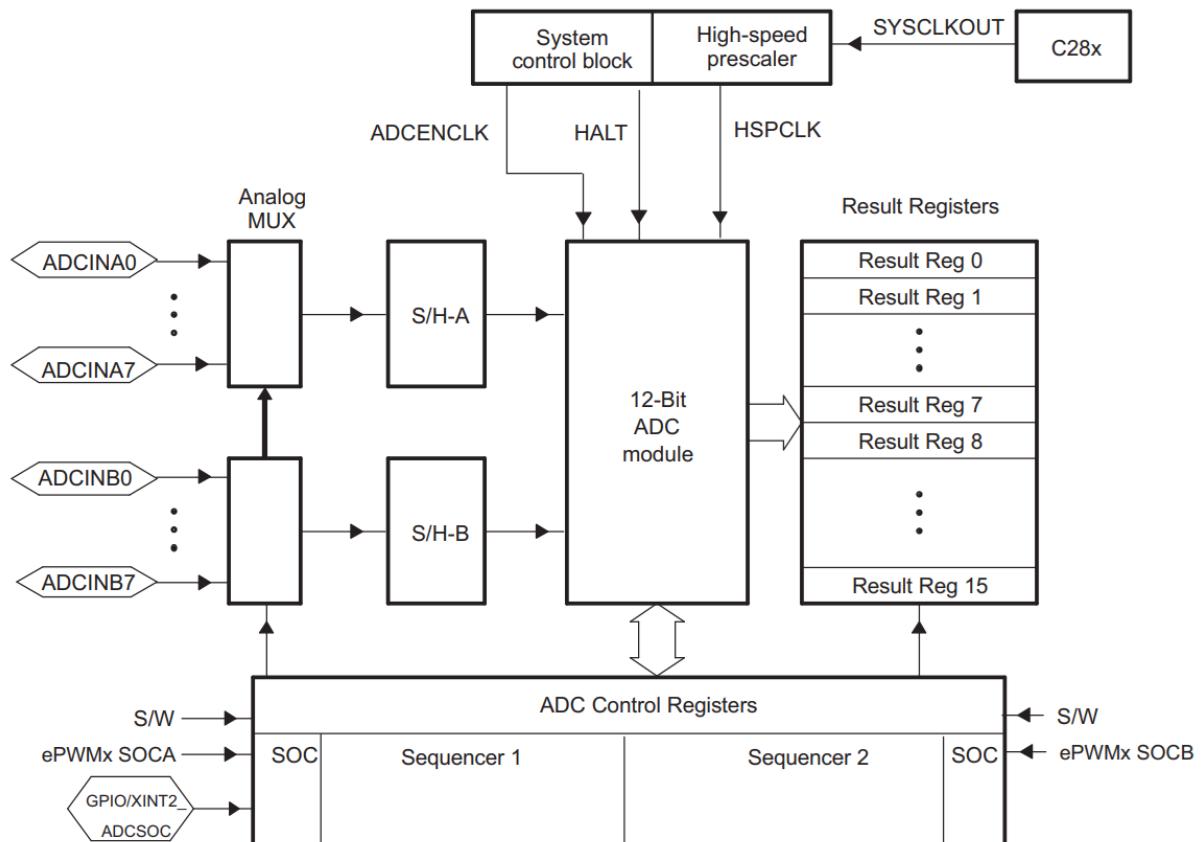


Figura 3.60: Diagrama de bloques del ADC del DSP utilizado. Imagen extraída de [37].

El diagrama interno del ADC se presenta en la figura 3.60. Como se puede observar, el mismo cuenta con dos grupos de entradas analógicas multiplexadas, con la posibilidad de muestrear dos entradas (una de cada grupo) al mismo tiempo. Posee además circuitos de *sample and hold* (con tiempo de adquisición configurable) y secuenciadores, que permiten disparar conversiones en un orden específico, con la posibilidad de dar inicio a la secuencia por software o mediante una señal proveniente de los módulos PWM o del GPIO. El módulo fue configurado de la siguiente manera:

- Se eligió como tensión de referencia la referencia interna que posee el DSP, de 3V.
- El reloj del módulo se configuró en 12,5MHz, ya que $HSPCLK = 150MHz$ y el prescaler del ADC fue seteado en un valor de 12.

- El modo de trabajo elegido es el de *muestreo secuencial*, descartando así el modo de muestreo simultáneo. Esto hace que en cada paso de una secuencia de conversiones se muestre solo una entrada.
- Se utilizan los dos secuenciadores disponibles en modo dual, es decir, trabajando por separado y no en cascada. El primero se configura para realizar cinco conversiones con la secuencia de canales: A0, A1, A2, A3, A4, mientras que el segundo realiza cuatro conversiones con la secuencia: B0, B1, B2, A0. Además, los secuenciadores se setean para que regresen automáticamente al inicio de la secuencia cuando se cumpla la cantidad de conversiones configurada, quedando listos para comenzar otra secuencia de muestreos ante la próxima señal de disparo.
- Para cada secuenciador se eligió la señal de inicio de secuencia proveniente de los módulos PWM. De esta forma, el secuenciador 1 realizará en el orden establecido las cinco conversiones para las que fue configurado cuando la señal ePWMx_SOCA tome un valor alto. De la misma manera, el secuenciador 2 realizará las cuatro conversiones para las que fue configurado cuando la señal ePWMx_SOCB tome un valor alto.
- Se activan las interrupciones por finalización de secuencia para ambos secuenciadores, lo que permite luego transferir automáticamente vía DMA los valores muestreados a la memoria RAM.

El fragmento de código que configura al ADC para funcionar según lo descripto en los ítems anteriores se puede ver a continuación:

```

1  ---- Selección de referencia interna
2  AdcRegs.ADCREFSEL.bit.REF_SEL = 0;
3
4  ---- Power-on del ADC y la referencia, configuración del prescaler,
5  ---- modo de muestreo secuencial
6  AdcRegs.ADCTRL3.all = 0x00EC;
7
8  ---- 5 conversiones en secuencia 1, 4 en secuencia 2
9  AdcRegs.ADCMAXCONV.all = 0x0034;
10
11 ---- Selección de canales para secuencia 1
12 AdcRegs.ADCCHSELSEQ1.bit.CONV00 = 0x0;      // Convert Channel 0 - A0
13 AdcRegs.ADCCHSELSEQ1.bit.CONV01 = 0x1;      // Convert Channel 1 - A1
14 AdcRegs.ADCCHSELSEQ1.bit.CONV02 = 0x2;      // Convert Channel 2 - A2
15 AdcRegs.ADCCHSELSEQ1.bit.CONV03 = 0x3;      // Convert Channel 3 - A3
16 AdcRegs.ADCCHSELSEQ2.bit.CONV04 = 0x4;      // Convert Channel 4 - A4
17 ---- Selección de canales para secuencia 2
18 AdcRegs.ADCCHSELSEQ3.bit.CONV08 = 0x8;      // Convert Channel 8 - B0
19 AdcRegs.ADCCHSELSEQ3.bit.CONV09 = 0x9;      // Convert Channel 9 - B1
20 AdcRegs.ADCCHSELSEQ3.bit.CONV10 = 0xA;      // Convert Channel 10 - B2
21 AdcRegs.ADCCHSELSEQ3.bit.CONV11 = 0x0;      // Convert Channel 0 - A0
22

```

```

23 //--- Secuenciadores en modo dual y regresando automáticamente al
24 //--- inicio de la secuencia
25 AdcRegs.ADCTRL1.all = 0x0700;
26
27 //--- Habilitación de inicio de secuencias con ePWMx_SOCA y ePWMx_SOCB
28 //--- y de generación de interrupciones al finalizar las secuencias
29 AdcRegs.ADCTRL2.all = 0x0909;

```

De esta forma, al estar configurado el módulo ePWM6 para establecer un valor alto en la señal ePWMx_SOCA en el medio del vector activo, se muestrearán, a partir de ese momento y en orden, las señales I_{BRDG} , V_{DC} , V_{C1} , V_{ac} e I_{ac} . De la misma forma, como el módulo ePWM3 setea un valor alto en la señal ePWMx_SOCB en el medio del vector de Shoot-Through, se muestrean desde ese instante consecutivamente las señales I_{L1} , I_{in} , V_{in} e I_L .

Por otra parte, se diseñó una rutina para calibrar el ADC con el objetivo de corregir errores de escala que pudiera tener. Aprovechando la referencia de tensión de 3,3V disponible en la placa de control, se generó a partir de ella, con el circuito mostrado en la figura 3.61, una tensión de referencia conocida que se mide con el ADC, conectándola al canal B3. De esta forma, al inicio del programa, se realizan 16 muestreos sobre este canal, se promedian los valores muestreados, y se calcula un factor de escala $k = \frac{V_{conocida}}{V_{muestreada}}$. Con este factor de escala se ponderan luego todos los muestreos realizados, haciendo $V_{real} = V_{muestreada} \cdot k$.

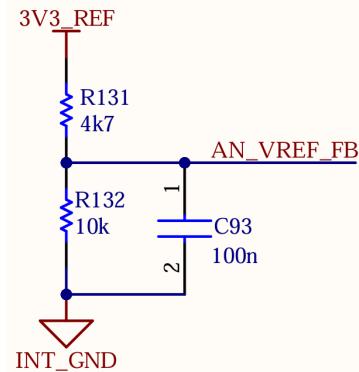


Figura 3.61: Circuito utilizado para generar la referencia de calibración del ADC.

Para calibrar el offset, el fabricante ofrece una rutina localizada en la dirección de memoria 0x380080, que se ejecuta en la inicialización del ADC.

3.8.5. Algoritmos de control

El algoritmo de control de la tensión del bus de corriente continua es una función estática, dado que no requiere el almacenamiento de valores anteriores de las entradas y la salida. De esta manera, para implementarlo en el firmware simplemente se debe replicar la ecuación 2.18. En este caso se lo hace a través de la función qzsi_dcBusController(), cuya implementación se puede observar a continuación:

```

1 _iq qzsi_dcBusController(_iq IL, _iq VDC, _iq IDC, _iq Vin){
2     _iq D0, IL_ref, d0;

```

```

3     _iq Ki, Kv, W02, delta;
4
5     D0 = _IQmpy(_IQ(0.5),_IQ(1.0)-_IQdiv(Vin, currentVBUS));
6     if(D0<0) D0=0;
7     IL_ref = _IQdiv(_IQmpy(_IQ(2.0),IDC),_IQ(1.0)-_IQmpy(_IQ(2.0),D0));
8
9     if(Vin<1) Vin=1;
10    delta = _IQ(1.0)-_IQmpy(_IQ(2.0),D0);
11    W02 = _IQdiv(_IQmpy(delta, delta), _IQmpy(DC_BUS_L, DC_BUS_C));
12
13    Ki = -_IQmpy(DC_BUS_L, _IQdiv(_IQmpy(IDC, DC_BUS_WN2-W02)+_
14        _IQdiv(_IQmpy(Vin, _IQmpy(delta, DC_BUS_XI_WN)), DC_BUS_L),_
15        _IQdiv(_IQmpy(_IQ(4.0), _IQmpy(IDC, IDC)), DC_BUS_C)+_
16        _IQdiv(_IQmpy(Vin, Vin), DC_BUS_L)));
17
18    Kv = -_IQmpy(DC_BUS_C_2, _IQdiv(_IQmpy(Vin, DC_BUS_WN2-W02)-_
19        _IQdiv(_IQmpy(_IQ(4.0), IDC),_
20        _IQmpy(delta, DC_BUS_XI_WN)),DC_BUS_C),_
21        _IQdiv(_IQmpy(_IQ(4.0), _IQmpy(IDC, IDC)), DC_BUS_C)+_
22        _IQdiv(_IQmpy(Vin, Vin), DC_BUS_L)));
23
24    d0 = (D0 + _IQmpy(Ki, IL-IL_ref) + _IQmpy(Kv, VDC-currentVBUS));
25
26    if(d0>_IQ(0.35)) d0=_IQ(0.35);
27    else if(d0<_IQ(0.05)) d0=_IQ(0.05);
28
29    return d0;
30 }

```

La forma de calcular D0, IL_ref, delta, w02, Ki, Kv y d0 es la dada por las ecuaciones (2.19), (2.20), (2.23), (2.24), (2.21), (2.22) y (2.18) respectivamente. Se realiza un recorte del ciclo de trabajo d0 calculado limitando sus valores mínimos y máximos. El objetivo de esto es, por un lado, asegurar que siempre haya vector de Shoot-Through y, por el otro, evitar una tensión excesiva en el bus debida a oscilaciones en la respuesta del controlador que puedan arrojar elevados valores de d0.

Por otro lado, para la implementación del algoritmo de control de la tensión de salida, se decidió utilizar buffers circulares para el almacenamiento de las entradas y salidas pasadas. Los mismos están definidos por una estructura en la que se almacena el buffer propiamente dicho, su longitud y un índice que indica la posición del último elemento:

```

1  typedef struct{
2      _iq buffer[BUFFERS_LEN];
3      Uint16 len;
4      Uint16 pos;
5  }RING_BUF;

```

La ventaja de utilizar buffers circulares en lugar de lineales es que por cada elemento nuevo añadido, no se debe hacer un desplazamiento en memoria de los elementos anteriores, sino que solamente basta con actualizar el índice. Esto ahorra procesamiento y, por lo tanto, tiempo, haciendo más rápida y eficiente la ejecución de los algoritmos.

Todo algoritmo de control o filtro implementado es, en definitiva, una ecuación en diferencias, que consiste en una combinación lineal de la última señal de entrada muestreada con las m señales de entrada muestreadas en instantes anteriores y con las últimas n señales de salida calculadas. Llamando x a la entrada e y a la salida, una ecuación genérica tiene la forma:

$$y_t = a_0 \cdot y_{t-1} + a_1 \cdot y_{t-2} + \dots + a_{n-1} \cdot y_{t-n} + b_0 \cdot x_t + b_1 \cdot x_{t-1} + \dots + b_m \cdot x_{t-m}$$

De esta forma, y teniendo en cuenta la utilización de los buffers circulares, la implementación genérica de las ecuaciones en diferencias se realiza mediante la función `_IQ_diff_eq`, que a su vez almacena el último dato de entrada y la última salida calculada en los buffers correspondientes. Su implementación se muestra a continuación:

```

1 void _IQ_diff_eq(_iq lastData, RING_BUF *in, RING_BUF *out, _iq *inputCoeffs,
2                   _iq *outputCoeffs, int inputLen, int outputLen){
3     _iq y = 0;
4     int16 i, index;
5     ringBuffer_putData(in, lastData);
6     index = in->pos;
7     for(i=0; i<inputLen; i++){
8         y += _IQmpy(in->buffer[index--], inputCoeffs[i]);
9         if(index<0) index = in->len - 1;
10    }
11    index = out->pos;
12    for(i=0; i<outputLen; i++){
13        y += _IQmpy(out->buffer[index--], outputCoeffs[i]);
14        if(index<0) index = out->len - 1;
15    }
16    ringBuffer_putData(out, y);
17 }
```

La función `ringBuffer_putData()` simplemente agrega un nuevo dato al `ringBuffer` actualizando su índice, como se puede observar:

```

1 void ringBuffer_putData(RING_BUF* rBuffer, _iq data){
2     rBuffer->pos++;
3     if(rBuffer->pos >= rBuffer->len) rBuffer->pos = 0;
4     rBuffer->buffer[rBuffer->pos] = data;
5 }
```

3.8.6. Configuración del inversor por firmware

Con el objetivo de proporcionar una forma fácil de configurar los distintos parámetros del inversor a través del firmware, se encuentran disponibles diferentes macros en algunos de los archivos de encabezado .h que conforman al proyecto.

Archivo inverterConfig.h

En este archivo se puede configurar el funcionamiento general del inversor, activando o desactivando distintos bloques que lo componen, y seteando las tensiones de referencia deseadas. Las macros disponibles son:

- **SALIDA_SENOIDAL**: si vale 1, la salida del inversor será senoidal, en caso contrario, será una tensión continua. Es una macro útil para testear el funcionamiento en las etapas iniciales.
- **HARDWARE_PROTECTIONS**: si vale 1, las protecciones por hardware del inversor están activadas, en caso contrario, estarán desactivadas. Es útil si por alguna razón se producen disparos espúreos de las protecciones por hardware y se quiere investigar su origen.
- **SOFTWARE_PROTECTIONS**: análoga a la anterior, permite activar o desactivar las protecciones por software del inversor.
- **OUTPUT_VOLTAGE_CLOSED_LOOP**: si vale 1, la tensión senoidal de salida del inversor funciona a lazo cerrado, en caso contrario, a lazo abierto. Es útil a la hora de probar el funcionamiento del controlador de salida implementado.
- **BUS_VOLTAGE_CLOSED_LOOP**: análoga a la anterior, permite activar o desactivar el lazo de control de la tensión del bus de CC.
- **OPEN_LOOP_VIN**: es el valor de la tensión de entrada al momento del arranque del inversor, ya que se utiliza para generar la tensión del bus de CC a lazo abierto.
- **DC_BUS_VOLTAGE_REFERENCE**: es el valor de referencia deseado para la tensión del bus de CC.
- **MAX_OUTPUT_VOLTAGE_REFERENCE**: es el valor de referencia deseado para la tensión de salida del inversor, siendo este el valor de pico y no el RMS.

Archivo qZSI.h

En este archivo se puede configurar el comportamiento dinámico, la tensión de salida inicial en el arranque y los valores de protección por software del inversor. Las macros disponibles son:

- **STEP_TIME_MS**: es el tiempo de delay deseado entre pasos de un setpoint, ya que todo cambio de setpoint se realiza de forma gradual, de a **una unidad** cada STEP_TIME_MS milisegundos. Por ejemplo, si STEP_TIME_MS = 50, el set-point deseado del bus de CC está seteado en 100V y el mismo se cambia a 200V, este irá incrementando de a 1V cada 50ms, llegando a 200V en 5s. En caso de requerir que la rampa de subida sea más rápida, se puede reducir el tiempo del escalón, pero el aumento de tensión seguirá siendo siempre de 1V por paso.
- **INITIAL_D**: es el valor deseado del ciclo de trabajo máximo del vector activo presente en la etapa 3 de la secuencia de arranque descripta anteriormente.

- ***DC_BUS_XI***: es el valor de la constante de amortiguamiento ξ del sistema de segundo orden formado por la red Z y el controlador del bus de CC.
- ***DC_BUS_WN***: es el valor de la frecuencia natural ω_n del sistema de segundo orden formado por la red Z y el controlador del bus de CC. Estas últimas dos macros permiten configurar el comportamiento dinámico de la tensión del bus de CC.
- ***MAX_IL1, MIN_IL1, MAX_In, MAX_VC1, MAX_Vac, MAX_Iac, MIN_Iac***: son los valores de umbral de las protecciones por software. Si la respectiva variable medida supera a su/s valor/es de umbral, se activará la protección por software (en caso de que esté habilitada).

Archivo digitalPot.h

Mediante las macros ***VREF_IACm, VREF_IACP, VREF_VC12, VREF_In, VREF_IL1m, VREF_IL1p, VREF_IBRDGm, VREF_IBRDGp*** es posible configurar las tensiones de referencia utilizadas en los comparadores que accionan las protecciones por hardware. Gracias a la utilización de potenciómetros digitales, que se comunican con el DSP mediante el protocolo I²C, es posible configurar en el firmware los valores de referencia para la comparación. Estas macros mencionadas deben ser iguales al valor de tensión de referencia (en Voltios) deseado para cada caso. Al inicio del programa, se configuran los potenciómetros a partir de los valores seteados en estas macros. Aquellas macros cuyos nombres difieren en la última letra, siendo esta ***p*** o ***m***, configuran la tensión de referencia para la misma señal, pero en el caso de ***p*** es la tensión de umbral máxima y en el de ***m***, la tensión de umbral mínima.

3.9. Fallas detectadas en los ensayos y su corrección

A lo largo de los diferentes ensayos se encontraron fallas sobre el hardware diseñado, que dieron lugar a modificaciones posteriores sobre el mismo. Ya sea por necesidad mandatoria para el funcionamiento del equipo o porque su enmienda implicaba una mejora sustancial, una gran parte del trabajo realizado durante los ensayos fue aplicar los cambios necesarios para su corrección. Cabe aclarar que todos estos cambios fueron aplicados sobre las placas ya fabricadas descriptas anteriormente, sin llegar a hacer un rediseño y una segunda versión de fabricación de las mismas. En los siguientes párrafos se describen las modificaciones que se llevaron a cabo en las diferentes placas del inversor.

3.9.1. Placa de control

Front-end analógico

A la hora de realizar los ensayos se detectaron disparos espúreos de la protección por hardware correspondiente a la corriente de salida I_{AC} . Para solucionarlo, se buscó disminuir la frecuencia de corte del filtro pasa bajos de la etapa de adaptación analógica de esta señal, pasando de una frecuencia de corte de $62kHz$ a una de aproximadamente $2300Hz$. Esto se consiguió

modificando el valor de los capacitores C85 y C113, pasando de 120pF a $3,3\text{nF}$. De esta manera, se hizo más restrictivo el filtrado para el ruido conducido de alta frecuencia, lo que mejoró la respuesta de la protección.

Protecciones por hardware

- Salida de comparadores: durante las primeras verificaciones de las placas por separado, se apreció que no se habían colocado las resistencias de *pull up* a la salida de los comparadores LMV393, las cuales son del tipo *colector abierto*. Se colocaron resistencia de $10k\Omega$ en cada una de ellas para poder accionar correctamente las compuertas OR y así disparar la señal de falla sobre el DSP.
- Alimentación de los comparadores: se pudo observar que para los comparadores LMV393 utilizados, la máxima tensión de entrada a modo común es de $V_{CC} = 0,7\text{V}$ [36]. Inicialmente estos comparadores se alimentaron con $V_{CC} = 3,3\text{V}$ y, dada la especificación descripta, esto permite ingresar al comparador con tensiones máximas de hasta $2,6\text{V}$. El problema radica en que las tensiones de salida de los amplificadores operacionales de adaptación analógica, pueden llegar hasta los 3V y luego son esas mismas tensiones las que se comparan mediante los circuitos integrados LMV393. Es por esto que se decidió alimentar a los comparadores con una tensión de 5V , lo que resuelve este inconveniente. Dicha tensión se obtuvo del regulador lineal 78L05, ya disponible en la placa.
- Filtros en circuitos de protección: se observaron disparos espúreos de las protecciones mientras se realizaban ensayos con valores muy bajos de tensión y corriente. Dado que no era posible determinar cuál de ellas se activaba erróneamente (porque al introducir la punta del osciloscopio la interferencia provocada por la misma provocaba el disparo de la protección), se cambiaron los filtros RC en las entradas de todos los comparadores, reduciendo su frecuencia de corte.
 - Para la protección de la corriente de entrada (I_{IN}), se utilizó una resistencia de $15k\Omega$ y un capacitor de $10nF$, resultando en una frecuencia de corte de alrededor de 1kHz . Haciendo uso de la ecuación 3.35, se puede recalcular el tiempo de respuesta de la protección de la corriente I_{IN} , que da como resultado alrededor de $153\mu\text{s}$.
 - En cuanto a las protecciones de corriente por la bobina L1 (I_{L1}), por el puente (I_{BRDG}) y de tensión en el bus de continua (V_{C1-2}), se buscó tener una frecuencia de corte mayor, dado que son señales que comutan a 10kHz . Para ello, se emplearon resistencias de $4,7k\Omega$ y capacitores de $1nF$, obteniendo filtros con frecuencias de corte de aproximadamente 34kHz . Utilizando nuevamente la ecuación 3.35 para calcular los nuevos tiempos de respuesta de estas protecciones, el resultado es de $7,5\mu\text{s}$ para I_{L1} , $7,4\mu\text{s}$ para I_{BRDG} y $7,2\mu\text{s}$ para V_{C1-2} .
 - En el caso de la protección de la corriente de salida (I_{AC}), si bien es una señal con frecuencia de 50Hz , se buscó inicialmente que el filtro del comparador asociado fuera de la mayor frecuencia de corte posible, para reducir así su tiempo de respuesta. Se hicieron pruebas con el filtro de frecuencia de corte de 34kHz , pero al seguir produciéndose los disparos espúreos, esta frecuencia se fue disminuyendo, hasta llegar a un filtro conformado por una resistencia de $4,7k\Omega$ y un capacitor de

3, $3nF$, obteniendo así una frecuencia de corte de unos $10kHz$. Se tiene así que, según lo establecido por la ecuación 3.35, y teniendo en cuenta el cambio realizado en la etapa de mediciones analógicas sobre el circuito de medición de I_{AC} , el tiempo de respuesta de la protección de I_{AC} será de aproximadamente $88\mu s$.

- Filtro en entrada de Flip Flop: con el fin de hacer más robusto el circuito de las protecciones analógicas frente al ruido conducido y evitar los disparos espúreos, se colocó un capacitor de $10nF$ en la entrada de clock del Flip Flop utilizado.

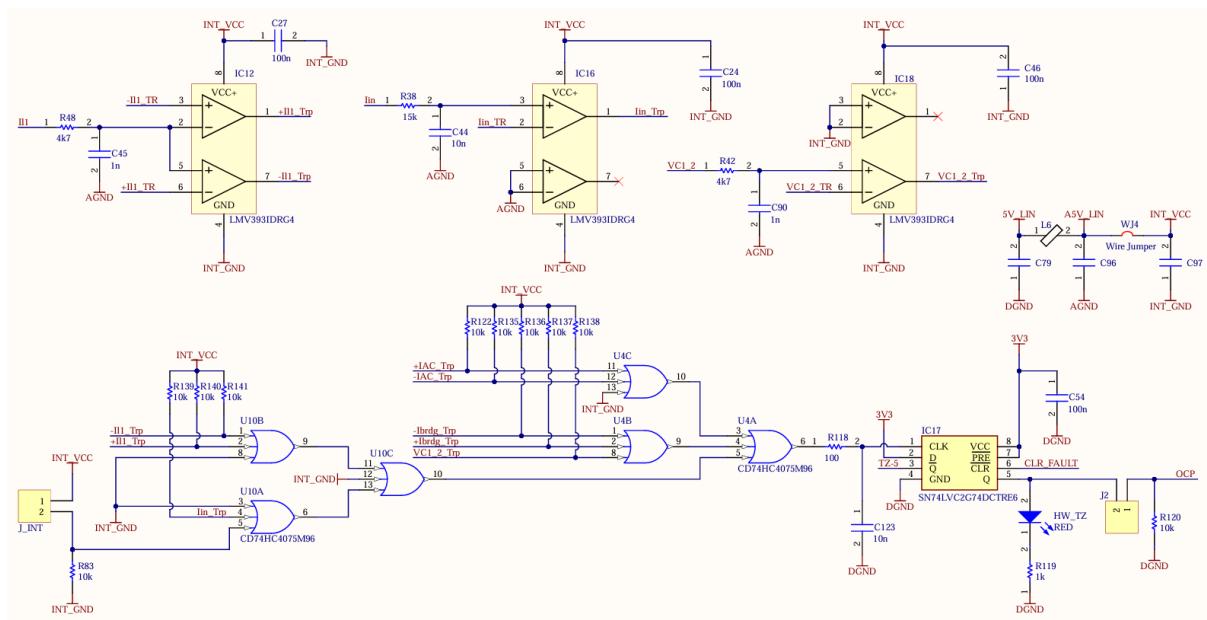


Figura 3.62: Circuito de protecciones por hardware corregido.

Recableado de pines del DSP

- Cambio en entrada de *level shifter*: Se identificó que una entrada del DSP, en donde se leía la señal “OC”, que debía conectarse a la salida de un level shifter, estaba conectada a la entrada de dicho IC. Por lo tanto, se desconectó R104 del pin 11 de IC15, luego se agregó un puente desde R104 al pin 4 de IC7 y finalmente se colocó otro puente desde el pin 11 de IC7 al pin 4 de IC15.
- Conexión a masa de LEDs: Se conectó la masa de los LEDs 1 a 4 con un puente en la capa *bottom* de la PCB debido a que por un error en el diseño habían quedado desconectados.
- Cambio de pulsador de falla: Inicialmente este pulsador se había ruteado al pin 32 del zócalo DIM (GPIO86), sin embargo, este pin se utiliza para determinar el arranque del DSP y, por lo tanto, tiene un valor definido. Por ello se cortó la pista que unía al pin 32 (GPIO86) del DIM y se la unió con el pin 34 (GPIO15). El pulsador de clear de falla queda entonces conectado al GPIO15.

- Cambio de señal de *reset* de potenciómetros digitales: Inicialmente esta señal estaba pensada para ser manipulada por el pin 42 (GPIO87). Sin embargo, el GPIO87 también se utiliza para definir el *booteo* del DSP. Por ello, se decidió cambiarla al pin 39 (GPIO18), para lo cual se cortó la pista que iba del pin 42 del zócalo DIM y fue unida con el pin 39. La salida de reset de los potenciómetros digitales queda entonces conectada al GPIO18.
- Cambio de señal de *output enable* de potenciómetros digitales: Inicialmente esta señal estaba pensada para ser manipulada por el pin 81 (GPIO85). Este pin también es usado para definir desde dónde *bootea* el microcontrolador, por lo que se decidió cambiarla al pin 83 (GPIO13), para lo cual se cortó la pista que iba hacia pin 81 del zócalo DIM y fue unida con el pin 83. La salida de output enable de los level shifters queda entonces conectada al GPIO13.

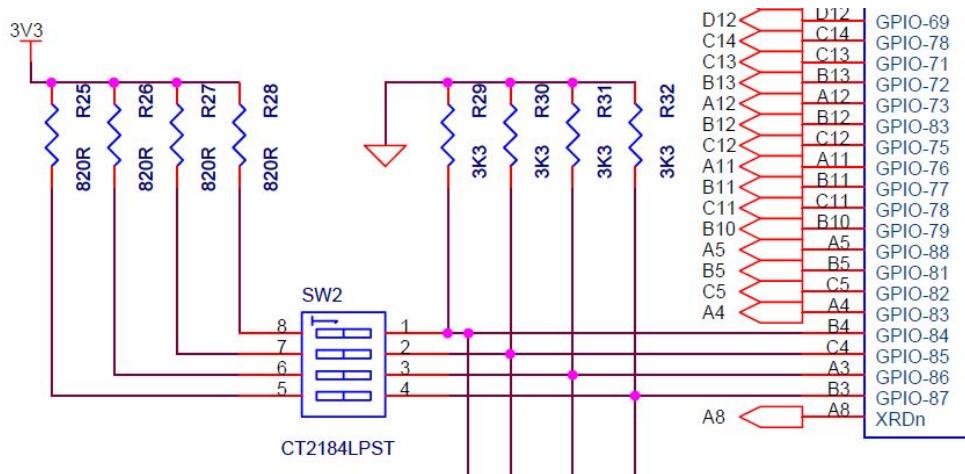


Figura 3.63: Pines GPIO84 a GPIO87 de la ControlCard conectados al switch para seleccionar el modo de booteo.

Entradas de falla

Dado el ruido conducido proveniente de la comutación de los dispositivos de potencia, se detectó que el mismo producía que las señales de FLT y RDY, provenientes de los drivers de los transistores, cambiaron su nivel, dando acuse de una falla inexistente. Para mitigar esto, se colocaron filtros RC pasabajos en dichas entradas y preventivamente en la entrada OCP, como se muestra en la figura 3.64.

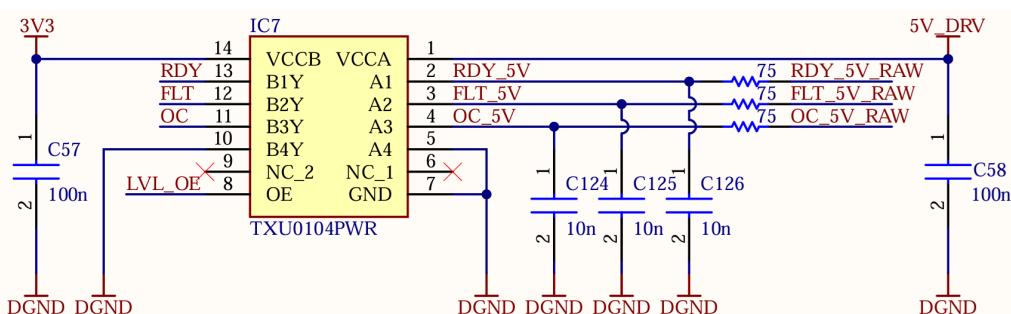


Figura 3.64: Filtros en las señales de entrada FLT, RDY y OCP.

Tensiones de alimentación

Se observó en algunos ensayos la existencia de fenómenos oscilatorios en las formas de onda de V_{BUS} , como se muestra en la figura 3.65. Analizando el circuito, se llegó a la conclusión de que la utilización de bobinas acopladas para filtrar el ruido de modo común podía ser perjudicial, dado que representan una impedancia que desacopla las masas del circuito en alta frecuencia. Esto puede producir la pérdida de referencia a masa y dar lugar a fenómenos oscilatorios. Se optó por retirar, preventivamente, todas las bobinas de este tipo que había en la placa de control y en su lugar se colocaron bobinas tipo *choke* de 600Ω @ 100MHz. Las mismas se ubicaron solamente en las líneas de alimentación, puenteando directamente las masas, como se puede ver en la figura 3.66. Se comprobó experimentalmente, dado que las oscilaciones desaparecieron luego de hacer el cambio, que las bobinas acopladas efectivamente las estaban causando.

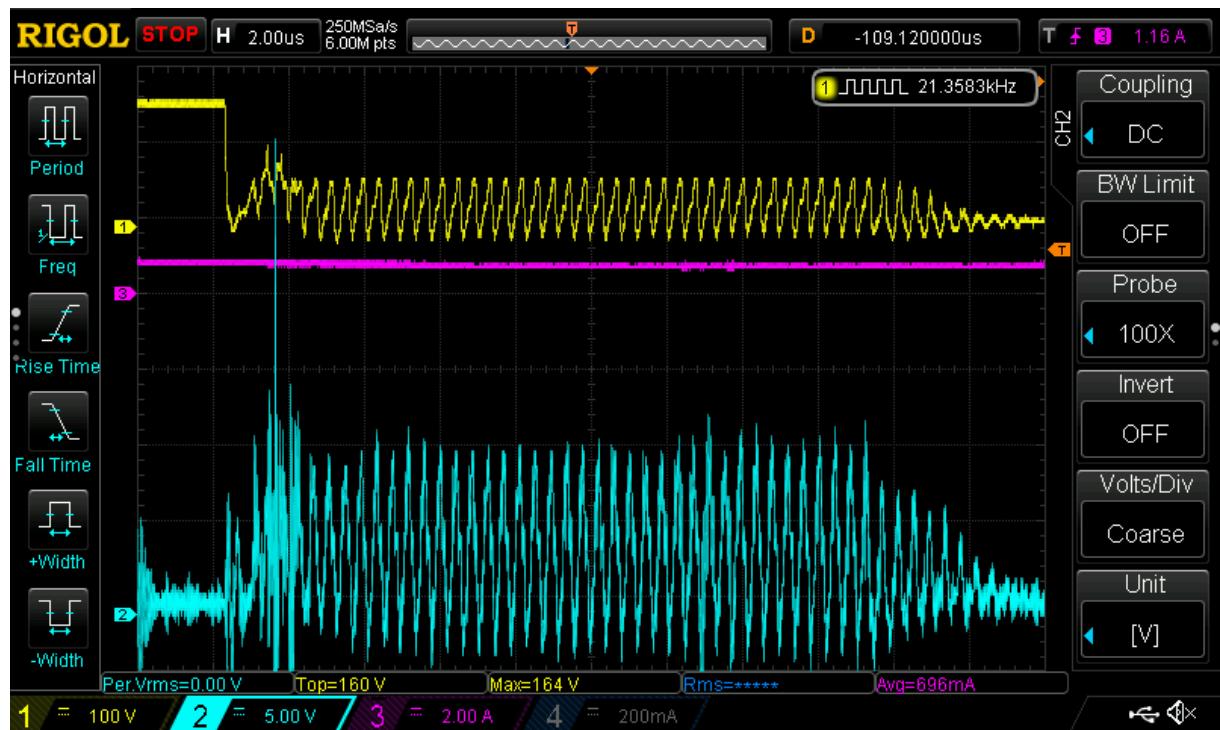


Figura 3.65: Oscilaciones presentadas en el bus de CC durante los ensayos.
CH1: V_{bus} . CH2: V_{GS} de Q_{DZ} . CH3: I_{in} .

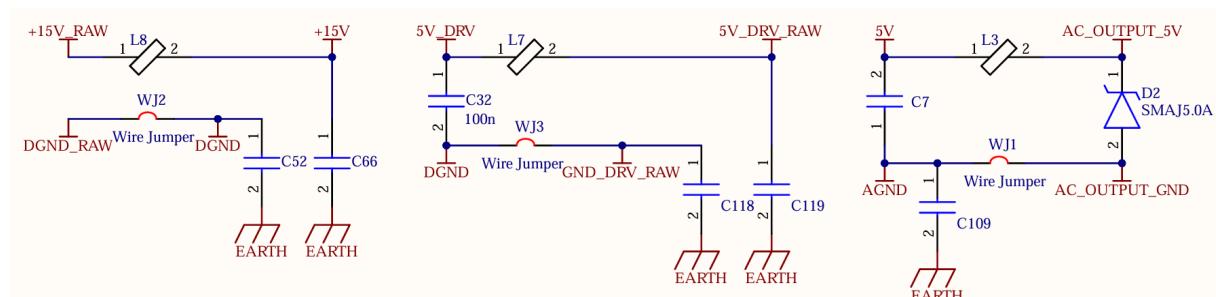


Figura 3.66: Cambio de bobinas acopladas por chokes de 600Ω en la placa de drivers.

3.9.2. Placa de salida CA

Sensor de efecto Hall

Como una forma adicional de mitigar el problema de los disparos espúreos de la protección de la corriente salida (I_{AC}), se decidió hacer uso de la limitación de ancho de banda del sensor de corriente de efecto Hall utilizado (ACS710 [1]), colocando un capacitor en su pin 11 (FILTER). Analizando la gráfica 3.67 se decidió colocar un capacitor de $2,2nF$ y de esa manera reducir el ancho de banda del sensor a 40kHz.

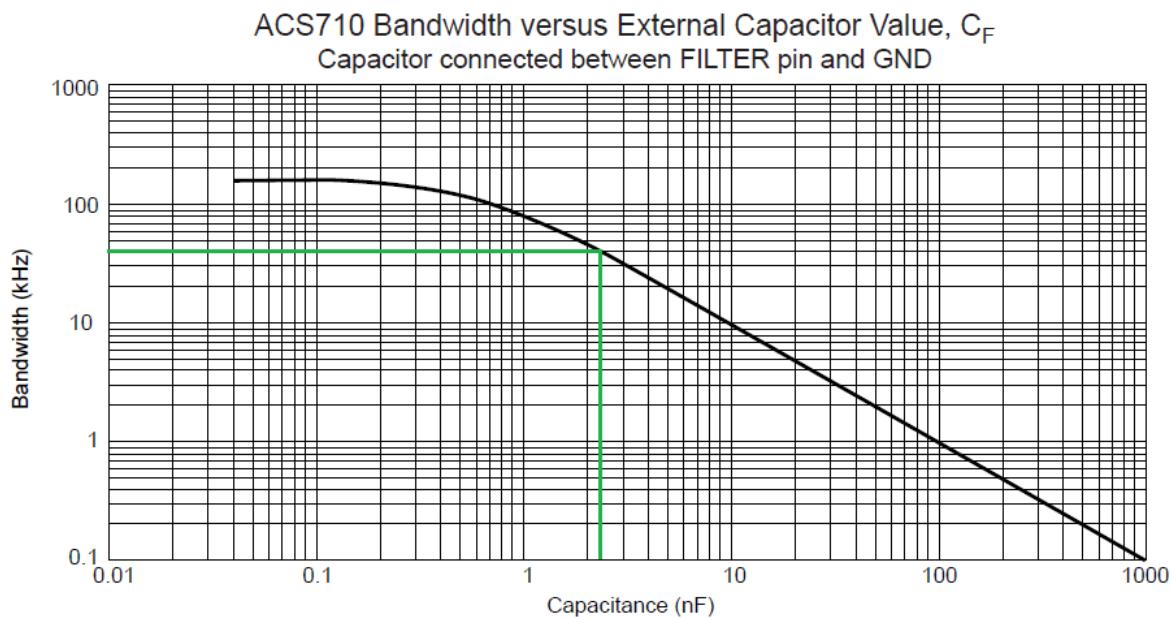


Figura 3.67: Curva de respuesta en frecuencia del sensor de efecto Hall ACS710. Figura extraída de [1].

Con esta modificación, sumada a las demás ya descriptas sobre los circuitos de adaptación analógica y de protecciones por hardware de la placa de control, se lograron reducir en gran medida los disparos por ruido. Se eliminaron los disparos espúreos para el funcionamiento a valores de tensión de un 90 % de la tensión nominal, disparándose la protección de I_{AC} a valores nominales. Para eliminarlos por completo, se debió aumentar el valor de comparación de la protección de I_{AC} , funcionando así el inversor sin disparos espúreos a tensiones nominales.

3.9.3. Placa Convertidor CC/CA

Reemplazo de MOSFETs de potencia por transistores IGBT

Durante los primeros ensayos se detectó que debido a la alta velocidad de conmutación de los dispositivos de potencia (lo que produce elevadas $\frac{dV}{dt}$) había una gran cantidad de ruido conducido e irradiado dispersándose por los distintos circuitos del convertidor, que afectaba a su funcionamiento. Como ejemplo, en la figura 3.68 se puede ver la interferencia generada sobre la tensión de alimentación de la placa de control, lo que provocaba que el DSP se reinicie.

La consecuencia más destructiva causada por esto fue una cadena de eventos que terminó en el daño irrecuperable de varios dispositivos de potencia, que se describe a continuación:

1. La gran velocidad de conmutación de los dispositivos provocó resonancias que dieron lugar a sobrevalores de tensión en el bus de CC.
2. Estos sobrevalores provocaron que los transistores de las redes de Snubber dejen de conmutar, dado que sus drivers entraron en un estado de falla.
3. Esto generó que la tensión de los capacitores de las redes Snubber comience a aumentar sin control, dado que no tenían la posibilidad de descargarse.
4. Una vez alcanzado el valor de tensión de ruptura de los transistores de estas redes los mismos se destruyeron, apareciendo un cortocircuito entre sus terminales de *drain*, *source* y *gate*.
5. Este cortocircuito causó una descarga abrupta de los capacitores a través de estos transistores y de los transistores del puente, lo que hizo que circule una gran intensidad de corriente a través de ellos. Además, destruyó los drivers de estos transistores, dado que al estar cortocircuitado el terminal de *gate* con los demás, los mismos fueron expuestos a la tensión del bus de CC.
6. Este pico de gran intensidad de corriente, terminó por destruir a algunos de los transistores del puente.

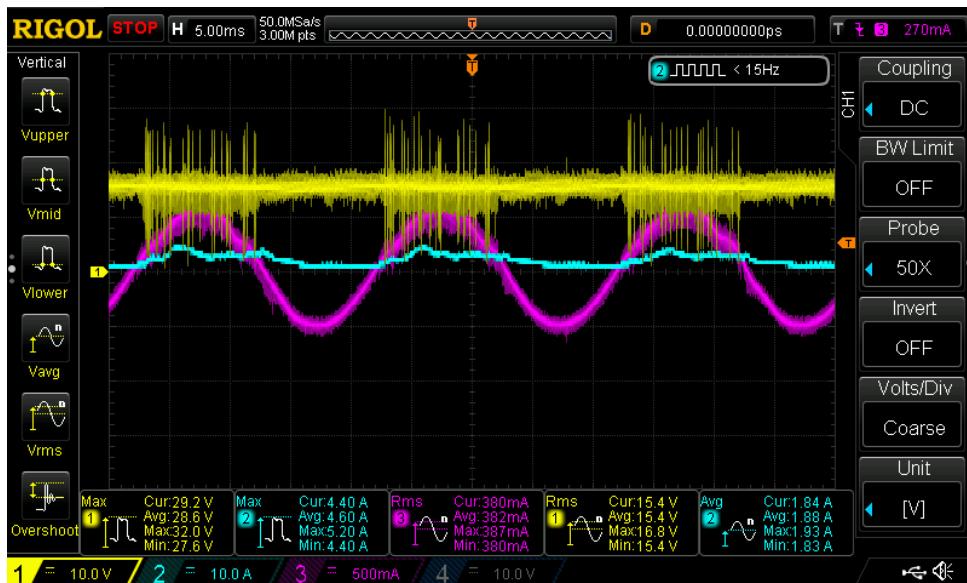


Figura 3.68: Ruido en la tensión de alimentación de la placa de control.

CH1: +15V_ISO_3. CH2: I_{in} . CH3: I_o .

Dado que los drivers de los transistores de potencia utilizados (1ED020I12 [9] y 2ED020I12 [7]) están optimizados para trabajar con transistores IGBT y que los dispositivos de este tipo son menos sensibles al ruido que los MOSFETs (porque la capacidad C_{GC} de un IGBT es menor que la capacidad C_{GD} de un MOSFET equivalente), se decidió reemplazar los MOSFETs del puente y de la red Z por transistores IGBT IKW20N60T [8].

Resistencias de pull-down de los dispositivos de potencia

Se colocaron resistencias de pull-down de $10k\Omega$ entre los terminales de *gate* y *emisor* de cada IGBT del puente y del IGBT de la red Z, para evitar que entren en conducción de manera espúrea durante la manipulación del convertidor, mediante alguna descarga estática. También se colocaron resistencias entre los terminales de *gate* y *source* en los MOSFETs de las redes Snubber por el mismo motivo.

Redes Snubber activas

Para mejorar el desempeño de las redes Snubber se colocaron resistencias de $3,9k\Omega$ en serie a los terminales de *drain* de los MOSFETs, con el objetivo de descargar controladamente a los capacitores. Inicialmente, como elemento limitador de la corriente de descarga de los capacitores, se utilizaron los propios transistores polarizados en zona activa. Con el agregado de las resistencias, deja de ser necesario polarizar a los transistores en zona activa, pudiendo trabajar los mismos en zona óhmica, lo que hace más sencilla su excitación. Además, se asegura un valor de resistencia de descarga del capacitor con poca deriva, determinado únicamente por el valor óhmico de las nuevas resistencias agregadas. Por otra parte, se colocó un diodo MUR460 [3] en paralelo al MOSFET de cada red Snubber para evitar que toda la corriente de carga del capacitor circule por su diodo interno, reduciendo así el estrés sobre el mismo. Finalmente, se colocaron series de cinco TVS 5KP85A [15] en paralelo a los transistores para limitar la tensión de los capacitores en caso de que su descarga falle por algún motivo, evitando que estos y los MOSFETs se dañen por sobretensión. Los cálculos realizados para determinar los valores de los componentes de este circuito están desarrollados en el apéndice A. En la figura 3.69 se muestra el circuito esquemático con los cambios descriptos.

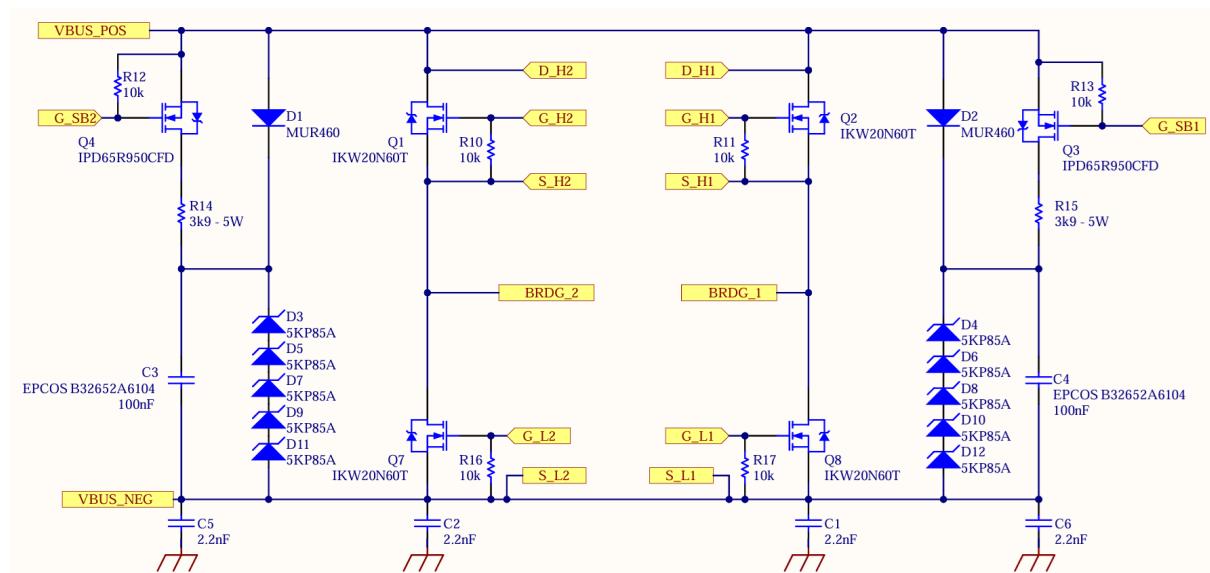


Figura 3.69: Circuito esquemático del Snubber activo y el puente inversor corregidos.

Capacitores del bus de tensión continua

Al manipular el inversor luego de su uso se notó que los capacitores del *bus de tensión continua* permanecían cargados durante un tiempo muy prolongado luego de haber apagado el equipo, dada la ausencia de alguna resistencia que permitiera su descarga. Para solucionar este inconveniente, se calculó un valor de resistencia tal que permita descargar los capacitores dentro de un tiempo prudencialmente corto, pero que al mismo tiempo, mientras el equipo funciona en condiciones nominales, disipen una potencia despreciable. Se colocaron dos resistencias de $1M\Omega$ sobre los terminales de cada capacitor de la red Z (como se puede ver en el circuito esquemático de la figura 3.70), obteniéndose una R_{eq} de alrededor de $100k\Omega$ por cada conjunto de capacitores (dado que están conectados de a cinco en paralelo). Estas permiten descargar por completo a los capacidores en un tiempo de 4 minutos, disipando menos de $2W$ cada una a tensión nominal del bus de CC.

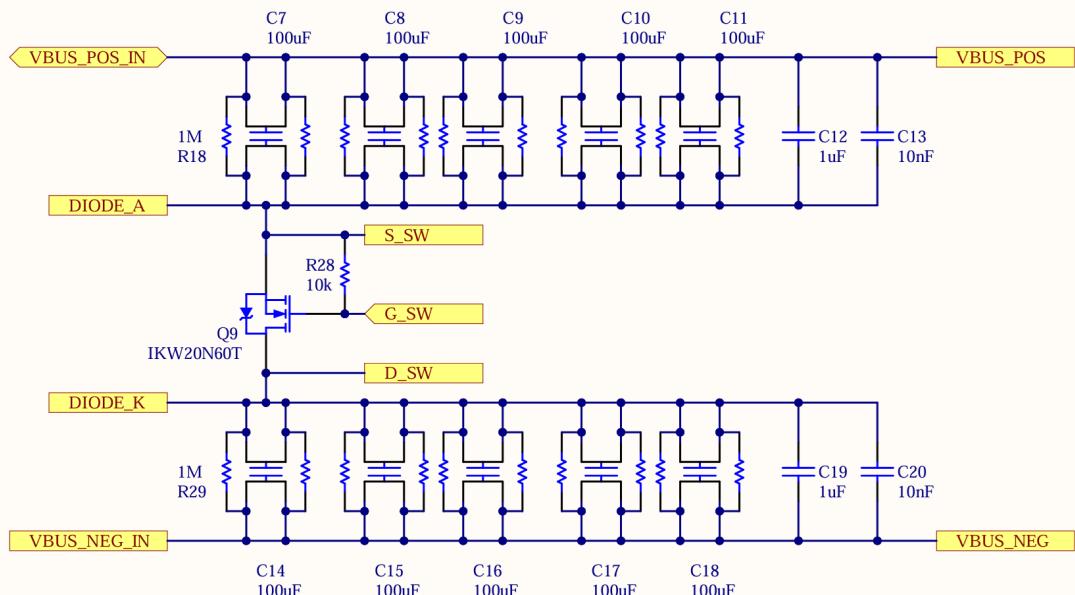


Figura 3.70: Circuito esquemático de las resistencias de descarga de los capacitores de la red Z.

3.9.4. Placa de Drivers

Eliminación de bobina acoplada

En esta placa se colocó inicialmente una bobina acoplada en el riel de alimentación formado por 15V_ISO3 y GND_ISO3, utilizada como filtro de ruido a modo común. Dado que de este riel se alimentan las etapas de salida de los drivers de los transistores del puente, que se encuentran en la “zona ruidosa” de la placa, se consideró necesario filtrarlo. Sin embargo, como se explicó en la sección 3.9.1, estas bobinas acopladas pueden causar oscilaciones indeseadas por introducir una impedancia en la masa del riel de alimentación. De la misma forma que en la placa de control, se retiró preventivamente esta bobina y en su lugar se colocó una bobina tipo *choke* de 600Ω @ 100MHz en la línea de 15V y un puente en la línea de masa. Esta modificación se puede observar en la imagen 3.71.

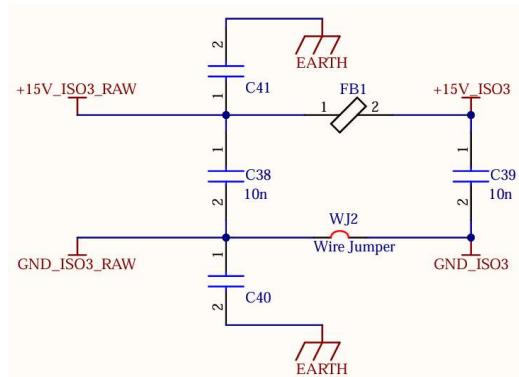
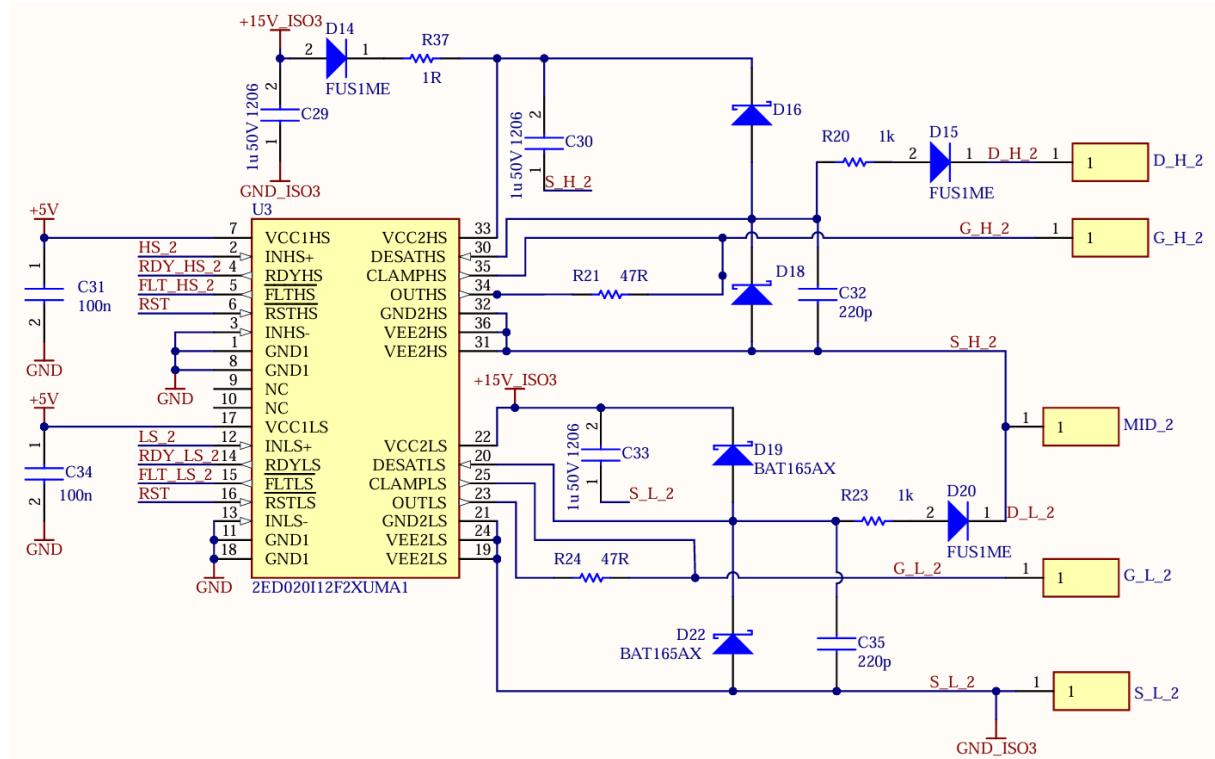


Figura 3.71: Cambio de la bobina acoplada por *choke* de 600Ω en la placa de drivers.

Resistencias de gate de los dispositivos de potencia

Para mitigar el ruido debido a la alta velocidad de conmutación de los dispositivos de potencia desde su origen, se buscó aumentar la resistencia de gate de los transistores, lo que aumentaría su tiempo de conmutación, reduciendo así la $\frac{dV}{dt}$). Se reemplazaron entonces las resistencias de gate de 4,7 Ω por otras de 47 Ω en el circuito de excitación de los transistores del puente (R21, R24, R13 y R18) y del transistor Q_{DZ} (R4). Además, se eliminó del circuito de excitación la resistencia de apagado, dejando como única resistencia a la de 47 Ω , tanto para el encendido como para el apagado de los dispositivos. En la figura 3.72 se puede observar el nuevo circuito de excitación de estos transistores.



Drivers de los transistores de las redes Snubber

A lo largo de los ensayos iniciales, se pudo observar que las redes Snubber no estaban funcionando correctamente, ya que el capacitor asociado a las mismas nunca se descargaba, provocando que su tensión aumente hasta la destrucción del transistor de la propia red. Se halló que los drivers de estos transistores estaban siendo alimentados con una tensión de 5V, cuando la tensión mínima de trabajo recomendada por el fabricante es de 10V. Esto provocó que nunca se activen los transistores y, por lo tanto, que nunca se descarguen los capacitores. Para solucionar este inconveniente se cortó, para cada driver, la pista que lo alimentaba con 5V en el pin 1, y utilizando puentes se cableó este pin hasta el riel de 15V_ISO3.

Por otra parte, para acelerar el encendido de los transistores de las redes Snubber y así asegurar la descarga de los capacitores en el tiempo disponible, se reemplazaron las resistencias de gate que estaban colocadas anteriormente (R_1 y R_2 , de 150Ω) por otras de 39Ω .

La idea inicial para estos transistores fue poder utilizarlos en su zona lineal, evitando así el agregado de una resistencia de Snubber. Para ello, se diseñó el circuito de excitación con un regulador lineal de tensión variable con el cual se podía ajustar el valor de la tensión V_{GS} de los mismos. El problema detectado con esta configuración surge analizando los circuitos de las figuras 3.69 y 3.73. La tensión de gate de los transistores se consigue a través de un circuito de bootstrap, y está referida a VBUS_NEG (o GND_ISO3_RAW, ya que son el mismo nodo). Por lo tanto, la tensión V_{GS} efectiva será igual a $V_{GG_RAW} - 2 \cdot V_{CE}$, donde V_{CE} es la tensión colector-emisor de los transistores IGBT del puente cuando están en conducción. Según el datasheet de los IGBT utilizados [8], su tensión V_{CE} de saturación puede ser de hasta 2V, lo que hace que la tensión V_{GS} de los transistores de las redes Snubber tenga un valor considerablemente menor a la tensión V_{GG_RAW} configurada. Por este motivo, se decidió fijar la tensión V_{GG_RAW} en 15V, retirando el regulador de tensión y colocando un puente entre su entrada y su salida.

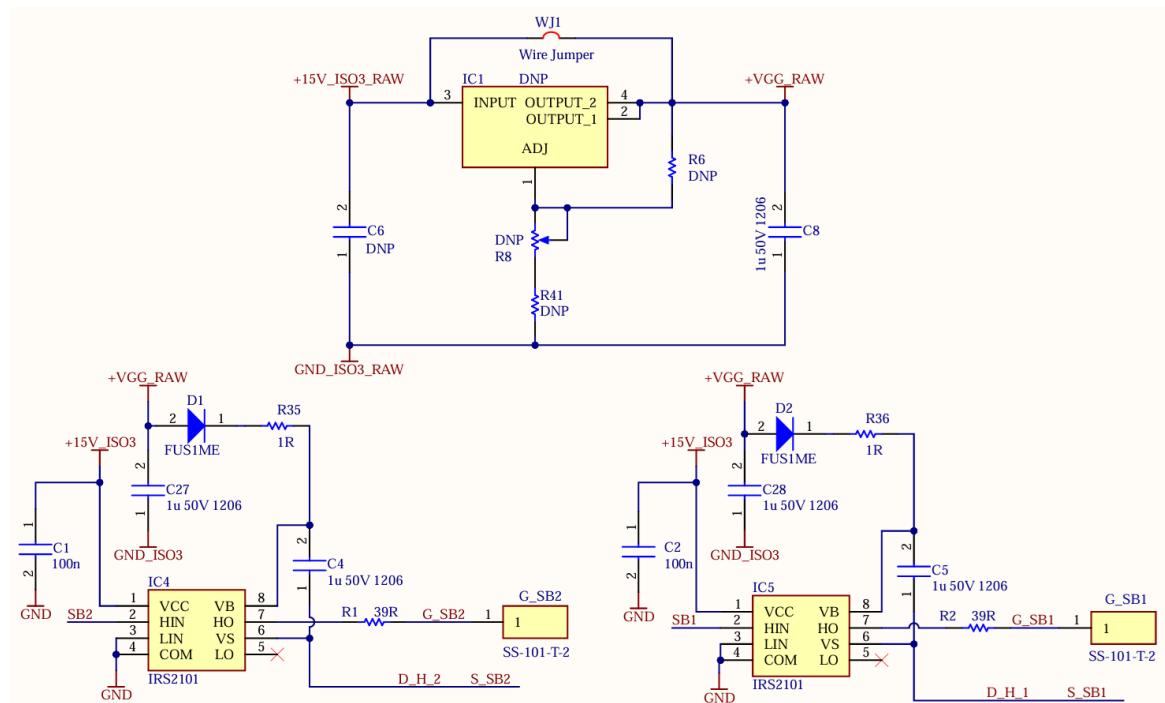


Figura 3.73: Circuito de excitación de los transistores de las redes Snubber corregido.

Mejoras a realizar en el layout y ruteo

Como se especificó al inicio de este capítulo, todas las mejoras fueron realizadas sobre la primera versión de las placas fabricadas, sin hacer un rediseño ni la fabricación de una segunda versión. Por lo tanto, aunque se detectaron posibles mejoras en el layout y ruteo de la placa de drivers, las mismas no fueron implementadas, quedando pendientes para una versión futura de la misma.

Por un lado, es posible mejorar el ruteo del conector de alimentación de la placa, mediante el cual ingresan dos rieles de 15V aislados entre sí, 15V_ISO2 y 15V_ISO3. Como se puede ver en la figura 3.74, los dos pines de la izquierda del conector ISO_PWR, pertenecientes al riel de alimentación 15V_ISO2, están conectados a pistas ruteadas hacia la zona “ruidosa” de la placa, pero se encuentran en la zona “ limpia”. Esto se podría corregir fácilmente separando el conector de alimentación en dos, y colocando el correspondiente a 15V_ISO2 a la izquierda del driver U4.

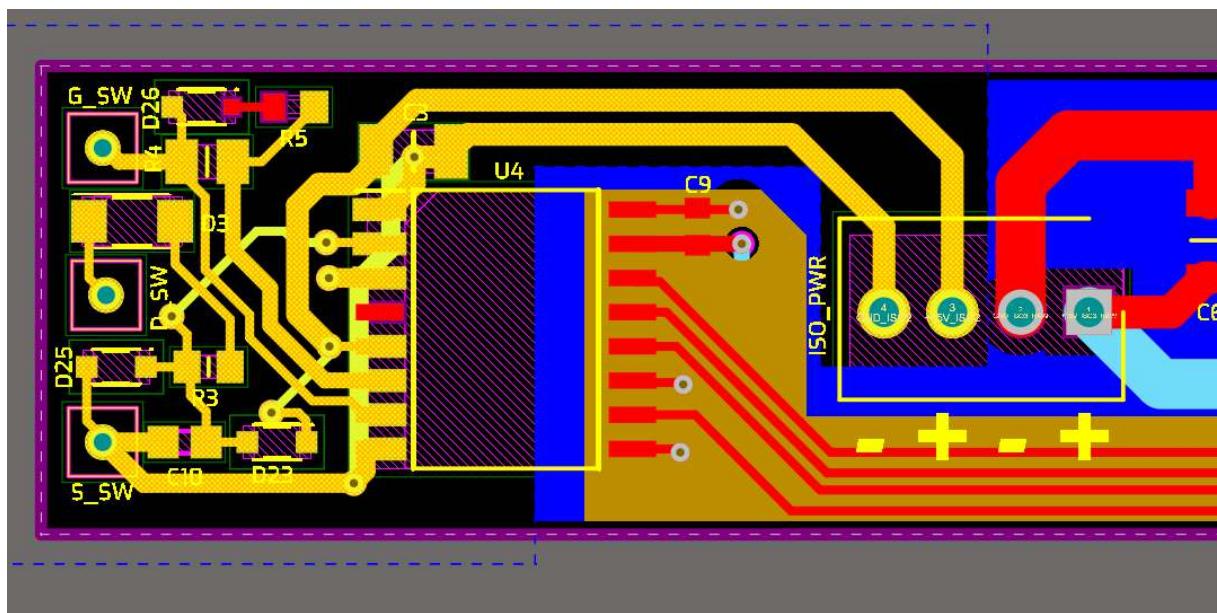


Figura 3.74: Conector de alimentación de la placa de drivers.

Por otra parte, se encontró que los circuitos de excitación de gate de los transistores del puente no son simétricos en su ruteo. De esta manera, poseen distintas impedancias y retardos de propagación, lo cual no es óptimo sobre todo para que trabajen con altas frecuencias de conmutación. En un futuro rediseño de la placa, se debe tener en cuenta esto y rutear cuidadosamente los cuatro circuitos de excitación de los transistores del puente, de manera que sean simétricos.

Finalmente, se debe evaluar también a la hora de realizar un nuevo diseño de esta placa la posibilidad de conectar la masa de los drivers de los transistores de las redes Snubber a la masa del puente de forma directa. Esto se logra uniendo con una pista de longitud lo más corta posible el pin de GND de cada driver con el emisor del transistor low-side de la rama del puente asociada a esa red Snubber. Con esto se reduce la inductancia del circuito de bootstrap, lo que es deseable a la hora de evitar sobretensiones en los drivers que puedan afectar su funcionamiento [28].

Capítulo 4

Puesta en marcha y ensayos

En este capítulo se exponen los resultados obtenidos luego de la puesta en marcha del convertidor, funcionando el mismo a lazo abierto. Estos ensayos han sido realizados siguiendo un riguroso procedimiento para garantizar la seguridad de quienes los realizan, así como del equipo mismo.

4.1. Preparación del instrumental y cargas

Antes de realizar un ensayo sobre un equipo se debe pensar en qué instrumentos serán necesarios para llevar a cabo dicha experiencia. Para cada ensayo se requiere una fuente de alimentación, un osciloscopio digital, algunos multímetros y varias sondas de tensión y corriente de osciloscopio para poder visualizar las formas de onda de las diversas señales del inversor.



Figura 4.1: Disposición del tablero de control, inversor y carga para realizar los ensayos y mediciones.

En una primera instancia se dispuso de una fuente programable de 3kW para alimentar al inversor en su entrada de corriente continua, que se puede observar en la imagen 4.2.



Figura 4.2: Fuente de alimentación programable de 3kW.

La misma puede ser configurada desde el teclado en su frente o a través de una PC, usando el protocolo de comunicación MODBUS. Para poder aprovechar esta característica se desarrolló una interfaz de usuario gráfica (GUI) en Python, que se puede ver en la figura 4.3. Utilizando esta GUI es posible encender y apagar la fuente, modificar el valor de tensión a la salida, modificar el límite de corriente de la fuente, variar la tensión de alimentación siguiendo una curva predeterminada y visualizar en tiempo real los valores y parámetros de la fuente y las variables de salida.

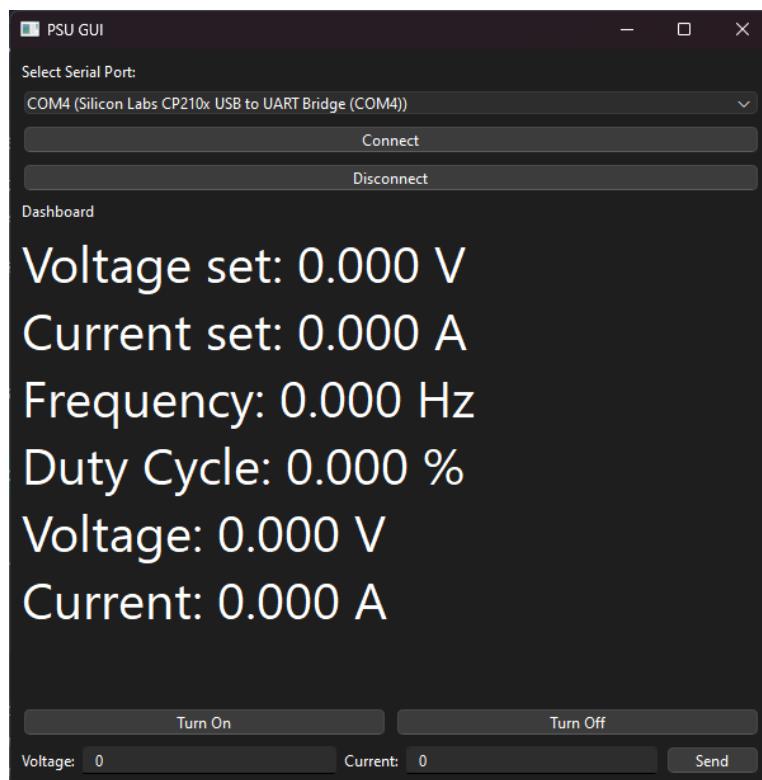


Figura 4.3: Interfaz gráfica en Python para el control de la fuente.

Por razones de disponibilidad, los ensayos expuestos en los próximos puntos han sido realizados con una fuente diferente, de menores prestaciones. Se puede apreciar la misma en la imagen 4.4. Posee tres canales independientes de 150V – 5A cada uno, con una potencia máxima por canal de 300W. Para los ensayos se conectaron los tres canales en serie, y se dividió la tensión de salida deseada de forma equitativa entre ellos.



Figura 4.4: Fuente de alimentación de tres canales.

Por otro lado, se hizo uso de dos osciloscopios: Rigol DS1054Z (con ancho de banda expandido a 100MHz) y Rigol DS1074Z.

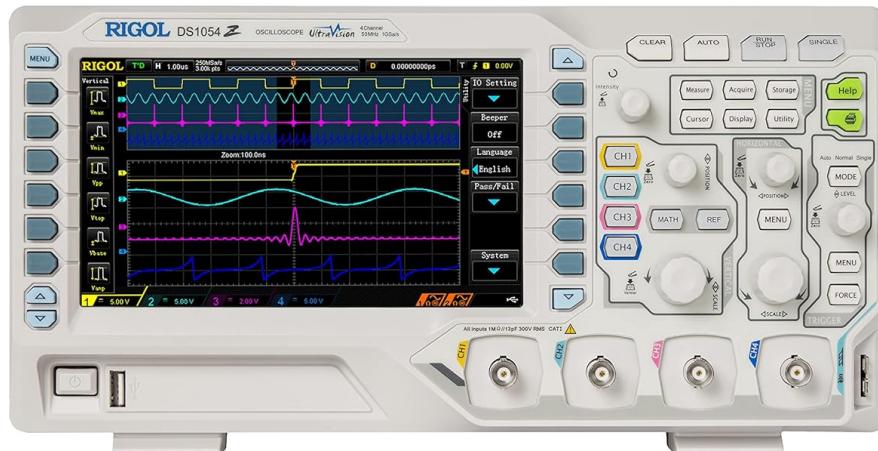


Figura 4.5: Osciloscopio Rigol DS1054Z.

Para realizar mediciones de corriente se utilizaron sondas de corriente DC/AC marca Hantek, modelo CC-65, mientras que para la medición de tensiones flotantes, se utilizaron dos puntas de medición aisladas de alta tensión: Hantek HT8100 y Pintek DP-150 Pro. Estos instrumentos se muestran en la figura 4.9.



(a) Sonda Hantek CC-65.

(b) Sonda Hantek HT8100.

(c) Sonda Pintek DP-150 Pro.

Figura 4.6: Sondas de osciloscopio utilizadas para realizar los ensayos.

Habiendo mencionado el instrumental empleado, se pasará a describir las cargas empleadas. Estas se conectan a la salida del inversor durante los ensayos.

- Resistencias individuales: utilizadas para los primeros arranques, compuestas por dos resistencias de 330Ω en serie. Permiten que el inversor no trabaje en vacío.

Figura 4.7: Resistencias de potencia de 330Ω en serie.

- Carga resistiva ajustable: arreglos de resistencias en serie montadas sobre disipadores. Permiten obtener diferentes valores de carga según el caso que se requiera. Compuestas por resistencias de $5, 6\Omega$ $50W$ conectadas en serie para formar diversos arreglos. Cuatro arreglos, R1 a R4, se encuentran formados por tres resistencias individuales en serie, resultando en un total de $16, 8\Omega$. Dos arreglos, R5 y R6, se encuentran formados por dos resistencias en serie, dando un total de $11, 2\Omega$. La potencia disipada máxima admisible resulta de $800W$. Posee ventiladores para facilitar la circulación de aire y mejorar la dissipación térmica. En la parte lateral se encuentra una bornera que facilita la conexión del

dispositivo a ensayar con la carga, lo que permite que se conecten en serie o en paralelo cada una de las filas de resistencias según lo requerido. En la figura 4.8 se observa un diagrama de conexión de los arreglos de resistencias a las borneras. mientras que en la figura ?? se puede ver la caja donde están montadas las resistencias.

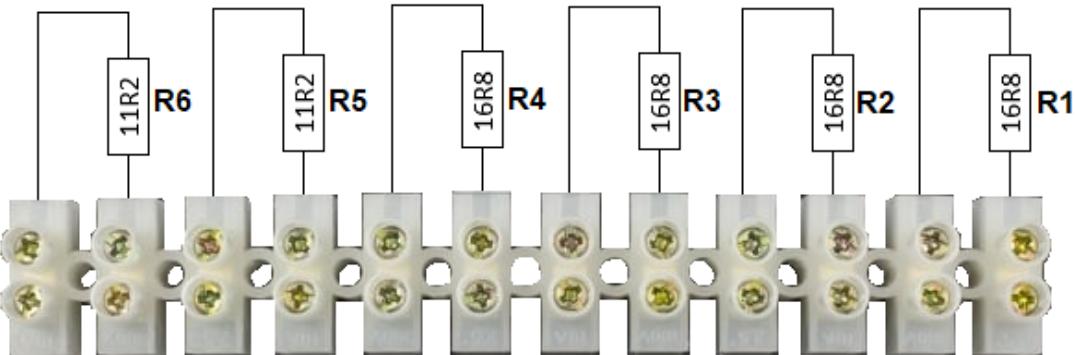


Figura 4.8: Diagrama de conexiones del arreglo de resistencias de carga.

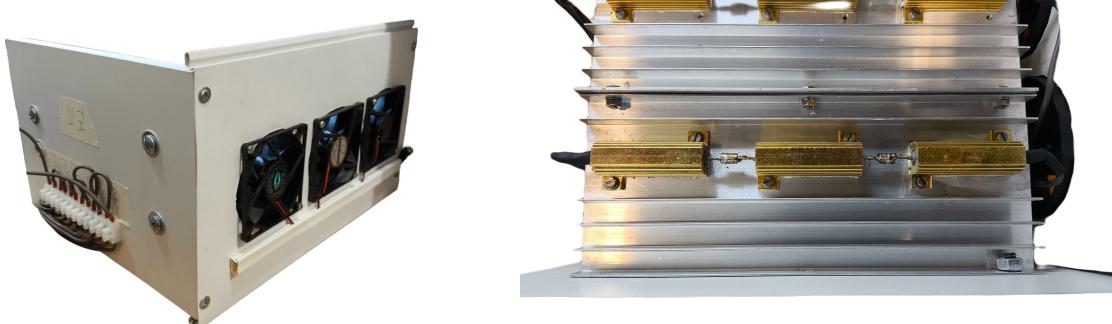


Figura 4.9: Arreglo de resistencias de hasta 800W.
A la izquierda: bornera de conexión y ventiladores. A la derecha: resistencias de potencia.

4.2. Protocolo de ensayo

Para cada ensayo a realizar se siguió el siguiente procedimiento:

1. Realizar y verificar que todas las conexiones eléctricas sean correctas de acuerdo al ensayo a realizar.
2. Configurar los instrumentos de medición de manera adecuada, según lo requerido por el ensayo.
3. Verificar que el firmware a cargar en el DSP sea el correcto, y que todos los parámetros sean acordes a lo configurado en el instrumental. Verificar además la conexión entre la ControlBoard y la Docking Station.

4. Acomodarse en los puestos designados:
 - En caso de ser dos personas: una será la encargada de la alimentación del inversor y de tomar nota, mientras que otra realizará la carga del código y manejará el osciloscopio.
 - En caso de ser tres personas: una será la encargada de la alimentación del inversor, otra tomará nota y manejará el osciloscopio, mientras que otra cargará el código.
5. Dar aviso de que se está por energizar el equipo.
6. Energizar el equipo, mirando atentamente los consumos y verificando que no existan valores anormales.
7. Proceder con la carga del código y realizar el ensayo propiamente dicho.
8. En caso de existir alguna anomalía grave, cortar la energía con el golpe de puño inmediatamente. En caso contrario, finalizar el ensayo y cortar la energía.
9. Notificar a todos que es seguro manipular el equipo.

4.3. Ensayos

A continuación se describen las diferentes pruebas que se realizaron sobre el inversor junto a los resultados obtenidos. Durante este conjunto de ensayos hubo modificaciones que se fueron llevando a cabo pudiendo diferenciar 3 etapas:

- 1ra Etapa: Uso de redes Snubber pasivas.
- 2da Etapa: Uso de una red Snubber activa y una pasiva.
- 3ra Etapa: Uso de dos redes Snubbers activas.

4.3.1. 1ra Etapa: Inversor con dos redes Snubber pasivas

En esta etapa se configuró al inversor con dos redes Snubber pasivas RCD, como se muestra en el diagrama esquemático de la figura 4.10. Se optó por utilizar este tipo de redes Snubber en las primeras pruebas en potencia para poder realizar ensayos de manera segura y verificar que el puente del inversor funcionase de manera correcta, sin reparar en los detalles de funcionamiento de las redes Snubber.

Durante todos los ensayos se utilizó un diodo en serie para proteger a la fuente ante una circulación en sentido opuesto de la corriente, ya que la misma es unidireccional. En esta primera etapa, además del diodo, se utilizó un capacitor de 1mF a modo de filtro para reducir los picos de corriente vistos por la fuente de tensión continua. El circuito de conexión entre esta fuente y el inversor utilizado en esta etapa se puede ver en la figura 4.11. En la captura de osciloscopio mostrada en la imagen 4.18 se puede apreciar el efecto de este filtro.

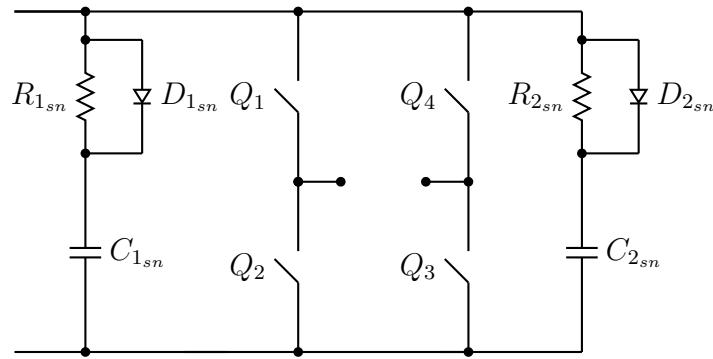


Figura 4.10: Diagrama esquemático de las redes Snubber pasivas implementadas en la 1ra etapa de ensayos.

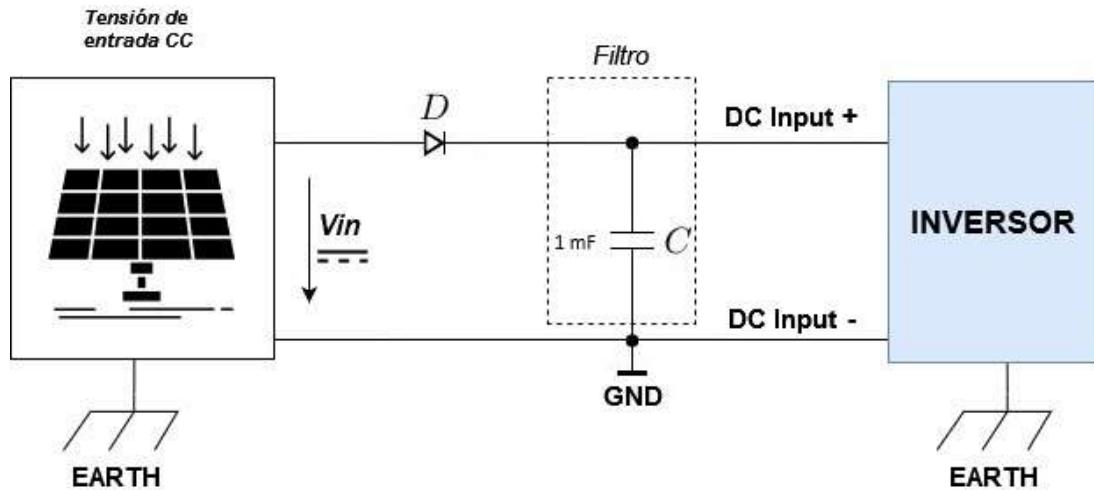


Figura 4.11: Diagrama de conexión entre la fuente de CC y el inversor en la primera etapa de ensayos.

Se presenta a continuación, en la tabla 4.1, un resumen de los ensayos más relevantes realizados, que permitieron comprobar el correcto funcionamiento del inversor para diferentes tensiones de entrada, de salida, y diferentes potencias. Los valores de tensión que se presentan corresponden a los valores de pico de cada señal.

Ensayo	V_i (V)	V_{BUS} (V)	$V_{o(max)}$ (V)	R_L (Ω)
1	100	150	100	90
2	120	200	120	62
3	150	220	160	62
4	180	260	180	62
5	220	320	220	62
6	270	340	240	62
7	300	380	300	90
8	300	380	300	73

Tabla 4.1: Ensayos realizados con el convertidor con dos redes Snubber pasivas.

Para cada ensayo se realizó una captura de pantalla del osciloscopio con el inversor funcionando en régimen. Las mismas se presentan en las imágenes 4.12 a 4.19. Para poder registrar los valores numéricos más relevantes, se configuraron de antemano las mediciones en el menú *Measure* del osciloscopio.

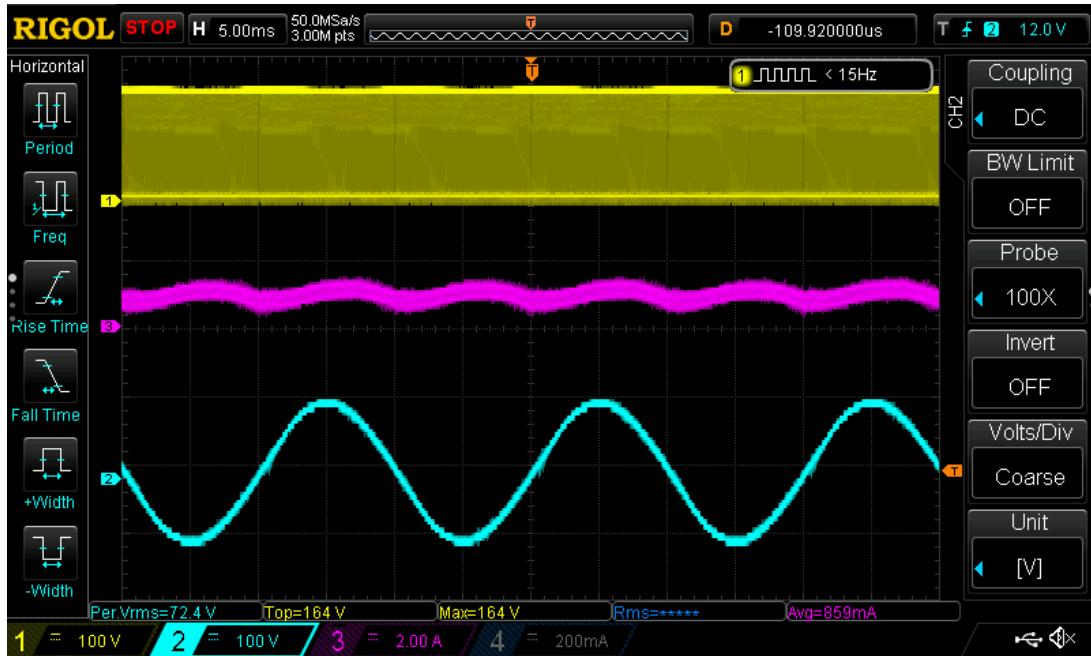


Figura 4.12: Ensayo 1 con dos redes Snubber pasivas.
CH1: V_{BUS} . CH2: V_o . CH3: I_{in} .

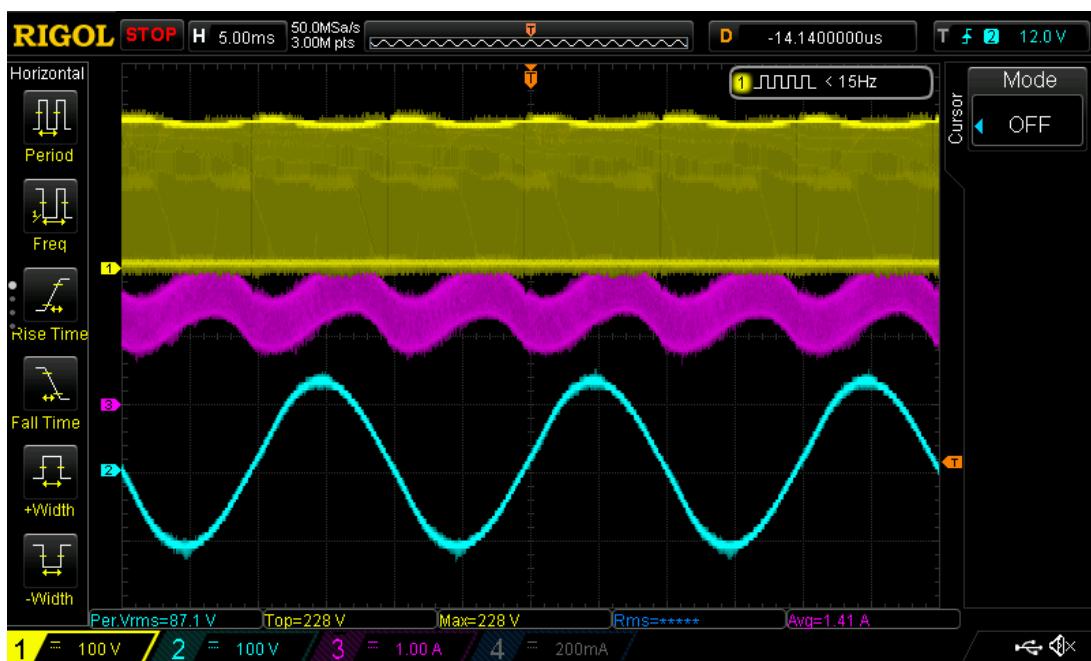


Figura 4.13: Ensayo 2 con dos redes Snubber pasivas.
CH1: V_{BUS} . CH2: V_o . CH3: I_{in} .

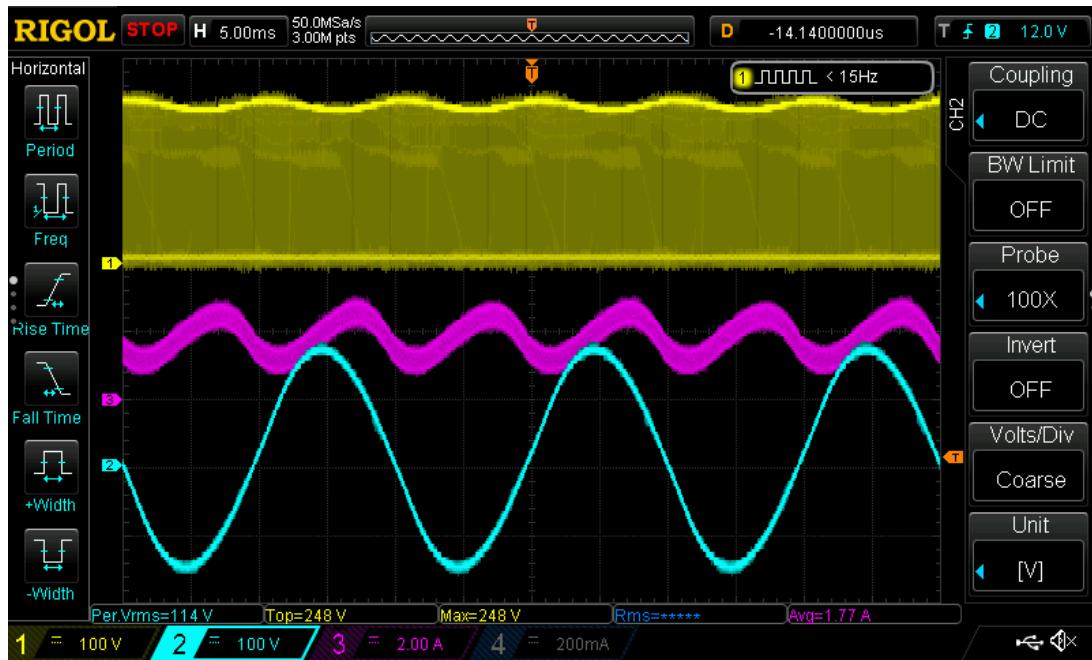


Figura 4.14: Ensayo 3 con dos redes Snubber pasivas.
CH1: V_{BUS} . CH2: V_o . CH3: I_{in} .

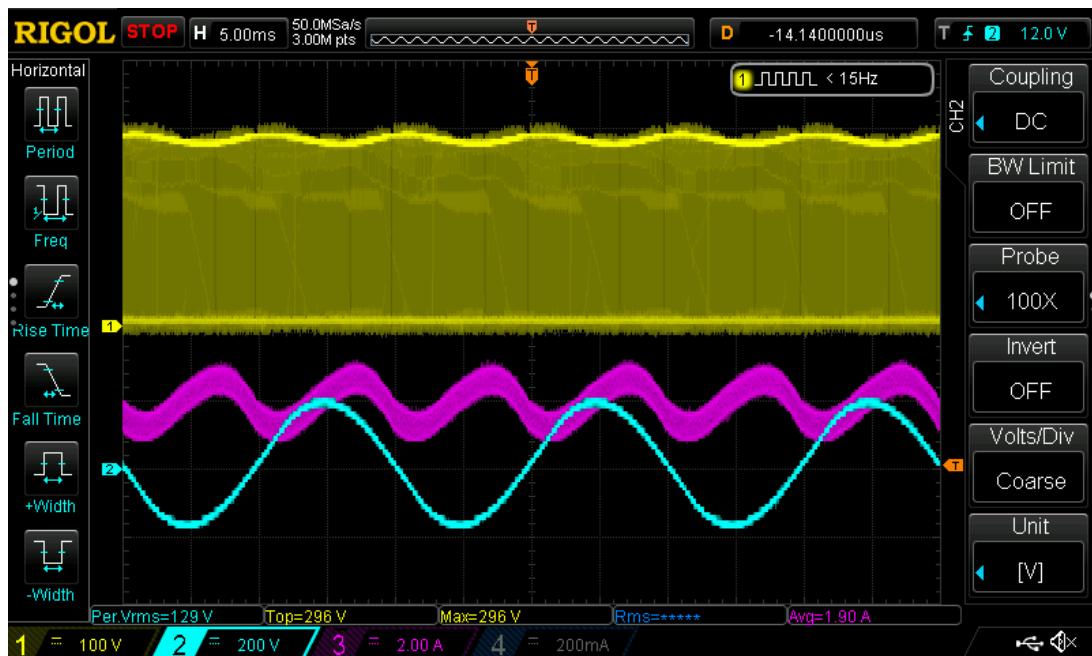


Figura 4.15: Ensayo 4 con dos redes Snubber pasivas.
CH1: V_{BUS} . CH2: V_o . CH3: I_{in} .

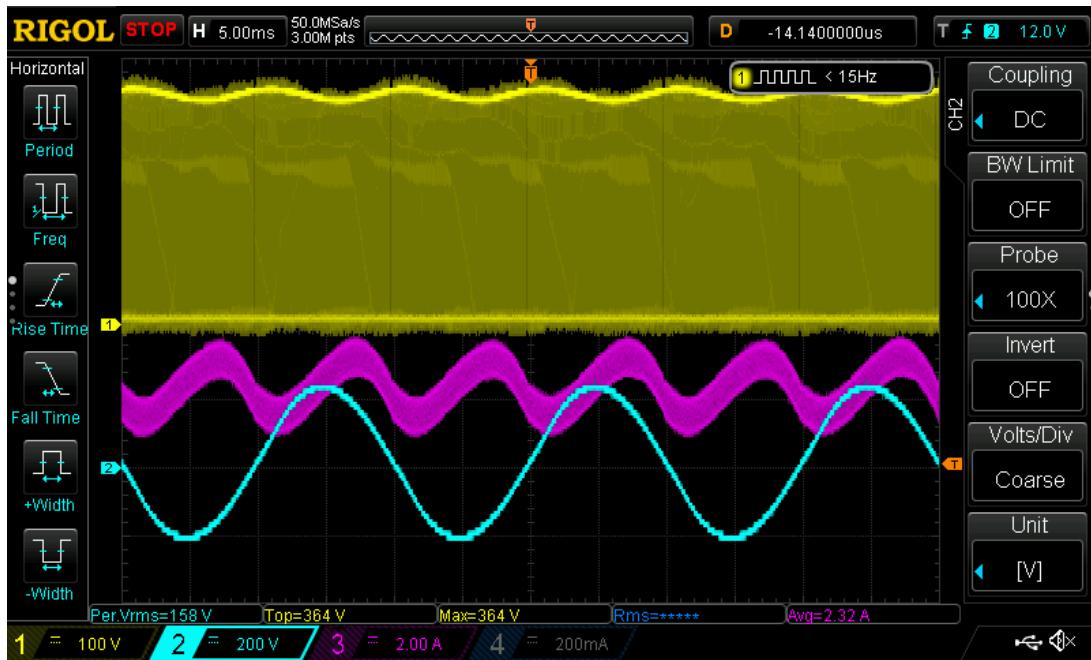


Figura 4.16: Ensayo 5 con dos redes Snubber pasivas.
CH1: V_{BUS} . CH2: V_o . CH3: I_{in} .



Figura 4.17: Ensayo 6 con dos redes Snubber pasivas.
CH1: V_{BUS} . CH2: V_o . CH3: I_{in} .



Figura 4.18: Ensayo 7 con dos redes Snubber pasivas.
CH1: V_{BUS} , CH2: V_o , CH3: I_{in} , CH4: I_{in} sin filtro.



Figura 4.19: Ensayo 8 con dos redetes Snubber pasivas.
CH1: V_{BUS} . CH2: V_o . CH3: I_{in}

De todas estas capturas resulta útil extraer la siguiente información:

Ensayo	$V_{o(RMS)} (V)$	$I_{o(RMS)} (A)$	$I_{in} (A)$
1	72.40	0.80	0.86
2	87.10	1.40	1.41
3	114.00	1.84	1.77
4	129.00	2.08	1.90
5	158.00	2.55	2.32
6	171.00	2.76	2.15
7	217.00	2.41	2.31
8	216.00	2.96	2.76

Tabla 4.2: Datos obtenidos de los ensayos realizados en la etapa 1, con el convertidor con dos redes Snubber pasivas.

Teniendo en cuenta los datos de la tabla 4.1 y 4.2, podemos calcular fácilmente la potencia de entrada, de salida y el rendimiento del convertidor como:

$$P_{in} = V_{in} \cdot I_{in} \quad (4.1)$$

$$P_o = V_{o(RMS)} \cdot I_{o(RMS)} \quad (4.2)$$

$$\eta \% = \frac{P_o}{P_{in}} \quad (4.3)$$

Entonces, realizando esto para cada ensayo se obtiene:

Ensayo	$P_o (W)$	$P_{in} (W)$	$\eta \%$
1	58.24	85.90	67.80
2	122.36	169.20	72.32
3	209.61	265.50	78.95
4	268.40	342.00	78.48
5	402.65	510.40	78.89
6	471.63	580.50	81.25
7	523.21	693.00	75.50
8	639.12	828.00	77.19

Tabla 4.3: Cálculo de eficiencia del convertidor con dos redes Snubbers pasivos en función de la potencia de salida.

Como se puede observar, la eficiencia se encuentra en la mayoría de los casos por encima del 70 %. Sin embargo, para esta topología este valor resulta bajo. Recordando cómo se encuentra construida cada red Snubber, se puede estimar la potencia que disipa la misma en función de la energía que se almacena en el capacitor, y que luego se descarga en la resistencia durante el período de *Shoot-Through* como:

$$P_{sn}(V_{BUS}) = E_{Csn} \cdot f = \frac{1}{2} C_{sn} V_{BUS}^2 \cdot f \quad (4.4)$$

$$P_{sn}(V_{BUS}) = \frac{1}{2} \cdot 100nF \cdot V_{BUS}^2 \cdot 10kHz \quad (4.5)$$

En este caso se tienen dos redes Snubber en paralelo, una por cada rama del puente. Entonces $P_{SN} = 2P_{sn}$.

Aplicando estas fórmulas, es posible estimar P_{SN} para cada ensayo realizado, obteniendo:

Ensayo	$P_{SN} (W)$	$P_{SN}/P_{in} (\%)$
1	22.50	26.19
2	40.00	23.64
3	48.40	18.23
4	67.60	19.77
5	102.40	20.06
6	115.60	19.91
7	144.40	20.84
8	144.40	17.44

Tabla 4.4: Estimación de potencia disipada por las redes Snubber pasivas.

Es interesante notar cómo la potencia disipada por las redes Snubber es muy significativa, representando alrededor del 20 % de la potencia de entrada en estos ensayos.

4.3.2. 2da Etapa: Inversor con una red Snubber activa y una pasiva

Para mejorar el rendimiento del inversor, se reemplazó una red Snubber pasiva por una activa. Esta etapa intermedia permite detectar cualquier anomalía en la red Snubber activa, sabiendo que la red pasiva evitará la destrucción del puente en dicho caso. El circuito esquemático de las redes Snubber utilizadas en esta etapa se muestra en la figura 4.20.

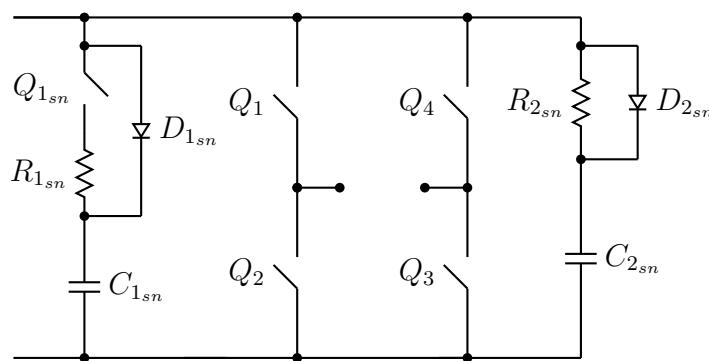


Figura 4.20: Diagrama esquemático de las redes Snubber pasiva y activa implementadas en la 2da etapa de ensayos.

A partir de esta etapa se modificó el filtro de conexión de la fuente de corriente continua con el inversor, con el objetivo reducir los picos de corriente de 100Hz exigidos a la fuente. Dicho filtro se conformó con tres resistencias de $0,47\Omega - 5W$ en serie y un banco de seis capacitores de $1000\mu F - 400V$ en paralelo, que se pueden ver en la figura 4.21. El circuito eléctrico de la conexión entre la fuente de corriente continua y el inversor se muestra en la imagen 4.22.

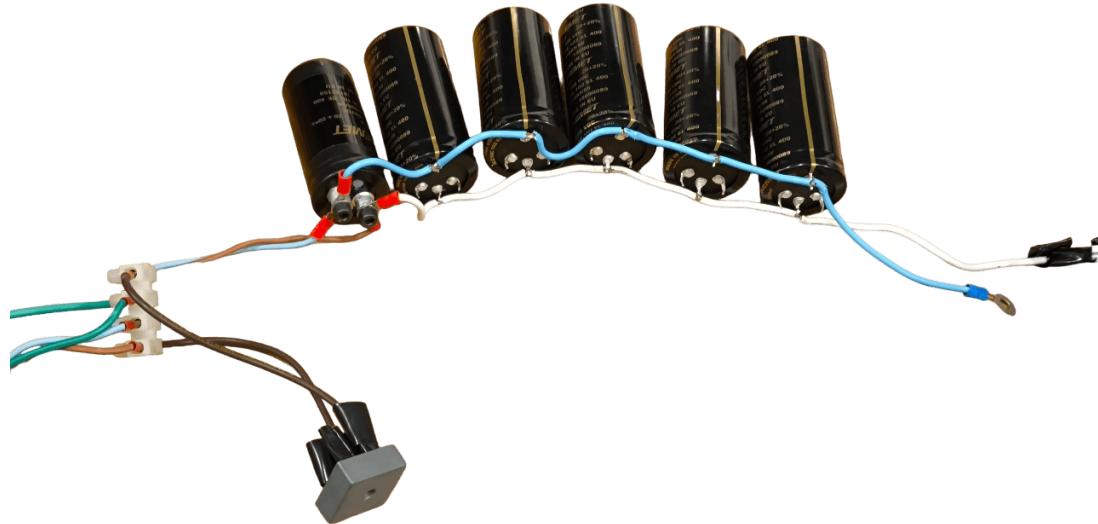


Figura 4.21: Banco de protección y filtrado colocado a la salida de la fuente de alimentación de CC para poder realizar los ensayos.

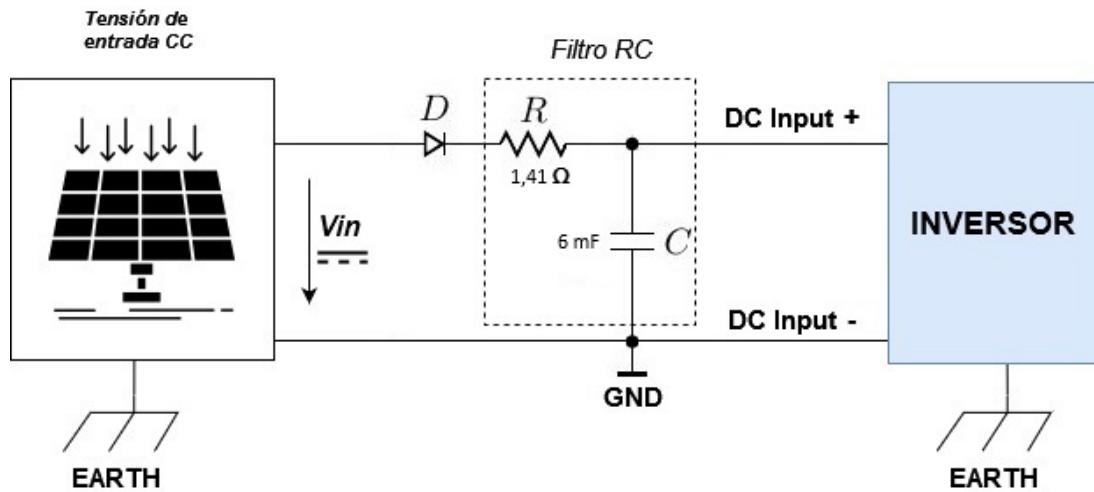


Figura 4.22: Diagrama de conexión entre la fuente de CC y el inversor a partir de la segunda etapa de ensayos.

En el filtro de la figura 4.22, se empleó el diodo KBPC3510 [21] cuya corriente máxima en directa es $I_{Dmax} = 35A$ y su tensión inversa máxima es $V_{RRM} = 1000V$.

Nuevamente, se realizaron ensayos con los parámetros indicados en la tabla 4.5.

Ensayo	V_i (V)	V_{BUS} (V)	$V_{o(max)}$ (V)	R_L (Ω)
1	45	70	45	90
2	60	90	60	90
3	90	120	90	90
4	100	150	100	90
5	150	200	150	90
6	180	230	180	90
7	210	260	210	90
8	240	300	240	90
9	270	350	270	90
10	300	400	300	90
11	300	420	300	90
12	300	380	300	73
13	300	380	300	62

Tabla 4.5: Ensayos realizados con el convertidor con una red Snubber activa y una pasiva.

En las imágenes 4.23 a 4.35 se encuentran las capturas de pantalla del osciloscopio realizadas para el inversor en régimen en cada uno de los ensayos. Respecto de la etapa anterior, la medición de la tensión de salida V_o fue reemplazada por la de corriente de salida I_o (dado que la carga es resistiva, esto no representa pérdida de información), y se añadió la medición de la tensión del capacitor de la red Snubber activa (V_{C1sn}). Al disponer solamente de dos puntas de tensión diferenciales, y dada la importancia de medir la tensión V_{C1sn} para corroborar el correcto funcionamiento de la red Snubber activa, se optó por utilizar para esto la punta con la que en la primera etapa se medía V_o , y reemplazar la medición de V_o por la de I_o .



Figura 4.23: Ensayo 1 con una red Snubber activa y una pasiva.

CH1: V_{BUS} . CH2: V_{sn} . CH3: I_{in} . CH4: I_o .



Figura 4.24: Ensayo 2 con una red Snubber activa y una pasiva.
CH1: V_{BUS} . CH2: V_{sn} . CH3: I_{in} . CH4: I_o .



Figura 4.25: Ensayo 3 con una red Snubber activa y una pasiva.
CH1: V_{BUS} . CH2: V_{sn} . CH3: I_{in} . CH4: I_o .

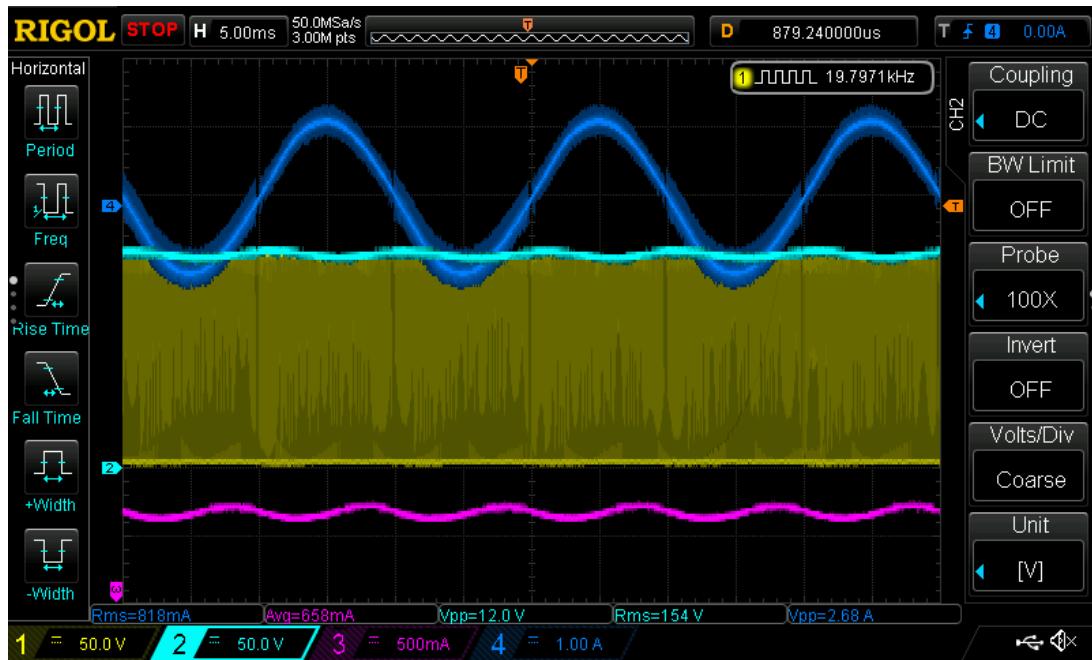


Figura 4.26: Ensayo 4 con una red Snubber activa y una pasiva.
CH1: V_{BUS} . CH2: V_{sn} . CH3: I_{in} . CH4: I_o .

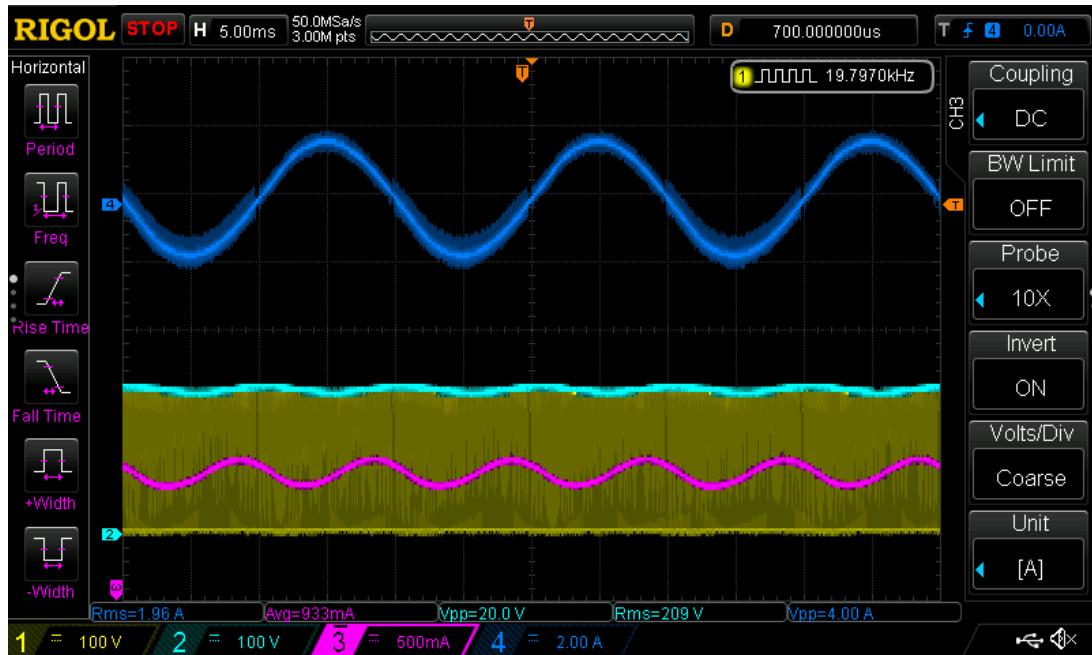


Figura 4.27: Ensayo 5 con una red Snubber activa y una pasiva.
CH1: V_{BUS} . CH2: V_{sn} . CH3: I_{in} . CH4: I_o .

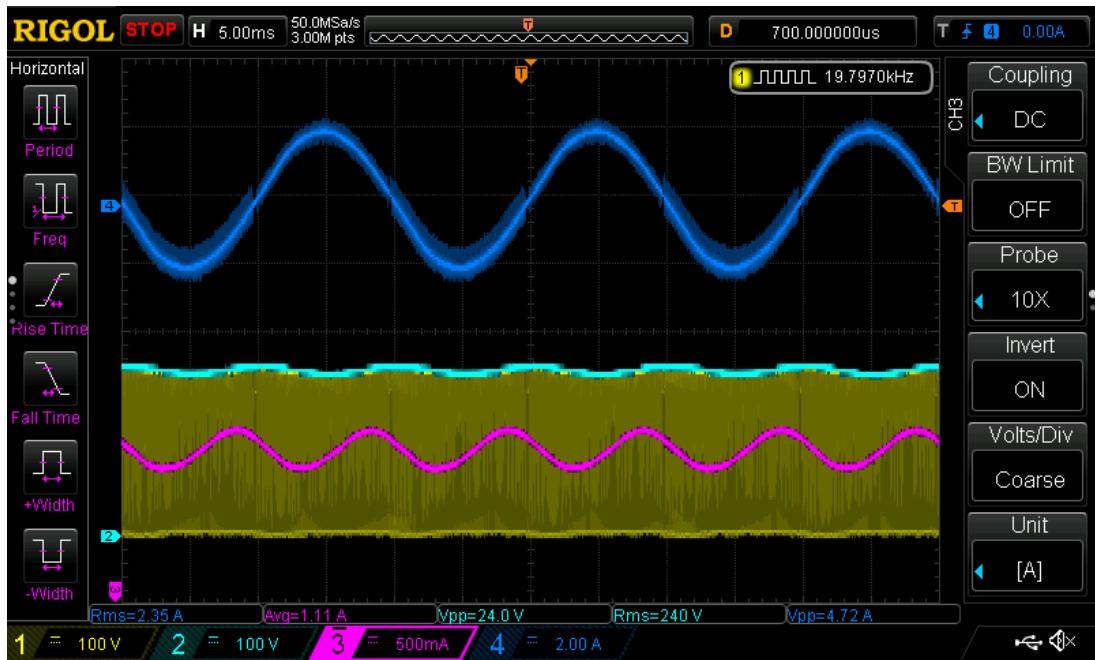


Figura 4.28: Ensayo 6 con una red Snubber activa y una pasiva.
CH1: V_{BUS} . CH2: V_{sn} . CH3: I_{in} . CH4: I_o .

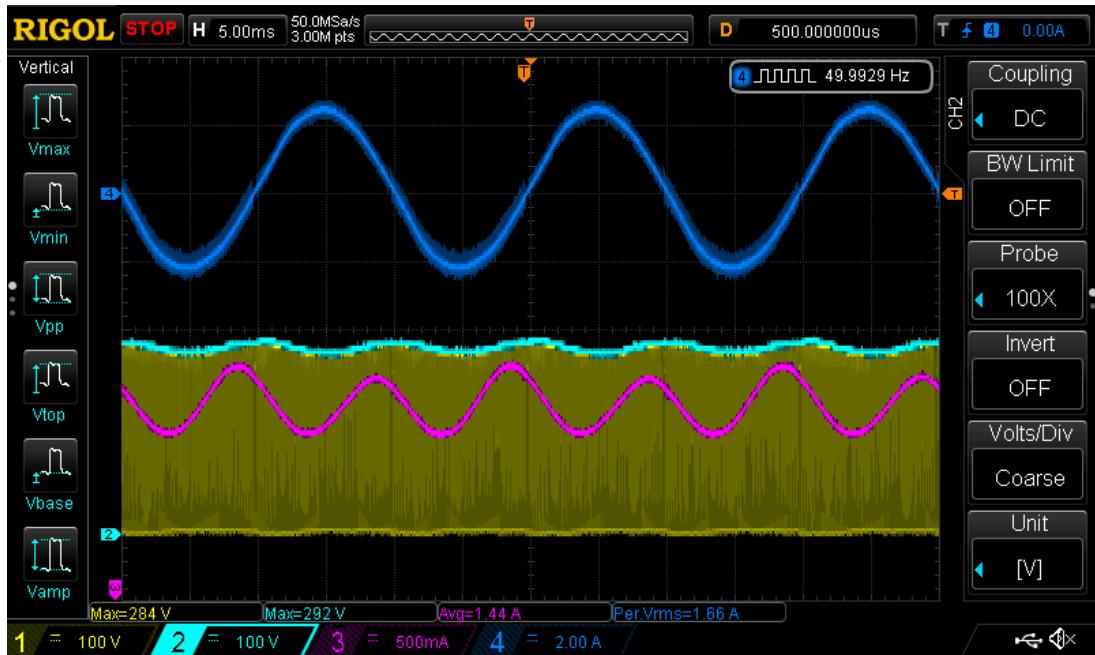


Figura 4.29: Ensayo 7 con una red Snubber activa y una pasiva.
CH1: V_{BUS} . CH2: V_{sn} . CH3: I_{in} . CH4: I_o .

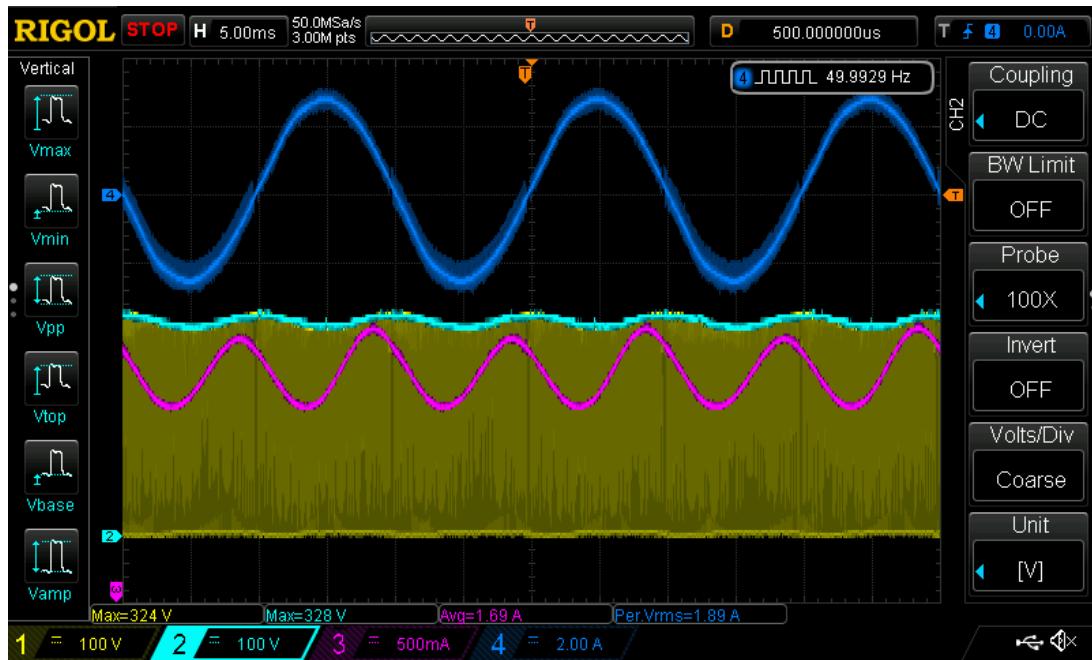


Figura 4.30: Ensayo 8 con una red Snubber activa y una pasiva.
CH1: V_{BUS} . CH2: V_{sn} . CH3: I_{in} . CH4: I_o .

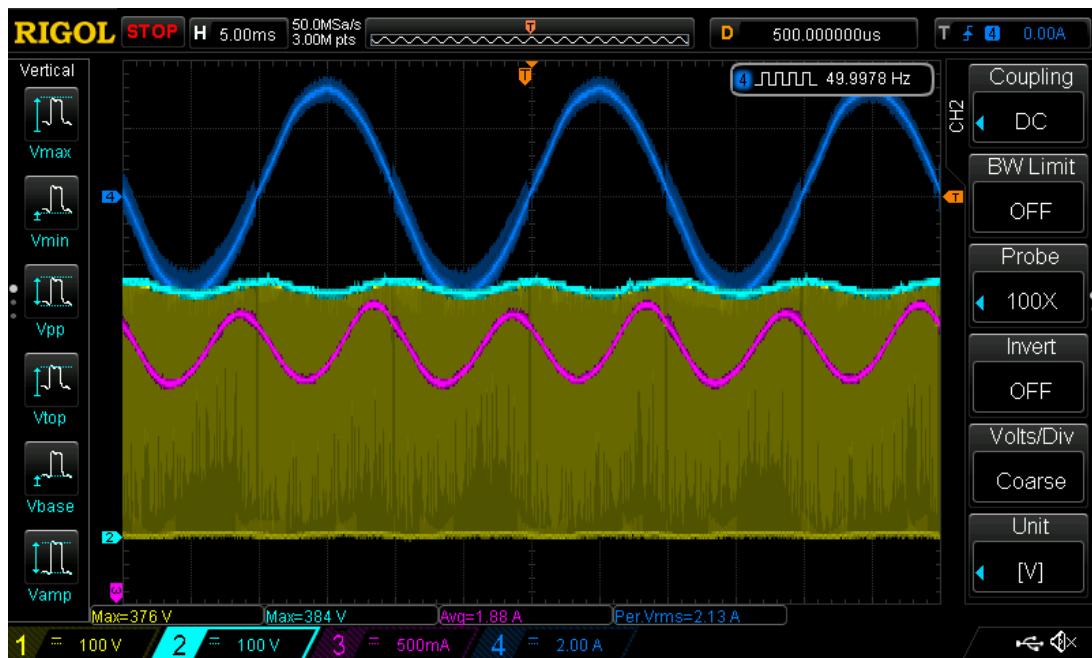


Figura 4.31: Ensayo 9 con una red Snubber activa y una pasiva.
CH1: V_{BUS} . CH2: V_{sn} . CH3: I_{in} . CH4: I_o .

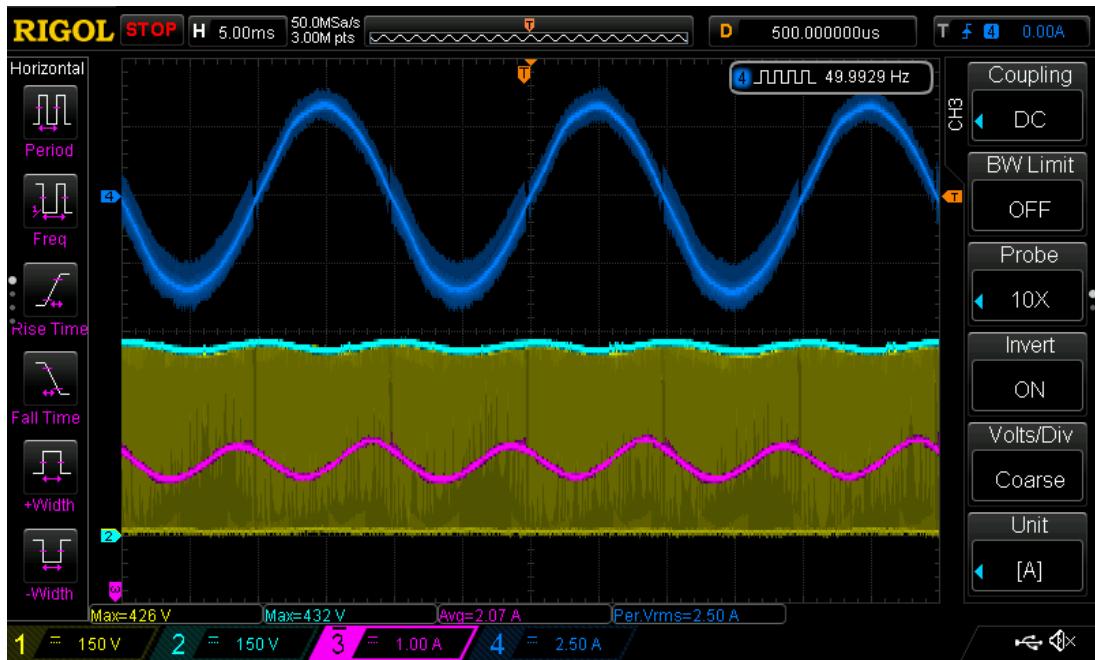


Figura 4.32: Ensayo 10 con una red Snubber activa y una pasiva.
CH1: $V_{B\!U\!S}$. CH2: V_{sn} . CH3: I_{in} . CH4: I_o .

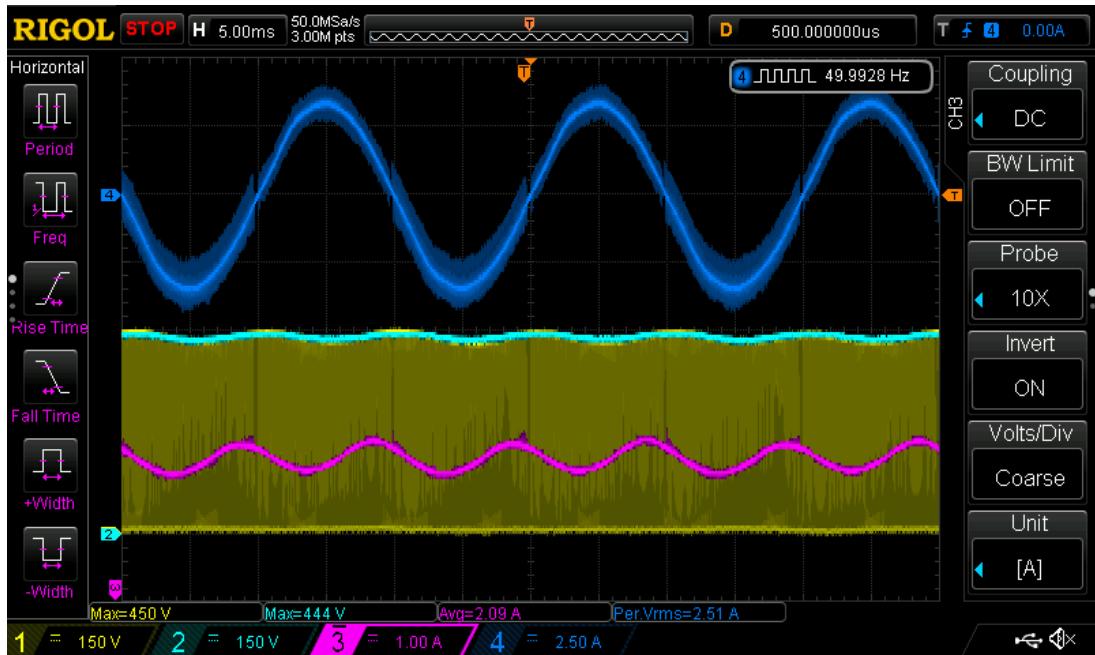


Figura 4.33: Ensayo 11 con una red Snubber activa y una pasiva.
CH1: $V_{B\!U\!S}$. CH2: $V_{snubber}$. CH3: I_{in} . CH4: I_o .

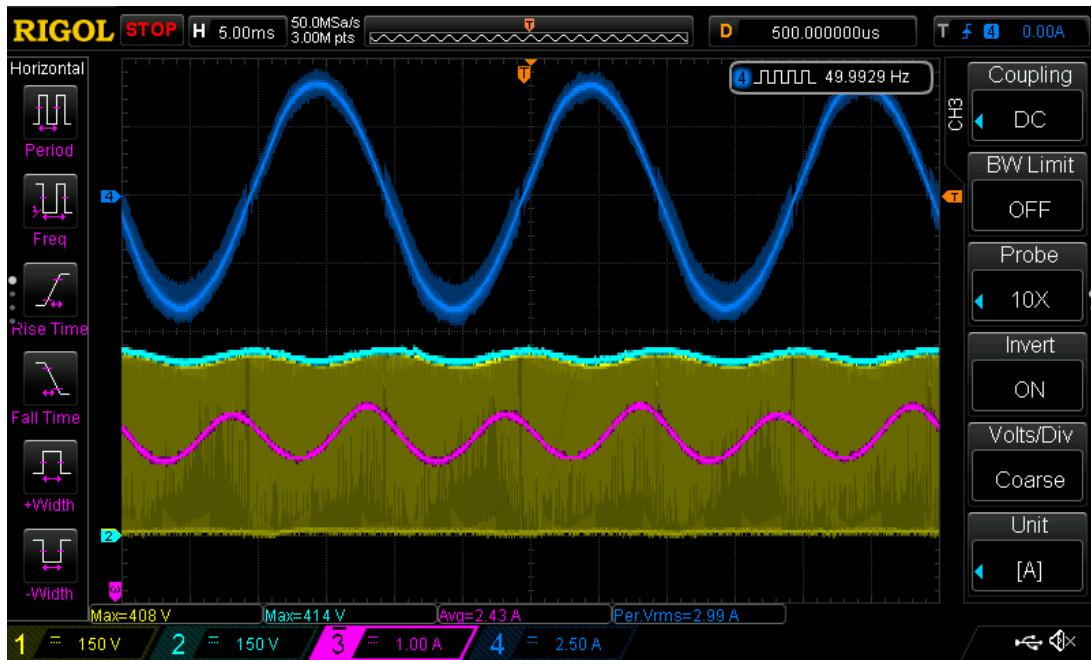


Figura 4.34: Ensayo 12 con una red Snubber activa y una pasiva.
CH1: V_{BUS} . CH2: V_{sn} . CH3: I_{in} . CH4: I_o .

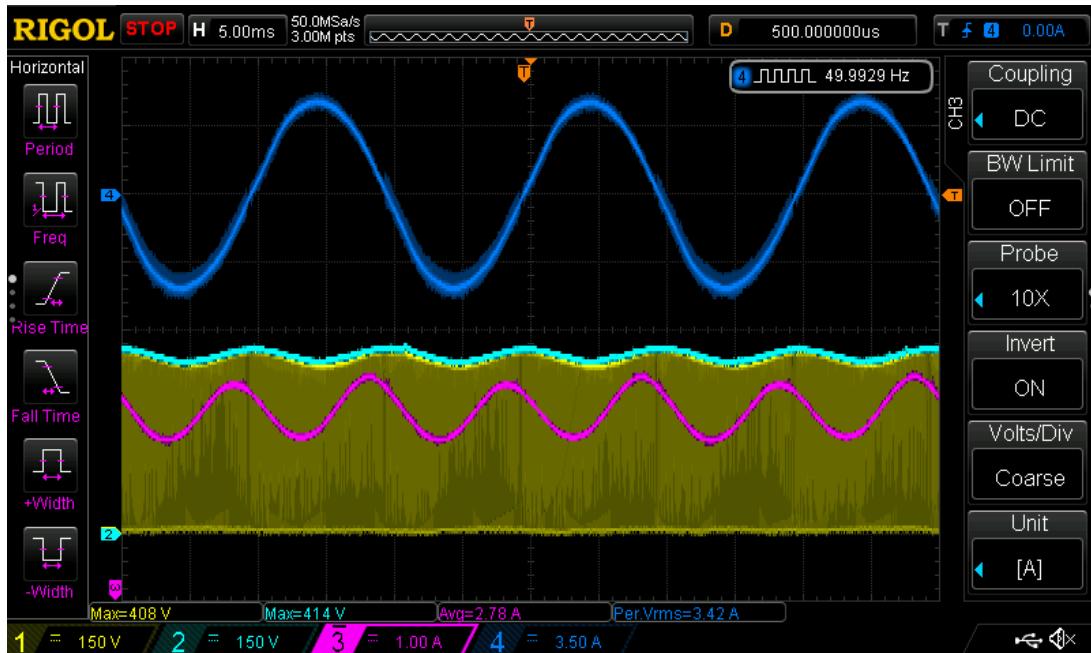


Figura 4.35: Ensayo 13 con una red Snubber activa y una pasiva.
CH1: V_{BUS} . CH2: V_{sn} . CH3: I_{in} . CH4: I_o .

De igual manera que para la etapa anterior, se extrajeron los datos de las capturas, conformando la tabla 4.6.

Ensayo	$V_{o(RMS)} (V)$	$I_{o(RMS)} (A)$	$I_{in} (A)$
1	36.36	0.40	0.36
2	46.80	0.52	0.44
3	66.60	0.74	0.60
4	73.62	0.82	0.66
5	108.19	1.20	0.93
6	127.28	1.41	1.11
7	149.40	1.66	1.44
8	170.10	1.89	1.69
9	191.70	2.13	1.88
10	225.00	2.50	2.07
11	225.90	2.51	2.09
12	218.27	2.99	2.43
13	212.04	3.42	2.78

Tabla 4.6: Datos obtenidos de los ensayos realizados en la etapa 2, con el convertidor con una red Snubber activa y una pasiva

Haciendo uso de las expresiones (4.2), (4.3) y (4.5) se calculó la potencia de salida, de las redes Snubber y la eficiencia del convertidor, obteniendo así las tablas 4.7 y 4.8. Para realizar el cálculo de la potencia de entrada se tuvo en cuenta la caída de tensión adicional del filtro pasabajos de la fuente. Este filtro no es parte del inversor, razón por la cual la potencia de entrada se calcula como:

$$P_{in} = (V_{in} - R_{FPB} \cdot I_{in}) \cdot I_{in} \quad (4.6)$$

Ensayo	$P_o (W)$	$P_{in} (W)$	$\eta\%$
1	14.69	16.20	90.68
2	24.34	26.58	91.56
3	49.28	54.00	91.27
4	60.22	65.19	92.38
5	130.05	138.72	93.75
6	180.00	198.06	90.88
7	248.00	299.48	82.81
8	321.49	401.57	80.06
9	408.32	502.62	81.24
10	562.50	614.96	91.47
11	567.01	620.84	91.33
12	652.63	720.67	90.56
13	725.18	823.10	88.10

Tabla 4.7: Cálculo de eficiencia del convertidor con una red Snubber activa y una pasiva en función de la potencia de salida

Ensayo	$P_{sn} (W)$	$P_{sn}/P_{in} (\%)$
1	2.66	16.45
2	4.61	17.34
3	8.19	15.17
4	11.86	18.19
5	21.84	15.74
6	28.80	14.54
7	40.33	13.47
8	52.49	13.07
9	70.69	14.06
10	90.74	14.76
11	101.25	16.31
12	83.23	11.55
13	83.23	10.11

Tabla 4.8: Estimación de potencia disipada por la red Snubber pasiva.

Contrastando los resultados obtenidos con esta configuración de Snubbers con los valores presentados en la 1ra etapa, puede notarse un aumento importante de la eficiencia del inversor, llegando a valores cercanos al 90 %. Sin embargo, la potencia disipada por la red Snubber pasiva sigue siendo una porción significativa de la potencia de entrada.

4.3.3. 3ra Etapa: Inversor con dos redes Snubber activas

Con una red Snubber activa correctamente funcionando, se reemplazó la red Snubber pasiva restante por otra activa. En la figura 4.36 se muestra el circuito esquemático simplificado de la topología usada.

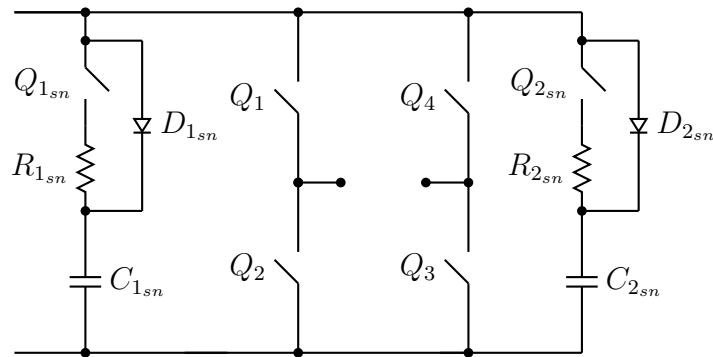


Figura 4.36: Diagrama esquemático de las redes Snubber activas implementadas en la 3ra etapa de ensayos.

Para poder medir la tensión sobre el capacitor de esta nueva red Snubber activa durante los ensayos, era necesario contar con una tercera punta diferencial de osciloscopio. Al no disponer de la misma, y sabiendo que la tensión media del capacitor de la red Snubber es representativa de su correcto funcionamiento, se optó por realizar su medición con un multímetro digital. La

misma fue realizada únicamente a modo preventivo, para poder detectar una falla a tiempo en caso de que ocurriese.

Para esta etapa se plantean los ensayos presentados en la tabla 4.9. En la misma se anexan dos columnas, d_0 y M . Estos valores pueden ser despejados de las ecuaciones 2.7 y 2.8 a partir de los valores de V_i , V_{BUS} y $V_{o(max)}$ configurados.

Ensayo	V_i (V)	V_{BUS} (V)	$V_{o(max)}$ (V)	R_L (Ω)	d_0	M
1	90	120	90	90	0.125	0.750
2	120	170	120	90	0.147	0.706
3	150	200	150	90	0.125	0.750
4	180	230	180	90	0.109	0.783
5	210	260	210	90	0.096	0.808
6	240	300	240	90	0.100	0.800
7	270	350	270	90	0.114	0.771
8	290	385	290	90	0.123	0.753
9	300	400	300	90	0.125	0.750
10	150	200	150	62	0.125	0.750
11	210	260	210	62	0.096	0.808
12	240	300	240	62	0.100	0.800
13	270	350	270	62	0.114	0.771
14	300	400	305	62	0.125	0.763

Tabla 4.9: Ensayos realizados con el convertidor con dos redes Snubber activas.

Se puede observar gráficamente la progresión de los parámetros elegidos al momento de realizar cada ensayo en la figura 4.37.

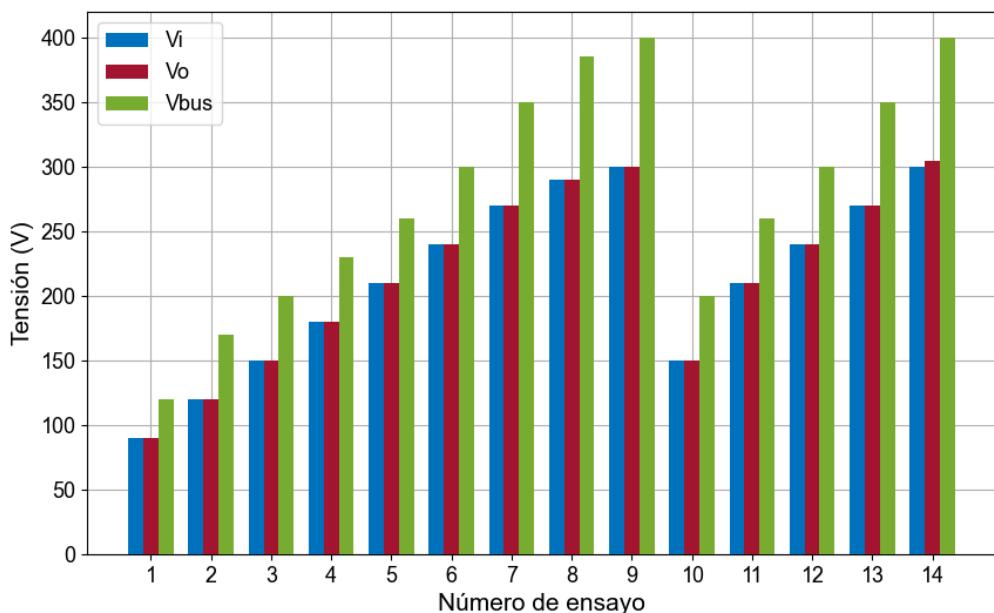


Figura 4.37: Parámetros elegidos en los ensayos del convertidor con dos redes Snubber activas. R_L de ensayos 1 a 9: 90Ω . R_L de ensayos 10 a 14: 62Ω .

Las capturas de pantalla del osciloscopio realizadas que se corresponden con cada uno de los ensayos de esta etapa, se muestran en las imágenes 4.38 a 4.51.

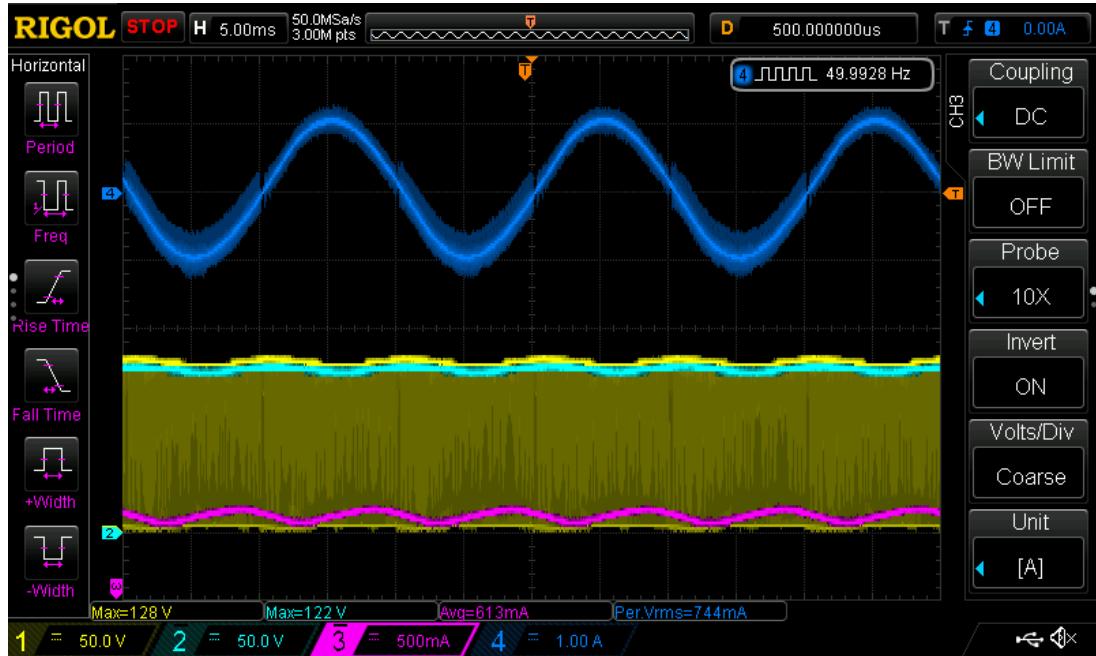


Figura 4.38: Ensayo 1 con dos redes Snubber activas.
CH1: V_{BUS} . CH2: V_{sn} . CH3: I_{in} . CH4: I_o .

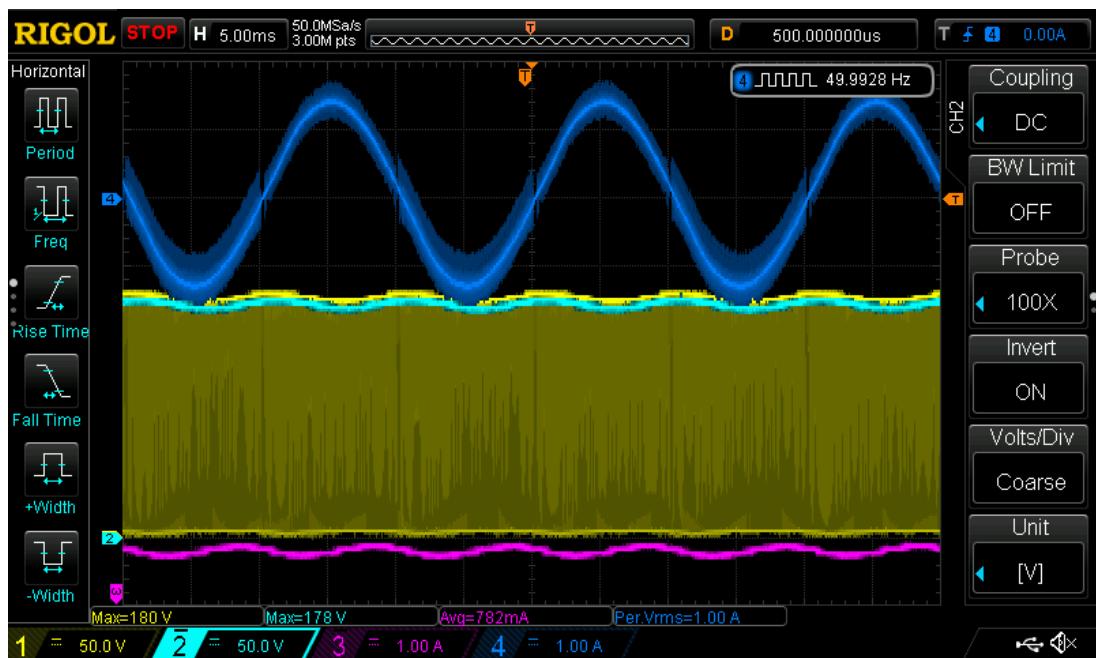


Figura 4.39: Ensayo 2 con dos redes Snubber activas.
CH1: V_{BUS} . CH2: V_{sn} . CH3: I_{in} . CH4: I_o .

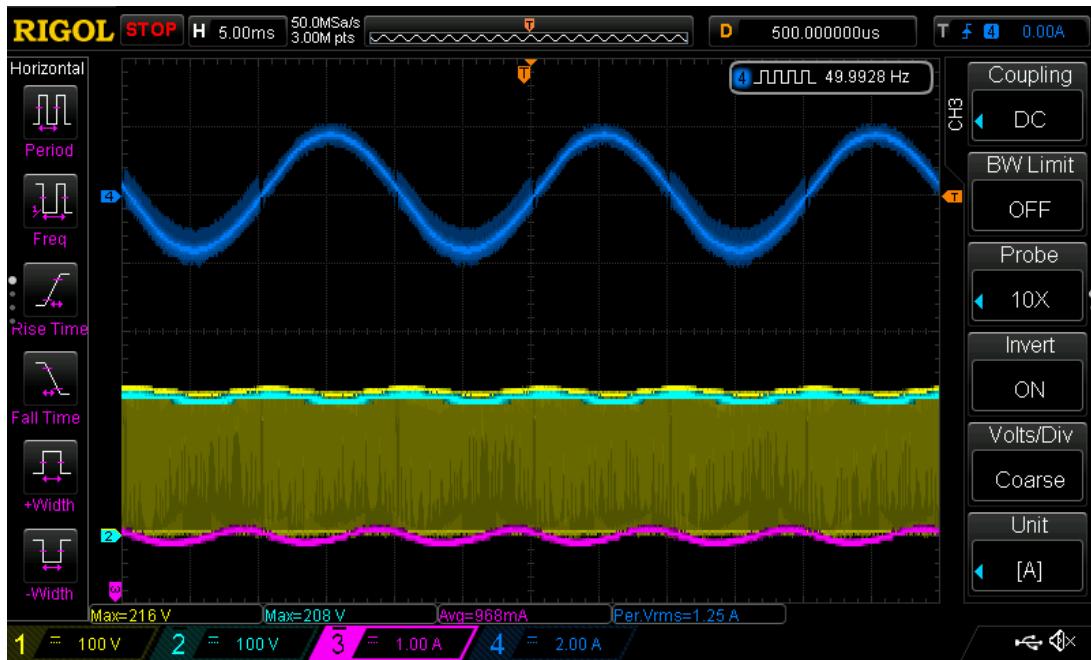


Figura 4.40: Ensayo 3 con dos redes Snubber activas.
CH1: V_{BUS} . CH2: V_{sn} . CH3: I_{in} . CH4: I_o .

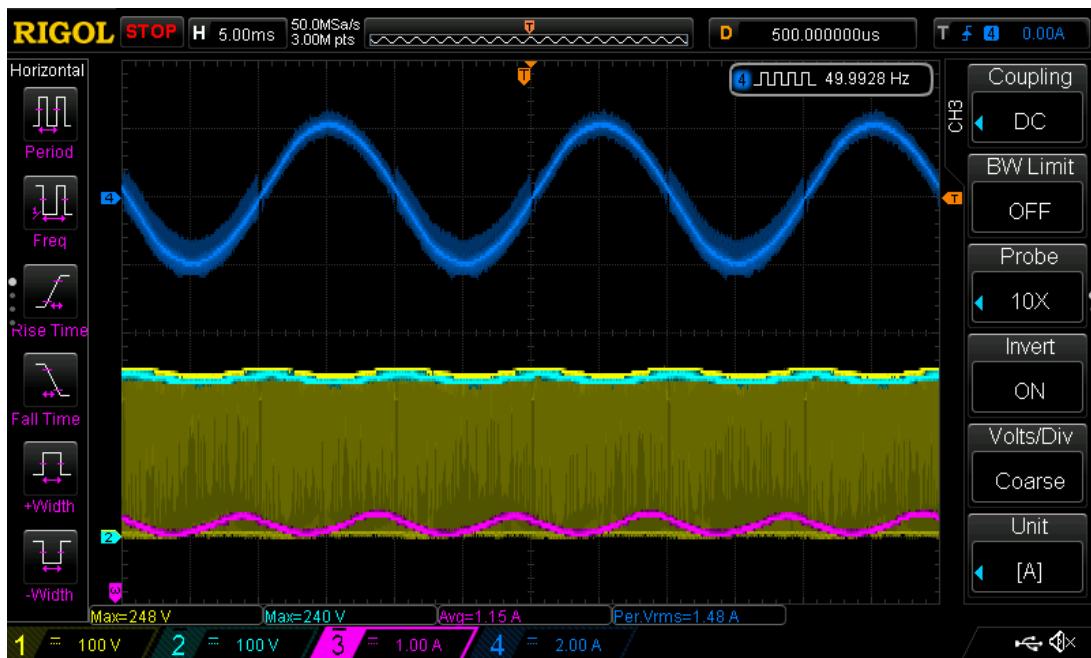


Figura 4.41: Ensayo 4 con dos redes Snubber activas.
CH1: V_{BUS} . CH2: V_{sn} . CH3: I_{in} . CH4: I_o .

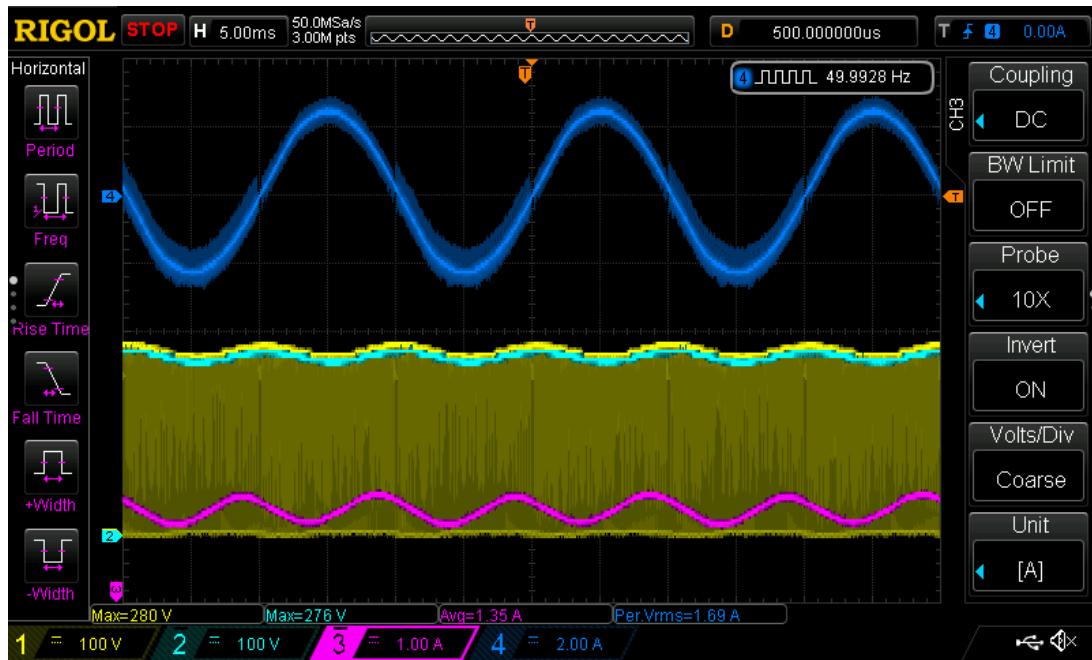


Figura 4.42: Ensayo 5 con dos redes Snubber activas.

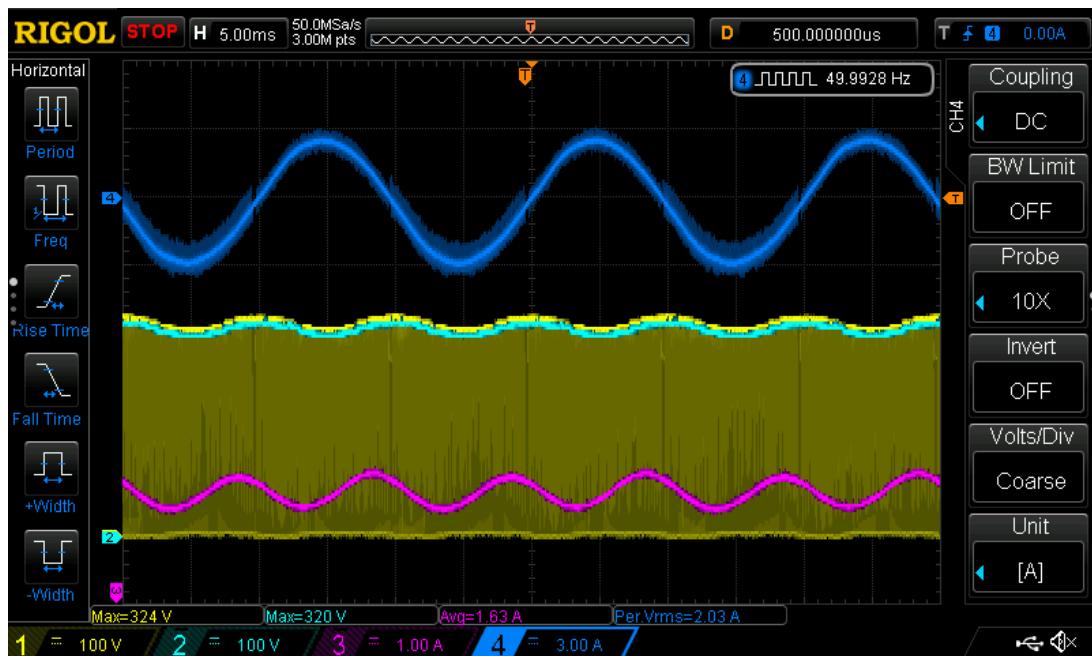
CH1: V_{BUS} , CH2: V_{sn} , CH3: I_{in} , CH4: I_o .

Figura 4.43: Ensayo 6 con dos redes Snubber activas.

CH1: V_{BUS} , CH2: V_{sn} , CH3: I_{in} , CH4: I_o .

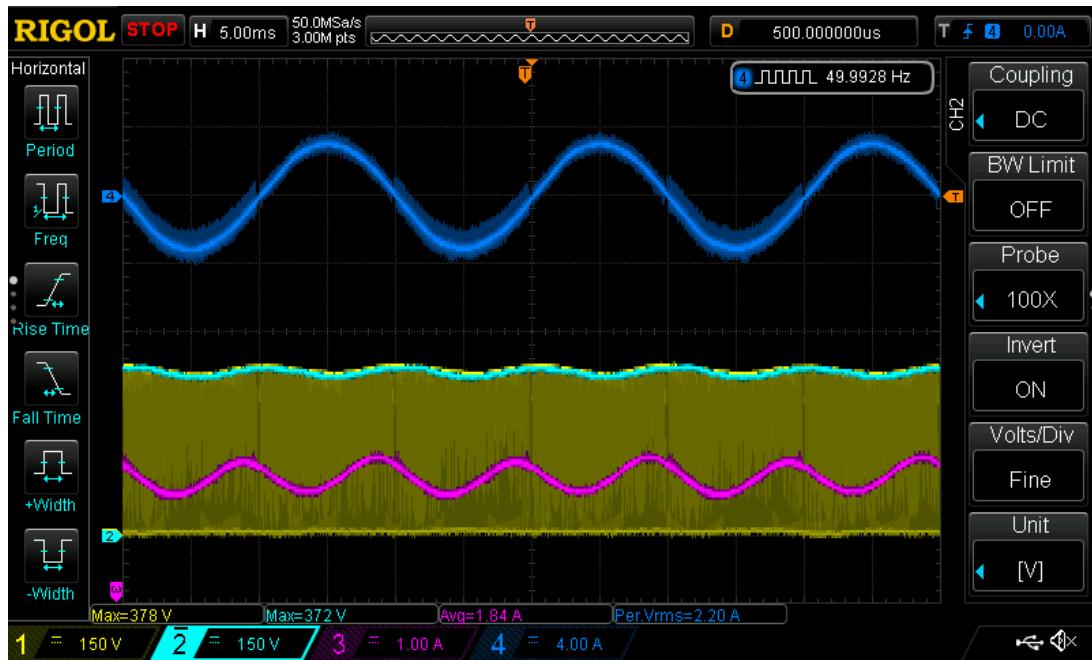


Figura 4.44: Ensayo 7 con dos redes Snubber activas.
CH1: V_{BUS} . CH2: V_{sn} . CH3: I_{in} . CH4: I_o .

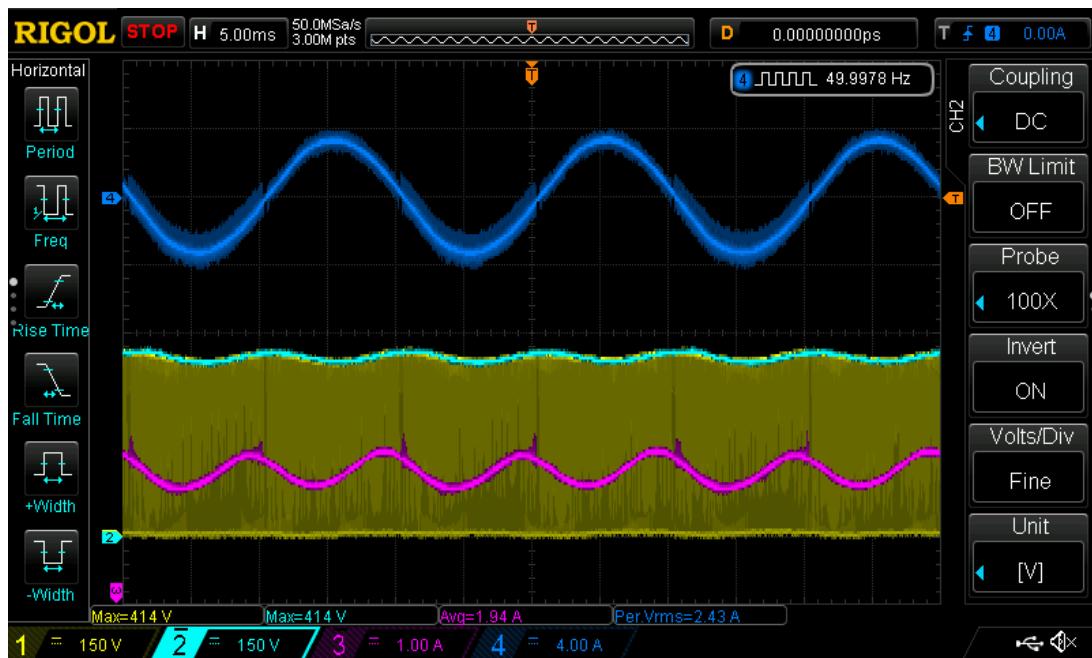


Figura 4.45: Ensayo 8 con dos redes Snubber activas.
CH1: V_{BUS} . CH2: V_{sn} . CH3: I_{in} . CH4: I_o .

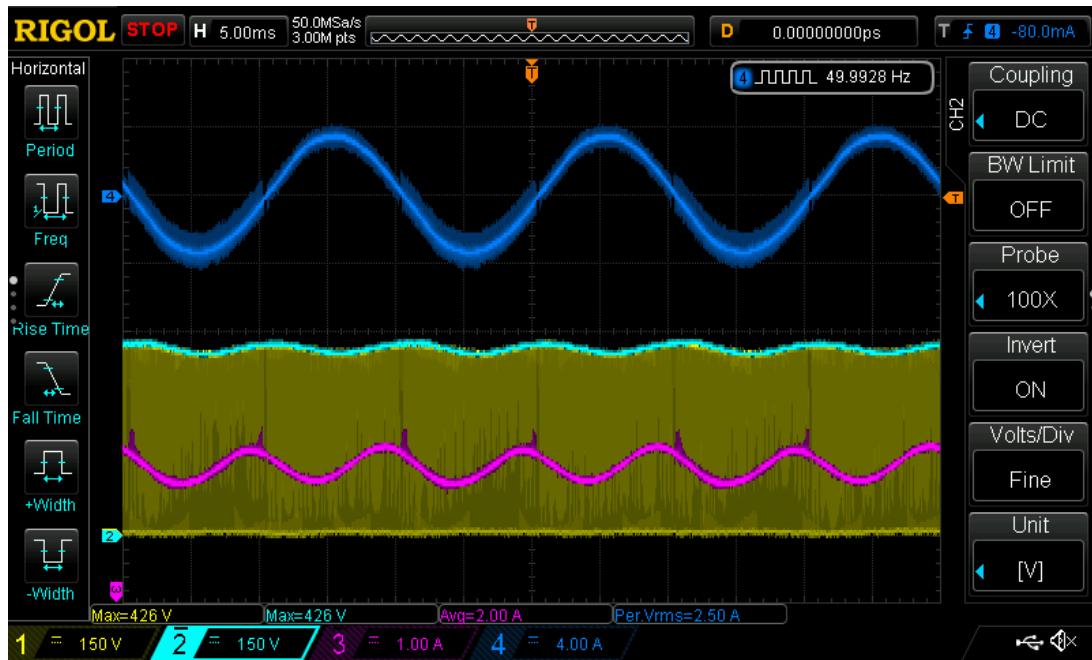


Figura 4.46: Ensayo 9 con dos redes Snubber activas.
CH1: V_{BUS} . CH2: V_{sn} . CH3: I_{in} . CH4: I_o .

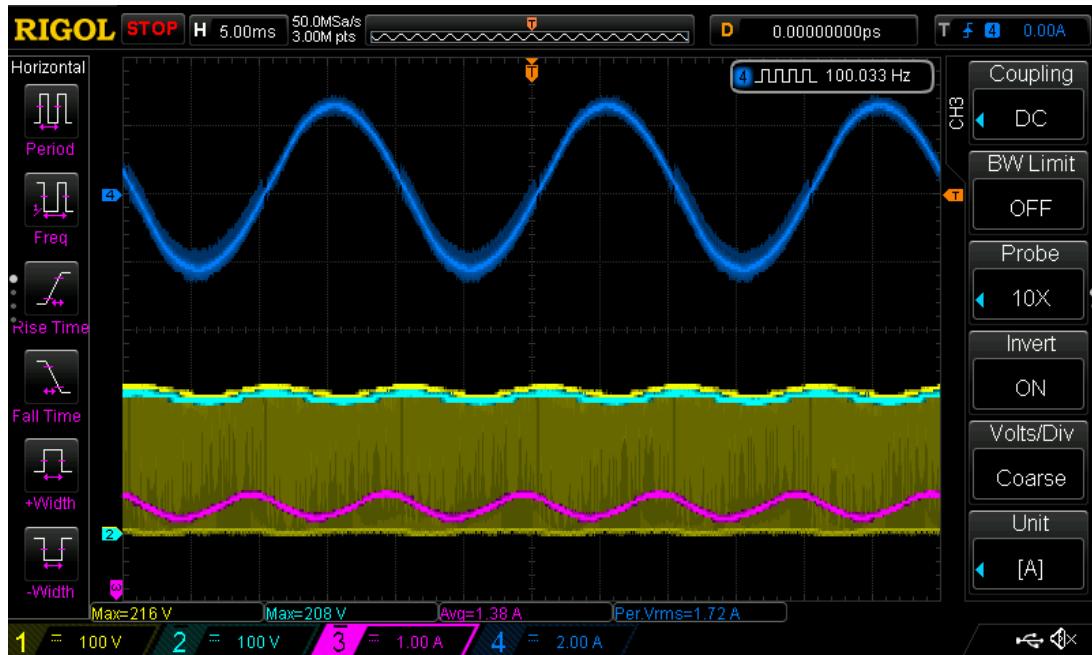


Figura 4.47: Ensayo 10 con dos redes Snubber activas.
CH1: V_{BUS} . CH2: $V_{snubber}$. CH3: I_{in} . CH4: I_o .

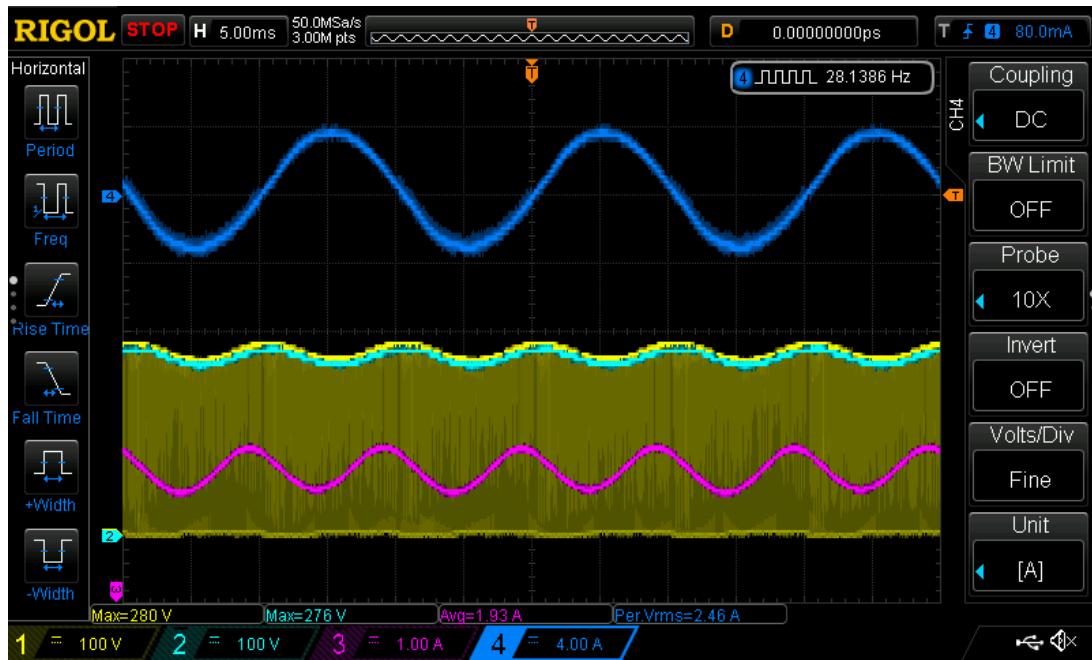


Figura 4.48: Ensayo 11 con dos redes Snubber activas.
CH1: V_{BUS} , CH2: V_{sn} , CH3: I_{in} , CH4: I_o .

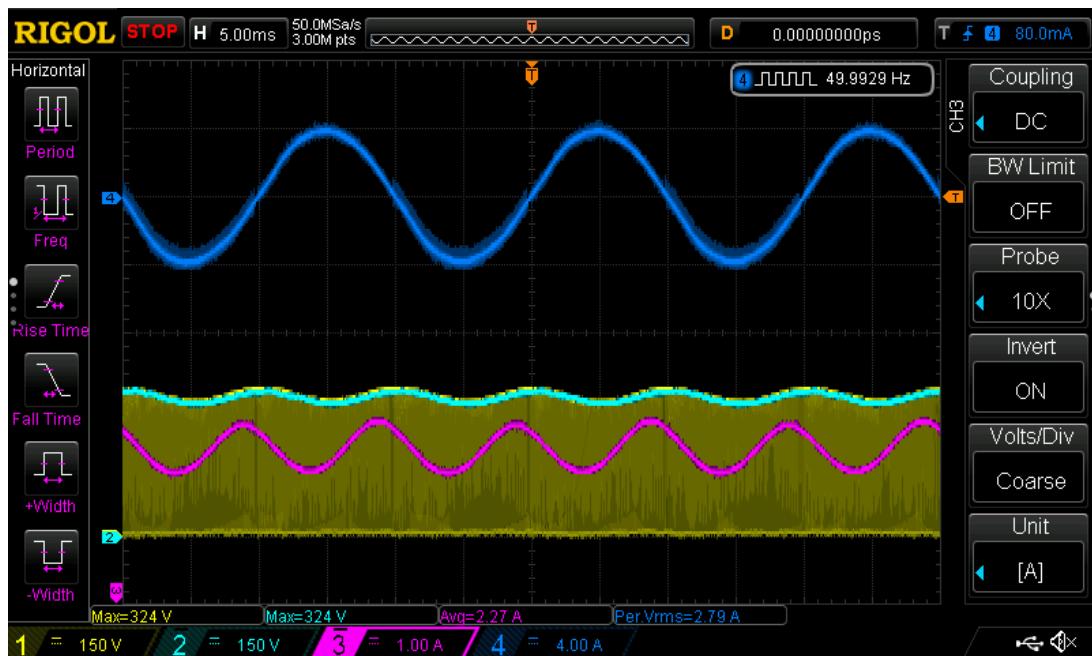


Figura 4.49: Ensayo 12 con dos redes Snubber activas.
CH1: V_{BUS} , CH2: V_{sn} , CH3: I_{in} , CH4: I_o .

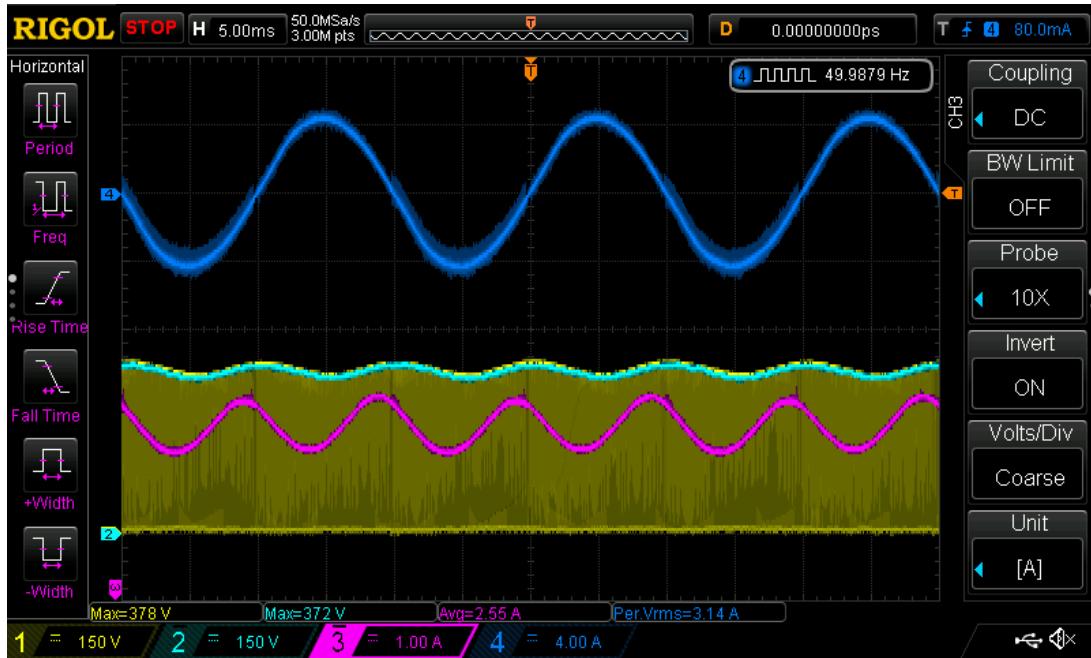


Figura 4.50: Ensayo 13 con dos redes Snubber activas.

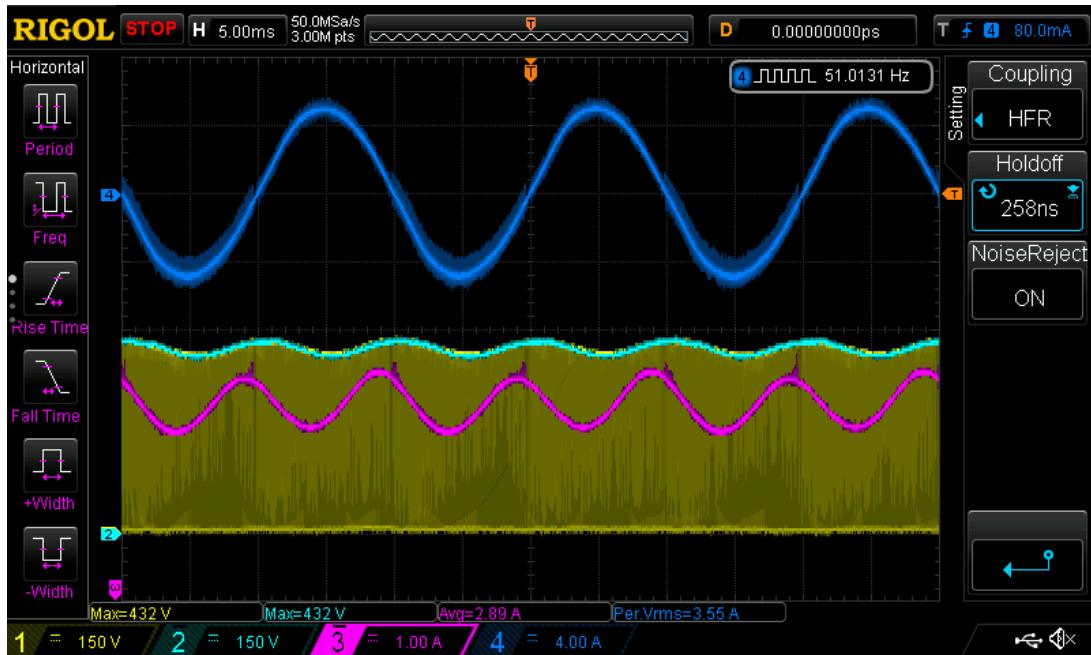
CH1: V_{BUS} , CH2: V_{sn} , CH3: I_{in} , CH4: I_o .

Figura 4.51: Ensayo 14 con dos redes Snubber activas.

CH1: V_{BUS} , CH2: V_{sn} , CH3: I_{in} , CH4: I_o .

Observando las capturas, se pueden extraer los datos que conforman la tabla 4.10 y, a su vez, calcular la potencia de entrada, de salida y el rendimiento del inversor, presentados en la tabla 4.11.

Ensayo	$V_{o(RMS)} (V)$	$I_{o(RMS)} (A)$	$I_{in} (A)$
1	66.96	0.74	0.61
2	90.00	1.00	0.78
3	112.50	1.25	0.97
4	133.20	1.48	1.15
5	152.10	1.69	1.35
6	182.70	2.03	1.63
7	198.00	2.20	1.84
8	218.70	2.43	1.94
9	225.00	2.50	2.00
10	106.64	1.72	1.38
11	152.52	2.46	1.93
12	172.98	2.79	2.27
13	194.68	3.14	2.55
14	220.10	3.55	2.89

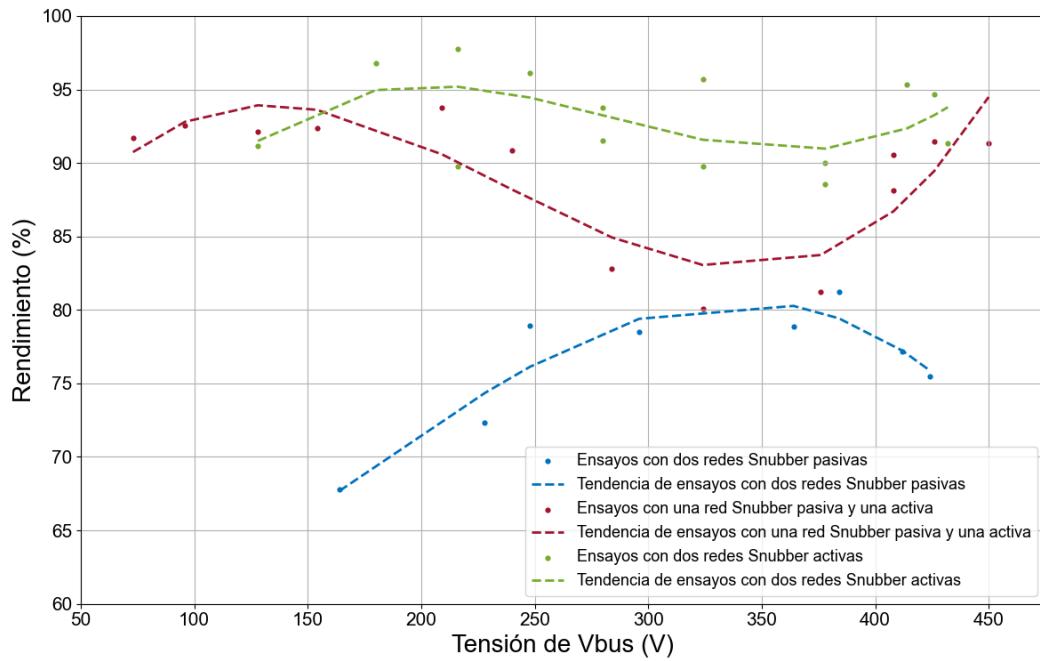
Tabla 4.10: Datos obtenidos de los ensayos realizados en la etapa 3 con el convertidor con dos redes Snubber activas

Ensayo	$P_o (W)$	$P_{in} (W)$	$\eta \%$
1	49.82	55.17	90.30
2	90.00	92.98	96.80
3	140.63	143.88	97.74
4	197.14	205.14	96.10
5	257.05	280.93	91.50
6	370.88	387.45	95.72
7	435.60	492.03	88.53
8	531.44	557.29	95.36
9	562.50	594.36	94.64
10	183.42	204.31	89.77
11	375.20	400.05	93.79
12	482.61	537.53	89.78
13	611.30	679.33	89.98
14	781.36	855.22	91.36

Tabla 4.11: Cálculo de eficiencia del convertidor dos redes Snubber activas en función de la potencia de salida

La eficiencia del convertidor en esta etapa es superior a las dos anteriores, llegando a estar por encima del 91 % con una potencia de salida de 780W.

En la figura 4.52 se puede ver una gráfica comparativa para las tres configuraciones de redes Snubber, en donde se analiza cómo varía para cada una el rendimiento del convertidor según la tensión V_{BUS} . En la misma se observa que a medida que se reemplazan las redes Snubber pasivas por las activas, el rendimiento en general aumenta para todas las tensiones del bus.

Figura 4.52: Rendimiento del inversor en función de V_{BUS}

Por otra parte, es posible obtener una comparativa del rendimiento del inversor en función de la resistencia de carga, tal como se observa en la figura 4.53. En algunas condiciones de ensayo, cuando disminuye el valor de la resistencia de carga (y por lo tanto aumenta la potencia de salida) el rendimiento es menor, mientras que en otras es ligeramente mayor.

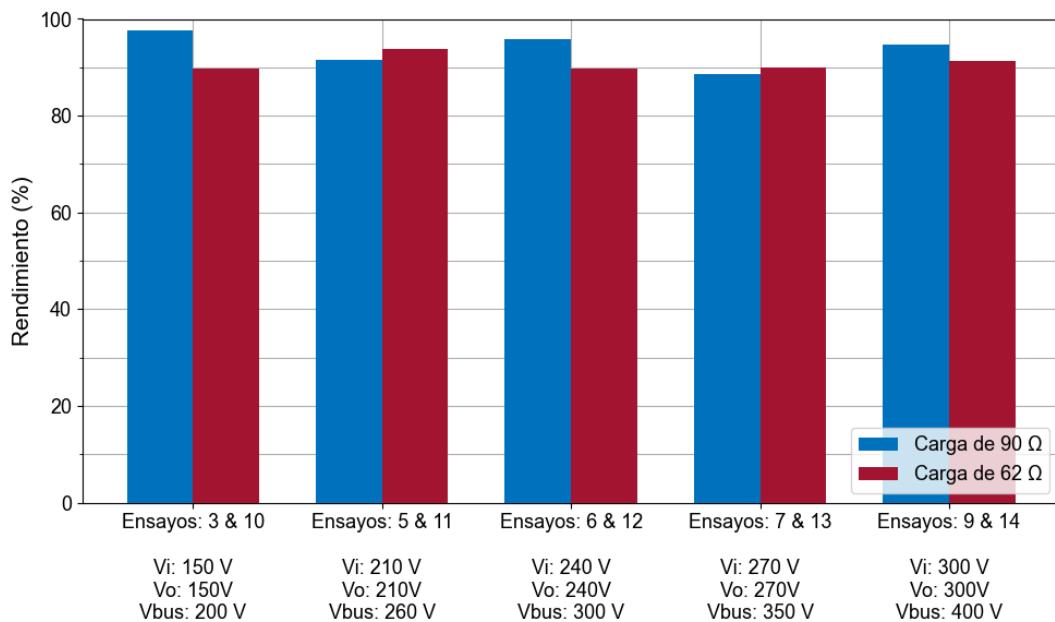


Figura 4.53: Rendimiento del inversor en función de R_L .
En azul: ensayos con $R_L = 90\Omega$. En rojo: ensayos con $R_L = 62\Omega$.

Capítulo 5

Diseño de un controlador de la tensión de salida

En este capítulo se describe el proceso realizado para diseñar un controlador de la tensión senoidal de salida del inversor, que es del tipo PID-resonante con una topología en cascada. Todo el diseño estuvo soportado por simulaciones realizadas en el entorno de MATLAB/Simulink. Para diseñar el controlador se utilizó un modelo promediado en pequeña señal del inversor, sin tener en cuenta la presencia de la red Z, para el cual se obtuvo su función transferencia. Sobre este modelo, se diseñó un controlador teniendo en cuenta su respuesta en frecuencia original y la respuesta deseada. Luego, a modo de validar el diseño, se utilizó un modelo completo del inversor, con la red Z y el controlador de la tensión del bus de tensión continua.

5.1. Modelización del inversor

La estructura del controlador a implementar fue propuesta por Dong Dong en [4] y consiste en una estructura en cascada, donde el controlador interior se encarga de regular la corriente por el inductor del filtro de salida i_L , y el lazo externo regula la tensión de salida. Además, la estructura contempla la implementación de filtros pasa bajos de segundo orden para las señales medidas de la planta, lo que resulta útil a la hora de implementar el controlador en un entorno ruidoso. La misma se puede observar en la figura 5.1.

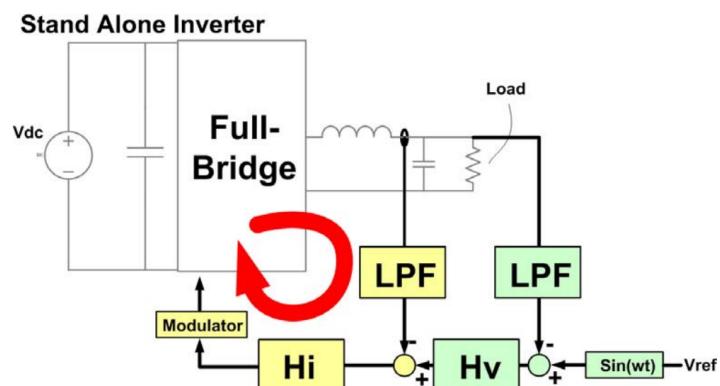


Figura 5.1: Estructura del controlador a implementar. Figura extraída de [4].

El primer paso para poder diseñar el controlador para la tensión de salida del inversor es obtener un modelo de la planta. Para esto, se sigue el procedimiento propuesto en [5], que establece el modelo promediado en pequeña señal de un inversor monofásico con modulación PWM. Al mismo se le agregó la resistencia del bobinado de la inductancia (r_L), sin tener en cuenta la resistencia serie equivalente (ESR) del capacitor C . Esta resistencia posee un valor despreciable por ser C en este caso un conjunto de dos capacitores TDK B32794D2106 en paralelo, cada uno con una ESR de $4,2m\Omega$ [31], de manera que es comparable a la resistencia de las conexiones mediante pistas y cables. Se obtuvo así el modelo que se puede ver en la figura 5.2. El mismo tiene validez siempre que la tensión V_{BUS} sea constante.

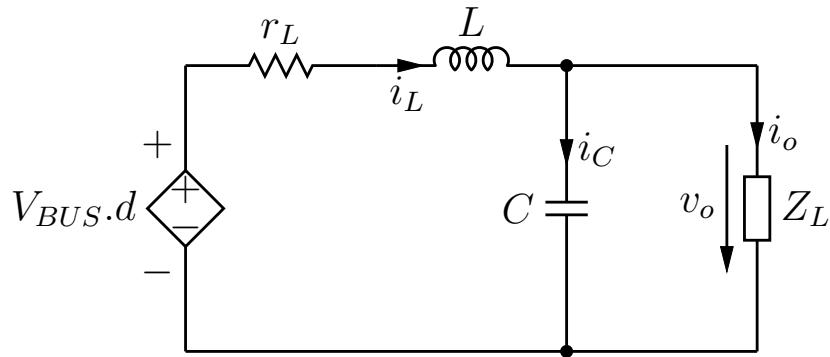


Figura 5.2: Modelo en pequeña señal de un inversor monofásico.

De este modelo en pequeña señal, tomando como variables de estado a la tensión del capacitor C , v_c , y la corriente por la inductancia L , i_l , se pueden obtener las ecuaciones de estado del sistema en el dominio de Laplace, dadas por:

$$\begin{cases} sV_C = \frac{I_C}{C} = \frac{I_L}{C} - \frac{V_o}{C \cdot Z_L} \\ sI_L = \frac{V_L}{L} = \frac{V_{BUS} \cdot D}{L} - \frac{V_C}{L} - \frac{I_L \cdot r_L}{L} \end{cases} \quad (5.1)$$

Para este caso particular, $Z_L = R_L$, ya que las cargas que se conectan a la salida del inversor son puramente resistivas.

A partir de las ecuaciones de estado (5.1) es inmediato obtener un modelo de diagrama de bloques del sistema. El mismo se muestra en la figura 5.3.

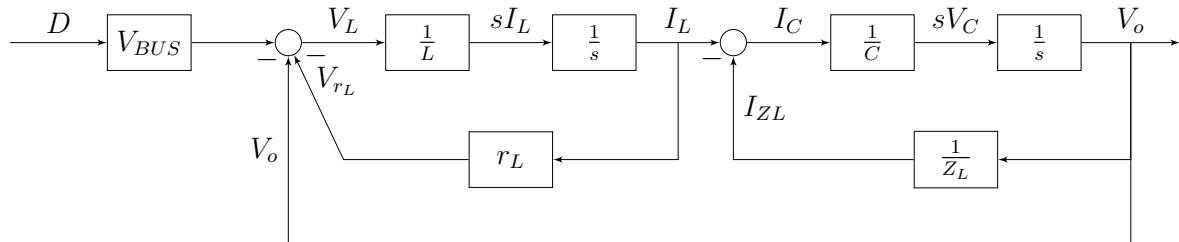


Figura 5.3: Diagrama en bloques del modelo en pequeña señal del inversor.

El diagrama de la figura 5.3 se puede trabajar hasta obtener un diagrama equivalente que permite obtener de manera sencilla la función transferencia entre d e i_L . El mismo se muestra

en la figura 5.4. Es necesario obtener esta función transferencia para poder diseñar luego el controlador interno.

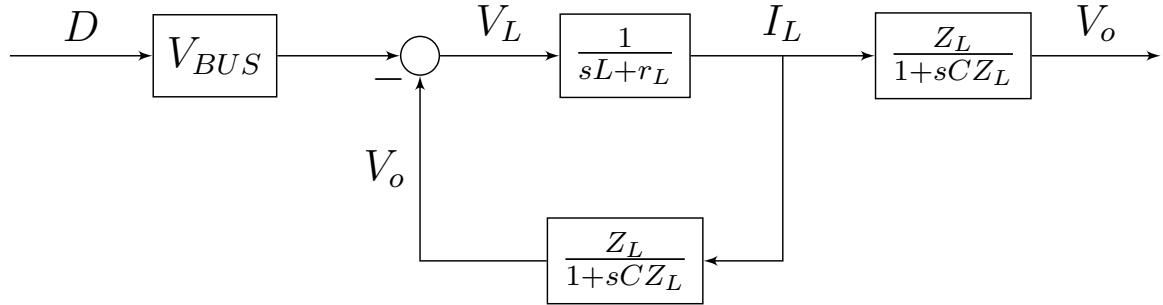


Figura 5.4: Diagrama en bloques simplificado del modelo en pequeña señal del inversor.

Finalmente, a partir del diagrama obtenido en la figura 5.4 es posible obtener el diagrama en bloques del sistema realimentado que se muestra en la figura 5.5, donde $G_i(s)$ y $G_v(s)$ son:

$$G_i(s) = V_{BUS} \cdot \frac{1 + sCZ_L}{s^2LCZ_L + s(L + CZ_Lr_L) + (Z_L + r_L)} \quad (5.2)$$

$$G_v(s) = \frac{Z_L}{1 + sCZ_L} \quad (5.3)$$

Para ello se deben agregar los controladores $H_i(s)$ (del lazo interno de corriente), $H_v(s)$ (del lazo externo de tensión) y los filtros pasa bajos propuestos en [4]. Además, en la misma publicación se recomienda agregar en el modelo un delay de al menos un período de commutación, debido al modulador PWM digital. Para modelar este delay se puede utilizar una aproximación de Padé:

$$G_{delay}(s) = e^{-sT_{delay}} \approx \frac{1 - 0,5sT_{delay} + \frac{(sT_{delay})^2}{12}}{1 + 0,5sT_{delay} + \frac{(sT_{delay})^2}{12}} \quad (5.4)$$

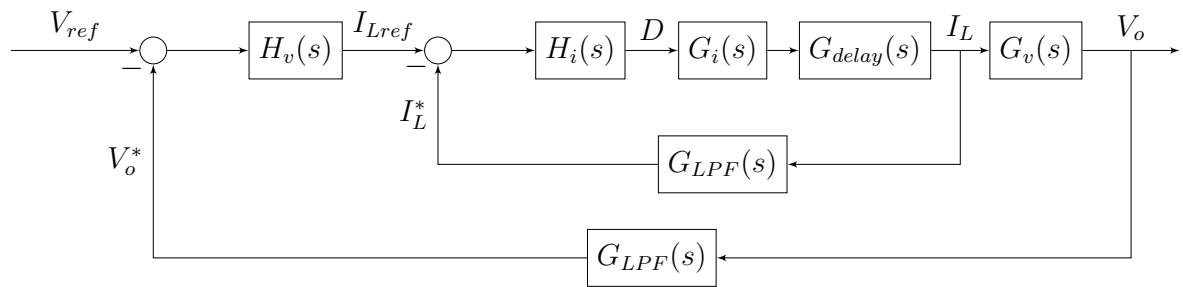


Figura 5.5: Diagrama en bloques del sistema controlado.

En este diagrama en bloques no se tienen en cuenta los factores de escala y offset de la medición de i_L y v_o , dados por los circuitos de adaptación analógica y el ADC del DSP utilizado. Esto es así dado que los mismos se cancelan en el propio DSP (es decir, se realiza su transformación inversa) antes de pasar por el algoritmo de control, por lo que este último se diseña en base a los valores reales de i_L y v_o .

El objetivo entonces es diseñar los controladores $H_i(s)$ y $H_v(s)$ a partir de este modelo.

5.2. Diseño del controlador interno

Para diseñar los controladores, se trabajará en el dominio de la frecuencia, siguiendo el método descripto por Kuo en [13]. En particular, a la hora de diseñar un controlador en cascada, se comienza con el controlador interno, considerando a este lazo como aislado del resto del sistema.

El primer paso es obtener la función transferencia a lazo abierto del sistema interno, dada por:

$$G_{iOL}(s) = G_i(s) \cdot G_{delay}(s) \cdot G_{LPF}(s) \quad (5.5)$$

Ya habiendo establecido las funciones $G_i(s)$ y $G_{delay}(s)$ en las ecuaciones (5.2) y (5.4) respectivamente, resta determinar la función transferencia del filtro $G_{LPF}(s)$. En [4] se propone un filtro de la forma:

$$G_{LPF}(s) = \frac{1}{\left(\frac{s}{\omega_0}\right)^2 + \frac{s}{Q\omega_0} + 1} \quad (5.6)$$

Se tomarán en este caso:

$$Q = 0,73 \quad (5.7)$$

$$\omega_0 = 2\pi f_0 = 2\pi 2500 \frac{\text{rad}}{\text{s}} \quad (5.8)$$

La frecuencia de corte $\omega_0 = 2,5\text{kHz}$ se elige lo suficientemente alta para que el filtro no tenga incidencia a la frecuencia fundamental de salida del inversor (50Hz), pero a la vez lo suficientemente baja como para filtrar adecuadamente el ruido de commutación proveniente de la etapa de potencia del inversor, de frecuencia fundamental 10kHz. El factor de selectividad $Q = 0,73$ se elige cercano a $\frac{1}{\sqrt{2}}$ para obtener una respuesta plana en la banda de paso del filtro.

Si se consideran $V_{BUS} = 480V$, $L = 6mH$, $C = 20\mu F$, $r_L = 0,675\Omega$ (obtenido de [19]) y $Z_L = 4840\Omega$ (dado que la peor condición de diseño es para poca carga [4], y con dicha resistencia se obtiene una carga de 10W a 220V de salida), la función transferencia $G_{iOL}(s)$ es:

$$G_{iOL}(s) = \frac{1,974 \cdot 10^{13}s^3 - 1,184 \cdot 10^{18}s^2 + 2,367 \cdot 10^{22}s + 2,447 \cdot 10^{23}}{s^6 + 8,164 \cdot 10^4 s^5 + 2,756 \cdot 10^9 s^4 + 4,164 \cdot 10^{13} s^3 + 3,239 \cdot 10^{17} s^2 + 3,75 \cdot 10^{20} s + 2,468 \cdot 10^{24}} \quad (5.9)$$

De este sistema se puede obtener su diagrama de Bode para analizar su respuesta en frecuencia y sus márgenes de estabilidad. El mismo se muestra en la figura 5.6. Se puede ver que a bajas frecuencias el sistema $G_{iOL}(j\omega)$ presenta una ganancia << 1. Esta baja ganancia está dada por la función transferencia de la planta $G_i(j\omega)$, dado que $G_{LPF}(j\omega)$ y $G_{delay}(j\omega)$ poseen ganancia unitaria en ese rango de frecuencias. El módulo de $G_i(j\omega)$ para $\omega \rightarrow 0$ se puede obtener de la ecuación (5.2) y resulta $G_{i0} = \frac{V_{BUS}}{Z_L + r_L}$. Dado que para el lazo interno se busca alta ganancia que le proporcione un ancho de banda elevado para el rechazo de perturbaciones, cuanto menor sea G_{i0} , será más difícil compensar esa baja ganancia con un controlador. De aquí se extrae que la condición de diseño del controlador debe ser la de menor carga, ya que es la más desfavorable.

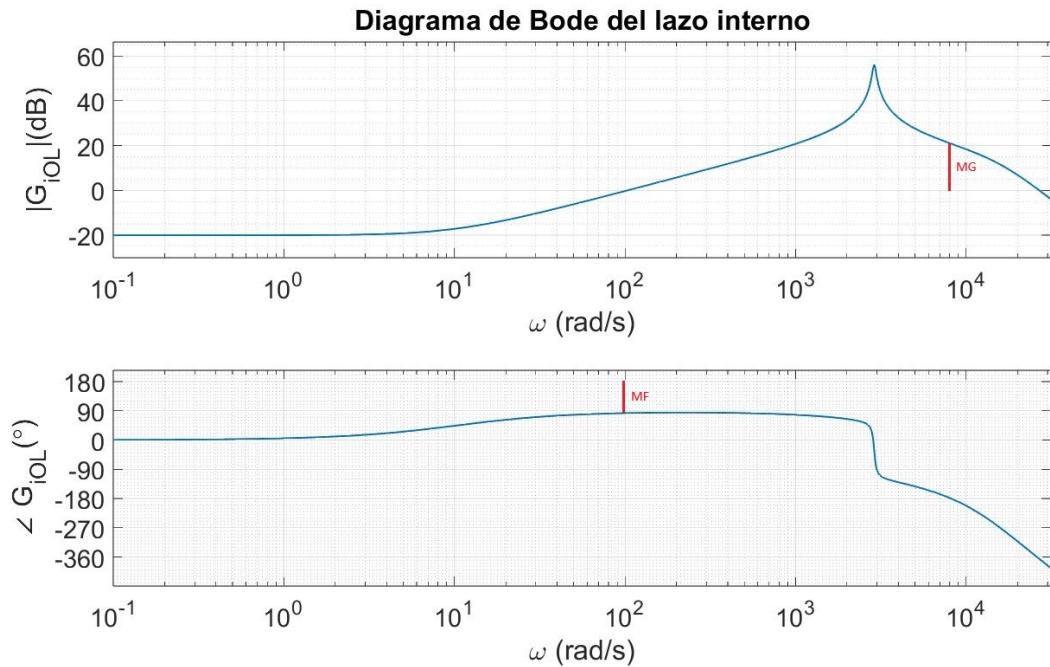


Figura 5.6: Diagrama de Bode del modelo del lazo interno sin controlador.

Sus márgenes de estabilidad son:

- Margen de fase: $MF = -96,9^\circ$.
- Margen de ganancia: $MG = -20,8dB$.

Por lo tanto, como ambos márgenes son negativos, el lazo interno realimentado unitariamente es inestable.

Se establecen inicialmente como parámetros de diseño en el dominio temporal del lazo interno realimentado con un controlador, los valores de tiempo de establecimiento al 2 % del valor final, sobrevalor y error estático, siendo estos:

$$t_{r2\%} = 1ms \quad (5.10)$$

$$SV = \frac{5}{100} \quad (5.11)$$

$$\varepsilon_{01} = 0 \quad (5.12)$$

Se elige un tiempo de respuesta de 1ms dado que el lazo interno de corriente debe ser mucho más veloz que el lazo externo de tensión. De esta manera, dado que el lazo externo de tensión deberá tener un tiempo de respuesta del orden de un periodo de la tensión de salida (es decir, del orden de las decenas de milisegundos), el valor adoptado resulta ser considerablemente menor.

Si se aproxima el sistema controlado realimentado a uno de segundo orden, es posible obtener los parámetros de respuesta en frecuencia a partir de los de respuesta temporal como:

$$\xi = \sqrt{\frac{\log(SV)^2}{\log(SV)^2 + \pi^2}} = 0,6901 \quad (5.13)$$

$$\omega_n \approx \frac{4}{\xi \cdot t_{r2}\%} = 5796,2 \frac{\text{rad}}{\text{s}} \quad (5.14)$$

$$MF \approx 100 \cdot \xi = 69^\circ \quad (5.15)$$

Donde ξ es el factor de amortiguamiento del sistema, ω_n la frecuencia natural y MF el margen de fase. Teniendo en cuenta que $\omega_n \approx \omega_0$, entonces $\omega_0 \approx 5796,2 \frac{\text{rad}}{\text{s}}$.

Se comienza entonces calculando un controlador PD para corregir la precisión dinámica del sistema. Su forma genérica es:

$$H_{iPD}(s) = K_{PD} \cdot \frac{1 + \alpha \tau s}{1 + \tau s}, \alpha > 1 \quad (5.16)$$

El avance de fase que deberá proporcionar es:

$$\Delta\Phi = -\underline{G_{iOL}(j\omega_0)} - 180^\circ + MF = -(-152,03^\circ) - 180^\circ + 69^\circ = 41,03^\circ \quad (5.17)$$

Luego, se pueden calcular α y τ como:

$$\alpha = \frac{1 + \text{sen}(\Delta\Phi)}{1 - \text{sen}(\Delta\Phi)} = 4,8232 \quad (5.18)$$

$$\tau = \frac{1}{\sqrt{\alpha} \cdot \omega_0} = \frac{1}{\sqrt{4,8232} \cdot 5796,2 \frac{\text{rad}}{\text{s}}} = 78,56 \cdot 10^{-6} \text{s} \quad (5.19)$$

Finalmente, sabiendo que debe ser $|G_{PD}(j\omega_0) \cdot G_{pa}(j\omega_0)| = 1$, se calcula K_{PD} .

$$K_{PD} = \frac{1}{|G_{pa}(j\omega_0)| \cdot |\frac{1+\alpha\tau j\omega_0}{1+\tau j\omega_0}|} = \frac{1}{|G_{pa}(j\omega_0)| \cdot \sqrt{\alpha}} = \frac{1}{18,33 \cdot \sqrt{4,8232}} = 0,0248 \quad (5.20)$$

El controlador PD a implementar será entonces:

$$H_{iPD}(s) = 0,0248 \cdot \frac{1 + 378,91 \cdot 10^{-6} s}{1 + 78,56 \cdot 10^{-6} s} \quad (5.21)$$

Como se desea que el error estático ε_{01} sea nulo, eso solo se puede conseguir agregando un polo en el origen al controlador, por lo que debemos implementar, además, un controlador PI para corregir la precisión estática del sistema. Su forma genérica con un polo en el origen es:

$$H_{iPI}(s) = K_{PI} \cdot \frac{1 + \tau s}{s}, b > 1$$

Se toma como criterio de diseño que el cero del controlador PI se encuentre muy alejado de la pulsación ω_0 , de manera que el mismo no afecte a la precisión dinámica del sistema. Así:

$$Z_{PI} = 0,1 \cdot \omega_0 = 0,1 \cdot 5796,2 \frac{\text{rad}}{\text{s}} = 579,62 \frac{\text{rad}}{\text{s}}$$

Sabiendo entonces que $Z_{PI} = \frac{1}{\tau}$, entonces:

$$\tau = \frac{1}{Z_{PI}} = \frac{1}{579,62 \frac{\text{rad}}{\text{s}}} = 0,001725 \text{s}$$

Resta calcular K_{PI} . Para hacerlo se tiene en cuenta que, para no modificar el margen de fase ya establecido con el controlador PD, debe ser $|G_{PI}(j\omega_0)| = 1$. Entonces:

$$K_{PI} = \frac{1}{|\frac{1+\tau j\omega_0}{j\omega_0}|} = \frac{1}{0,001734} = 576,74$$

El controlador PI a implementar será entonces:

$$H_{iPI}(s) = 576,74 \cdot \frac{1 + 0,001725s}{s}$$

Finalmente, el controlador del lazo interno de corriente es:

$$H_i(s) = H_{iPI}(s) \cdot H_{iPD}(s) = 576,74 \cdot \frac{1 + 0,001725s}{s} \cdot 0,0248 \cdot \frac{1 + 378,91 \cdot 10^{-6}s}{1 + 78,56 \cdot 10^{-6}s} \quad (5.22)$$

$$H_i(s) = 14,3 \cdot \frac{(1 + 0,001725s)(1 + 378,91 \cdot 10^{-6}s)}{s(1 + 78,56 \cdot 10^{-6}s)} \quad (5.23)$$

El diagrama de Bode a lazo abierto del lazo interno compensado con el controlador $H_i(s)$ se puede ver en la figura 5.7.

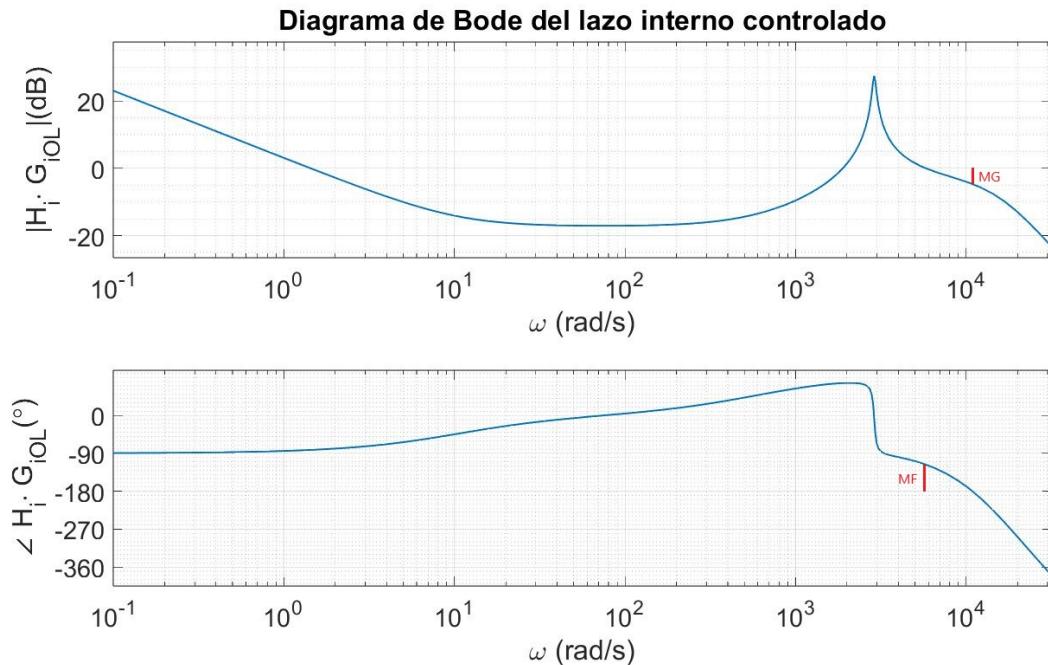


Figura 5.7: Diagrama de Bode del modelo del lazo interno compensado con el controlador calculado.

Ahora los márgenes de estabilidad son:

- Margen de fase: $MF = 63,3^\circ$ - Frecuencia de cruce de ganancia: $\omega_0 = 5800 \frac{\text{rad}}{\text{s}}$.
- Margen de ganancia: $MG = 4,68 \text{dB}$ - Frecuencia de cruce de fase: $\omega_\Phi = 10900 \frac{\text{rad}}{\text{s}}$.

Si bien la frecuencia de cruce de ganancia es $\omega_0 = 5800 \frac{rad}{s}$, se puede observar en la figura 5.7 que la ganancia para bajas frecuencias es << 1. Esto implica que la performance del controlador ante el rechazo de perturbaciones y particularmente siguiendo una referencia de corriente de 50Hz será pobre. Sin embargo, para hacer un análisis completo es necesario obtener el diagrama de Bode a lazo abierto del lazo interno compensado con el controlador $H_i(s)$ ya calculado para distintas condiciones de carga. El mismo se puede ver en la figura 5.8, donde se aprecia cómo ante el aumento de la carga, la ganancia del sistema en bajas frecuencias y su ancho de banda aumentan considerablemente. Además, no se ven afectados los márgenes de estabilidad, dado que los diagramas de bode no se modifican a frecuencias más altas, en la región donde se encuentran las frecuencias de cruce de fase y ganancia.

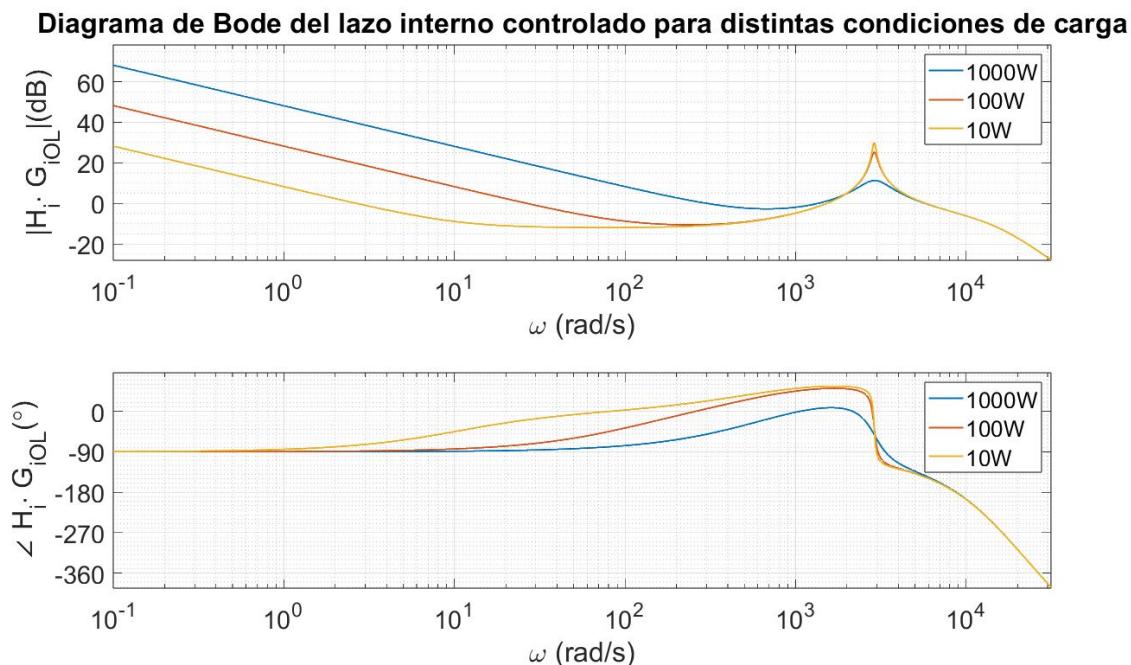


Figura 5.8: Diagrama de Bode del modelo del lazo interno controlado para distintas condiciones de carga.

En este trabajo se diseña un controlador para la utilización del inversor en modo off-grid. Sin embargo, a la hora de querer diseñar el controlador interno para una aplicación on-grid, se debe tener en cuenta que la función transferencia en pequeña señal de la planta interna $G_i(s)$ se modifica, pasando a ser:

$$G_{i\text{ON_GRID}}(s) = \frac{V_{BUS}}{sL + r_L} \quad (5.24)$$

Como se puede ver en la ecuación (5.24), para el sistema conectado a la red eléctrica se elimina la dependencia de la función transferencia de la planta con la carga. En la figura 5.9 se presentan, a modo comparativo, el diagrama de Bode del sistema $G_{i\text{ON_GRID}}(s)$ compensado con el controlador $H_i(s)$ calculado, junto a los diagramas ya vistos del sistema off-grid $G_i(s)$ bajo diferentes condiciones de carga. Como se puede ver, para el sistema on-grid tanto la ga-

nancia como el ancho de banda aumentan respecto del sistema off-grid (aún a plena carga), por lo que aumentará también la performance del lazo.

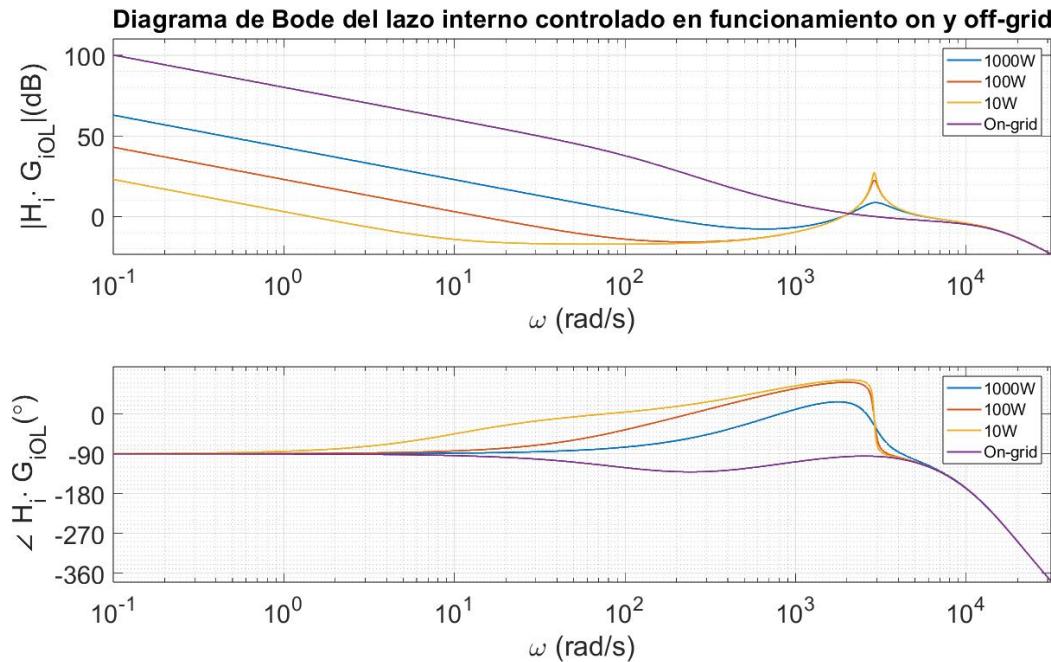


Figura 5.9: Diagrama de Bode del modelo del lazo interno controlado para funcionamiento on-grid.

Se puede concluir entonces de este último análisis que si bien para el funcionamiento off-grid (y sobre todo a bajas cargas) el lazo interno de corriente no tiene una gran performance, esto se revierte para el funcionamiento on-grid. Es justamente en este último modo de trabajo donde cobra vital importancia que el lazo de corriente tenga una alta velocidad de respuesta y una alta ganancia, ya que pasa a ser el lazo de control principal. En el funcionamiento off-grid, el lazo externo de tensión es el que fija el valor de tensión de salida, cumpliendo el lazo interno de corriente solamente la función de rechazar perturbaciones (variaciones en la tensión del bus de corriente continua y en la carga).

5.3. Diseño del controlador de la tensión de salida

Para diseñar el controlador del lazo exterior, que regula tensión de salida v_o , se debe considerar el lazo interior realimentado como parte del sistema a controlar. Dado el diagrama en bloques de la figura 5.5 y las funciones transferencia $H_i(s)$, $G_i(s)$, $G_{delay}(s)$, $G_{LPF}(s)$ y $G_v(s)$, la función transferencia a lazo abierto de la planta a controlar ahora estará dada por:

$$G_{OL}(s) = \frac{H_i(s) \cdot G_i(s) \cdot G_{delay}(s)}{1 + H_i(s) \cdot G_i(s) \cdot G_{delay}(s) \cdot G_{LPF}(s)} \cdot G_v(s) \cdot G_{LPF}(s) = \quad (5.25)$$

$$= 9536,1 \cdot \frac{(s + 2639)(s + 579,6)(s + 10,33)(s^2 + 21520s + 2,467 \cdot 10^8)(s^2 - 60000s + 1,2 \cdot 10^9)}{(s + 40370)(s + 1,246)(s^2 + 2441s + 7,024 \cdot 10^6)(s^2 + 4066s + 1,068 \cdot 10^8)(s^2 + 47490s + 1,183 \cdot 10^9)}$$

El diagrama de bode de $G_{OL}(s)$ se puede ver en la figura 5.10.

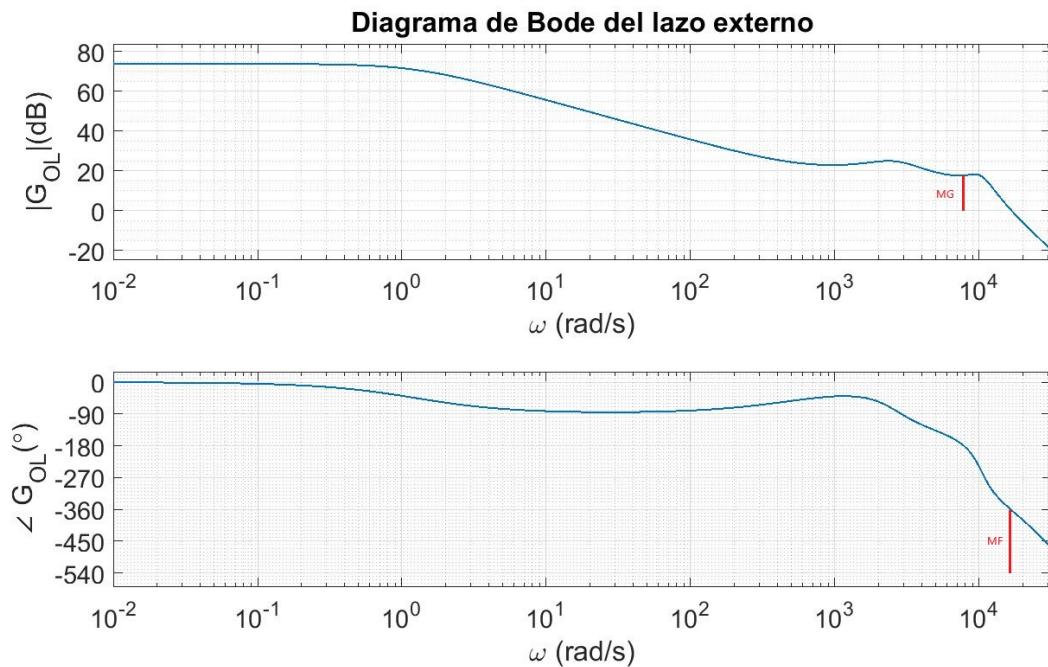


Figura 5.10: Diagrama de Bode del modelo del lazo externo sin controlador.

Sus márgenes de estabilidad son:

- Margen de fase: $MF = 177^\circ$.
- Margen de ganancia: $MG = -17,8 dB$.

Si bien el margen de fase es positivo, el de ganancia es negativo, por lo que el sistema realimentado unitariamente es inestable.

Se establecen inicialmente como parámetros de diseño en el dominio temporal del lazo interno realimentado con un controlador, los valores de tiempo de establecimiento al 2% del valor final, sobrevalor y error estático, siendo estos:

$$t_{r2\%} = 10ms \quad (5.26)$$

$$SV = \frac{5}{100} \quad (5.27)$$

$$\varepsilon_{01} = 0 \quad (5.28)$$

Se plantea en este caso un tiempo de respuesta de 10ms teniendo en cuenta el período de la tensión de salida del inversor, que es de 20ms. Se busca que el controlador permita al sistema alcanzar el régimen en un tiempo del orden de un período de la salida.

Nuevamente, como se hizo en la sección 5.2, approximando el sistema controlado realimentado a uno de segundo orden se pueden obtener los parámetros de respuesta en frecuencia a

partir de los de respuesta temporal:

$$\xi = \sqrt{\frac{\log(SV)^2}{\log(SV)^2 + \pi^2}} = 0,6901 \quad (5.29)$$

$$\omega_n \approx \frac{4}{\xi \cdot t_{r2\%}} = 579,62 \frac{\text{rad}}{\text{s}} \quad (5.30)$$

$$MF \approx 100 \cdot \xi = 69^\circ \quad (5.31)$$

Sabiendo que $\omega_n \approx \omega_0$, entonces $\omega_0 \approx 579,62 \frac{\text{rad}}{\text{s}}$.

Procediendo también de la misma manera que en la sección 5.2, se calcula el corrector PID para el lazo externo:

$$H_{vPID}(s) = H_{vPD}(s) \cdot H_{vPI}(s) = 0,1429 \cdot \frac{1 + 777,71 \cdot 10^{-6}s}{1 + 3,827 \cdot 10^{-3}s} \cdot 57,674 \cdot \frac{1 + 0,01725s}{s} \quad (5.32)$$

$$H_{vPID}(s) = 8,242 \cdot \frac{(1 + 777,71 \cdot 10^{-6}s)(1 + 0,01725s)}{s(1 + 3,827 \cdot 10^{-3}s)} \quad (5.33)$$

El controlador de la tensión de salida debe tener la capacidad de reproducir el set-point aplicado como entrada, en la salida del sistema. Por lo tanto, se busca que el sistema realimentado tenga error nulo, o el más bajo posible. Agregando un polo en el origen con el controlador, se asegura error nulo en estado estacionario. Sin embargo, un inversor nunca funciona con la referencia estacionaria sino que es una forma de onda senoidal de 50Hz de frecuencia. Es por esto que una práctica común es introducir un *controlador resonante*, que idealmente otorga al lazo ganancia infinita a la frecuencia de interés (en este caso 50Hz) y tiene la forma:

$$H_{res}(s) = K_r \cdot \frac{2s}{s^2 + \omega_r^2} \quad (5.34)$$

Sin embargo, si bien este controlador otorga ganancia infinita en la frecuencia de resonancia $\omega_r = 2\pi f_r$, es poco útil en la práctica dado que tiene un ancho de banda muy acotado. En aplicaciones reales, la frecuencia de oscilación nunca es exactamente de 50Hz y por eso es deseado que el controlador resonante tenga un ancho de banda capaz de dar alta ganancia a frecuencias cercanas a los 50Hz . Se utilizará entonces el controlador propuesto en [17], de la forma:

$$H_r(s) = K_r \frac{2\omega_{cut}s}{s^2 + 2\omega_{cut}s + \omega_r^2} \quad (5.35)$$

Se utilizaron en este caso $K_r = 20$, $\omega_r = 2\pi 50 \frac{\text{rad}}{\text{s}}$ y $\omega_{cut} = 1 \frac{\text{rad}}{\text{s}}$.

Finalmente, el controlador para el lazo externo utilizado estará dado por:

$$H_v(s) = H_{vPID}(s) + H_r(s) \quad (5.36)$$

$$H_v(s) = 8,242 \cdot \frac{(1 + 777,71 \cdot 10^{-6}s)(1 + 0,01725s)}{s(1 + 3,827 \cdot 10^{-3}s)} + \frac{40s}{s^2 + 2s + (2\pi 50)^2} \quad (5.37)$$

Una vez diseñado el controlador, se ajustó el mismo manualmente utilizando la herramienta *sisotool* de MATLAB, llegando finalmente a:

$$H_V(s) = 8,2397 \cdot \frac{(1 + 0,00077s)(1 + 0,013s)(1 + 0,0036s + (0,0052s)^2)}{s(1 + 0,0038s)(1 + 0,00002s + (0,0032s)^2)} \quad (5.38)$$

La respuesta en frecuencia del controlador $H_V(s)$ se muestra en la figura 5.11 comparada con la del controlador $H_v(s)$ diseñado inicialmente. Se puede observar claramente el aumento de ganancia a la frecuencia $\omega = 2\pi 50$ proporcionada por el controlador resonante.

Finalmente, el diagrama de bode a lazo abierto del sistema completo compensado con el controlador $H_V(s)$ en el lazo externo y $H_i(s)$ en el lazo interno se puede observar en la figura 5.12.

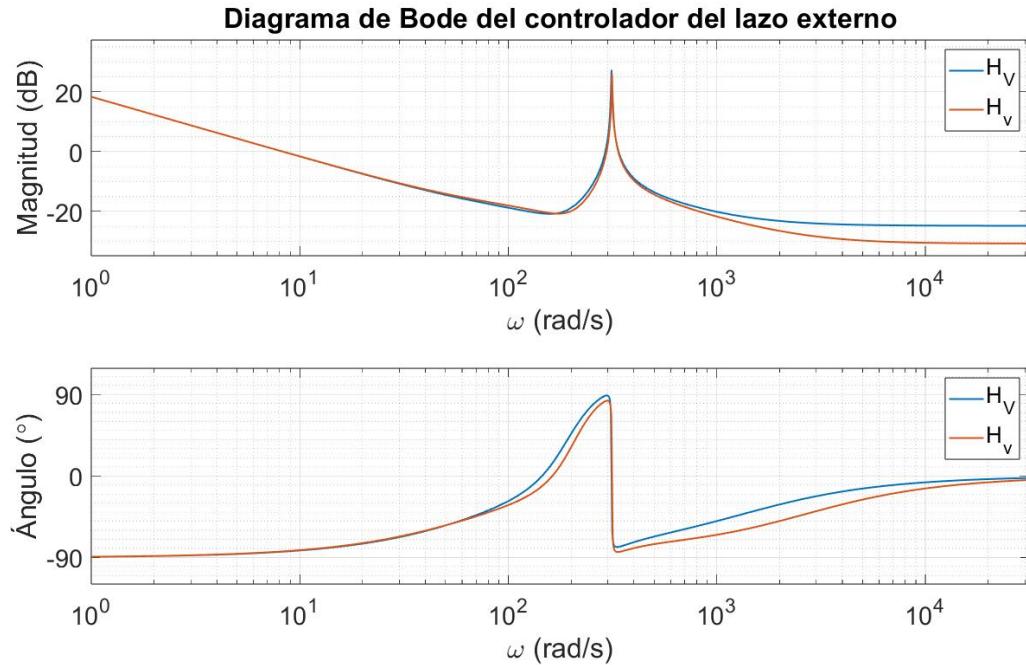


Figura 5.11: Diagrama de Bode del controlador de la tensión de salida.

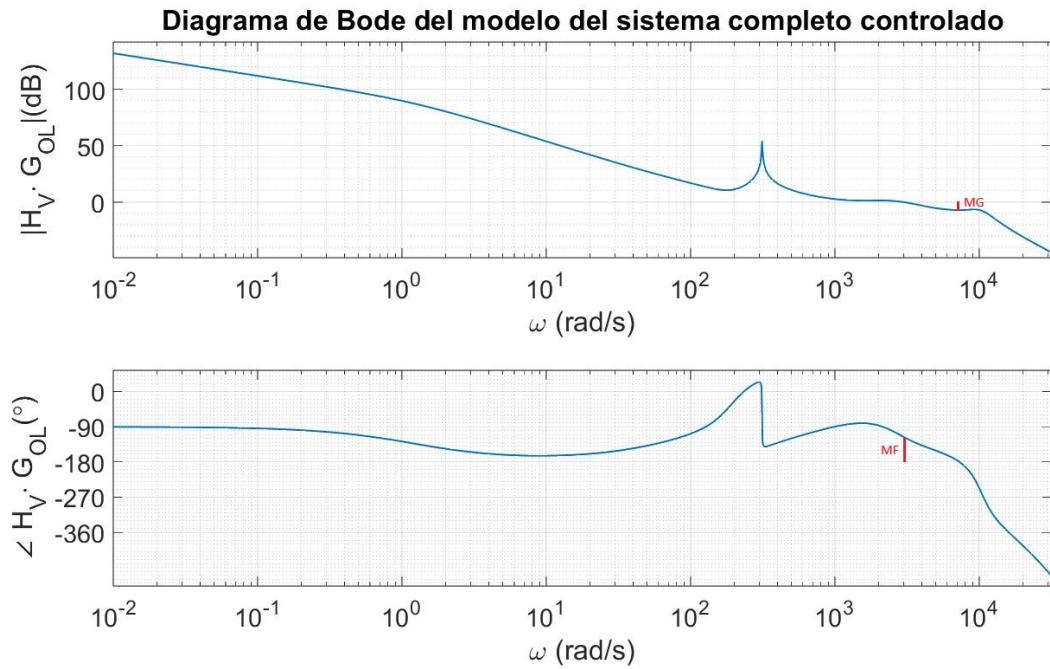


Figura 5.12: Diagrama de Bode del modelo del sistema completo compensado con el control en cascada calculado.

Ahora los márgenes de estabilidad del sistema completo con el control en cascada son:

- Margen de fase: $MF = 62,5^\circ$ - Frecuencia de cruce de ganancia: $\omega_0 = 3030 \frac{rad}{s}$.
- Margen de ganancia: $MG = 7,02 dB$ - Frecuencia de cruce de fase: $\omega_\Phi = 7280 \frac{rad}{s}$.

Una forma de analizar en primera instancia el comportamiento del sistema con el controlador en cascada realimentado es ver su respuesta al escalón unitario. La misma se puede observar en la imagen 5.13.

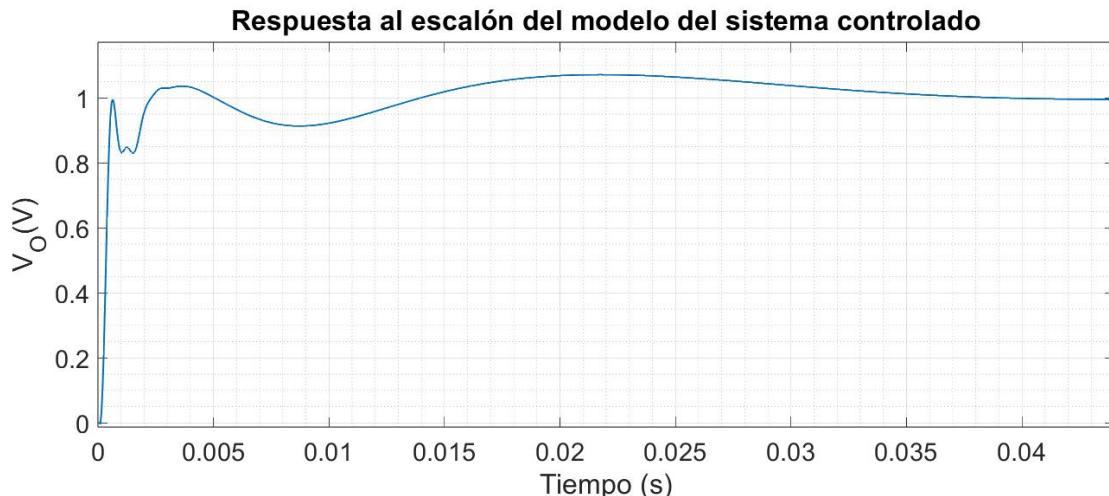


Figura 5.13: Respuesta al escalón del modelo del sistema controlado.

Los parámetros más significativos de la respuesta mostrada en la figura 5.13 son:

- Error de estado estacionario ε_{01} nulo.
- Tiempo de establecimiento al 2 % ($t_{r2\%}$) igual 33,3 ms.
- Sobrevalor ($SV\%$) igual a 7,15 %.

5.4. Prueba del controlador sobre modelo en Simulink

A fin de poder validar el funcionamiento del controlador sobre un modelo del inversor en gran señal más realista, se desarrolló en el software Simulink el modelo que se puede ver en la figura 5.14, en base al modelo desarrollado previamente en [19].

El modelo está compuesto por bloques: el controlador de la tensión del bus de CC, el controlador de la tensión de salida, el modulador PWM, el bloque de mediciones y el bloque con el modelo circuital del inversor. Este último fue realizado utilizando PLECS Blockset [18], una herramienta especializada en modelización de electrónica de potencia, y se puede ver en la figura 5.15. Como se observa, es un modelo conmutado (no promediado), que posee un panel solar como entrada de tensión, y una carga RL con un valor de inductancia de $500\mu H$ a la salida. Además, para la red Z se utiliza un modelo de bobinas acopladas, tal como es la bobina de la red Z del inversor real. Sin embargo, el modelo no es preciso en la simulación de los transistores, ya que funcionan como una llave ideal, siendo nulo su tiempo de conmutación.

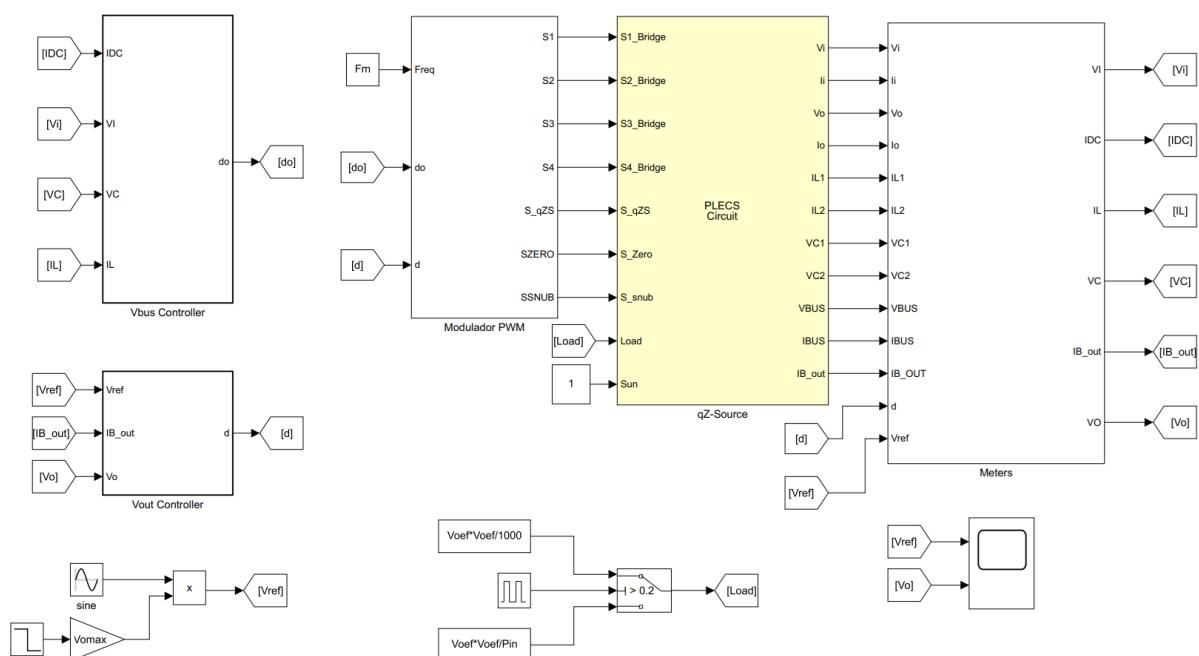


Figura 5.14: Modelo en Simulink del inversor completo.

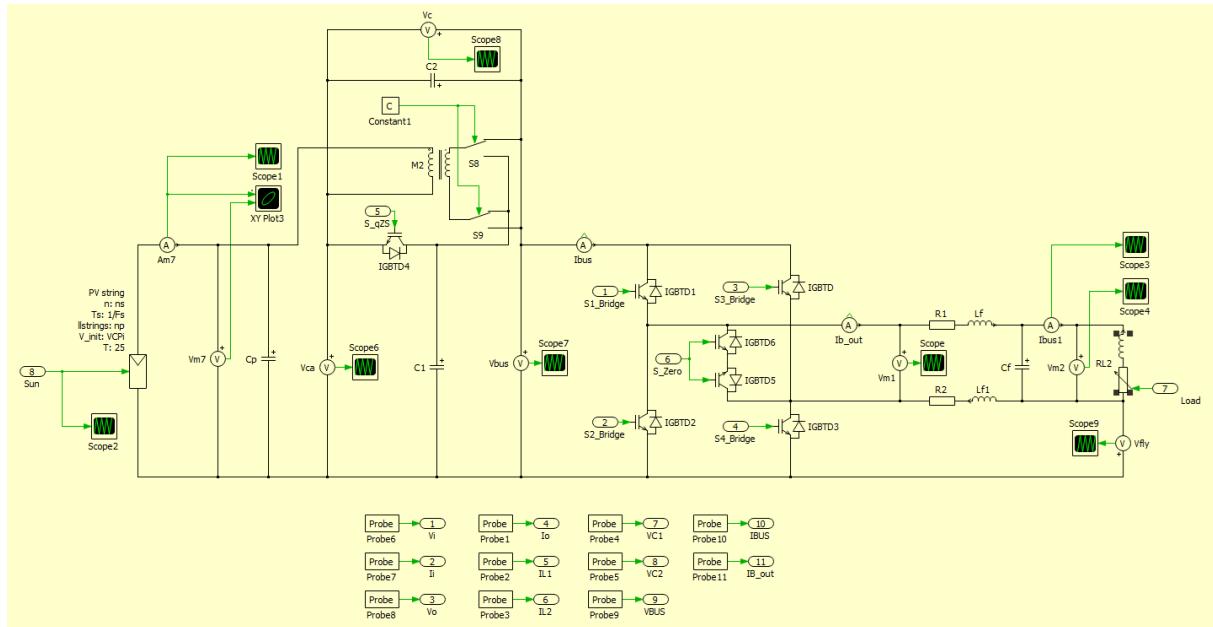
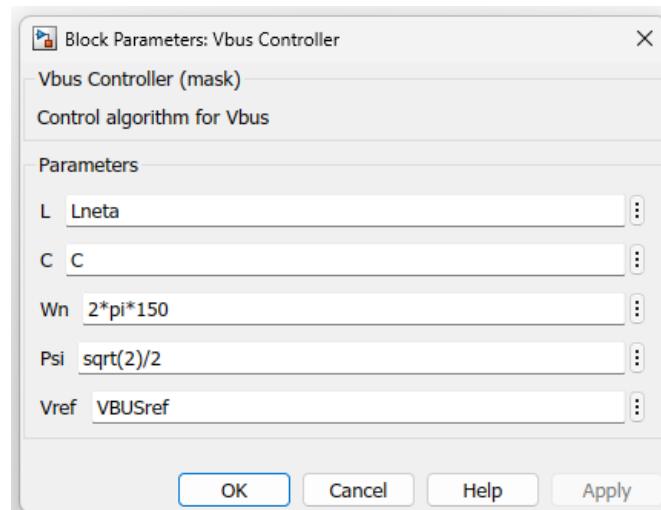


Figura 5.15: Modelo eléctrico del inversor en PLECS.

Por su parte, el bloque de mediciones se encarga de generar todas las señales que necesitan los controladores como entrada para calcular los ciclos de trabajo d y $d0$, a partir de las mediciones obtenidas del modelo circuital. El modulador PWM toma los valores calculados por los controladores y genera las señales digitales con las que se controlan los transistores del modelo circuital. El controlador de la tensión de salida implementa el algoritmo calculado previamente en este capítulo. El controlador de la tensión del bus de tensión continua implementa el algoritmo de control descripto en el capítulo 2. A su vez, este último es un bloque genérico configurable, al que se le pueden ingresar como parámetros el valor de los capacitores y las inductancias de la red Z, los valores deseados de ω_n y ξ y el valor de la tensión de referencia para el bus de CC. La pantalla de configuración se puede ver en la imagen 5.16.

Figura 5.16: Pantalla de configuración del modelo en Simulink del controlador de V_{BUS} .

Para validar el funcionamiento del controlador de la tensión de salida diseñado en este capítulo, se realizaron varios ensayos sobre este modelo. En todos los ensayos realizados se utilizó como tensión de entrada el modelo de un conjunto de 16 paneles solares *bp solar BP365* [2] solares en serie. Los mismos son de 65W de potencia máxima, teniendo una tensión de 17,6V y una corriente de 3,69A en ese punto de potencia. Además, poseen una tensión de circuito abierto de 21,7V y una corriente de cortocircuito de 3,99A. Por otra parte, la configuración utilizada para los parámetros del controlador de la tensión V_{BUS} es de $\omega_n = 2\pi 150 \frac{\text{rad}}{\text{s}}$ y $\xi = \frac{\sqrt{2}}{2}$.

En las figuras 5.17 y 5.18 se puede ver la respuesta del sistema a un escalón de set-point del 25 % en $t = 0,2s$, pasando este de 248,8V de pico a 311V de pico. En el primer caso el modelo se encuentra con una carga de 4840Ω (que consume 10W para $V_o = 311V_{pico}$) y en el segundo, con una de 484Ω (que consume 100W para $V_o = 311V_{pico}$). Como se observa, el sistema alcanza el régimen rápidamente en ambos casos, demorando menos de un ciclo de la tensión controlada.

Por otra parte, en la figura 5.19 se puede ver la respuesta al mismo ensayo, pero con una carga de $48,4\Omega$, que consume 1000W para $V_o = 311V_{pico}$. Nuevamente, el sistema alcanza el régimen rápidamente, aunque es posible observar cómo tiene una demora ligeramente mayor que en los casos anteriores.

En la figura 5.20 se observa la respuesta a un escalón de carga, de 100W a 1000W en $t = 0,2s$, funcionando el sistema a tensión nominal. En este caso, el tiempo de respuesta es notoriamente mayor a los casos anteriores, pero manteniéndose dentro de lo aceptable, alcanzando el sistema el régimen en menos de dos ciclos de la tensión controlada. La caída de tensión en el momento del escalón es de alrededor de un 30 %.

Por último, en la imagen 5.21 se ve la respuesta del sistema funcionando con una carga de 500W a un escalón de -40% en $t = 0,3s$ de la irradiancia solar en los paneles solares de entrada (de $1 \frac{\text{kW}}{\text{m}^2}$ a $0,6 \frac{\text{kW}}{\text{m}^2}$). A esta gráfica se le añadió la tensión de entrada, para poder ver cómo varía la misma dado el cambio de irradiancia. No se observan cambios significativos en la tensión de salida respecto del set-point.

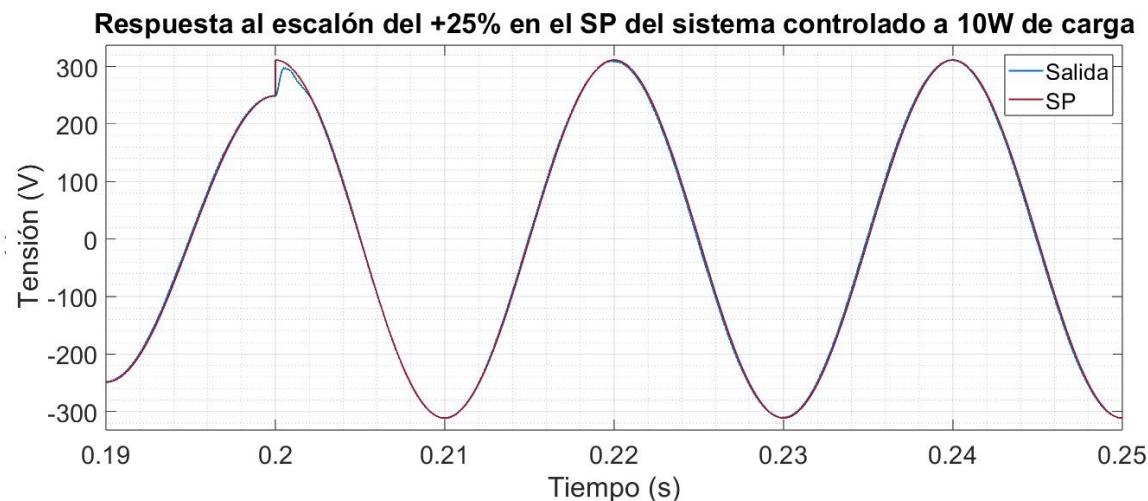


Figura 5.17: Respuesta del modelo completo del sistema controlado a un escalón del 25 % en el set-point a 10W de carga.



Figura 5.18: Respuesta del modelo completo del sistema controlado a un escalón del 25 % en el set-point a 100W de carga.

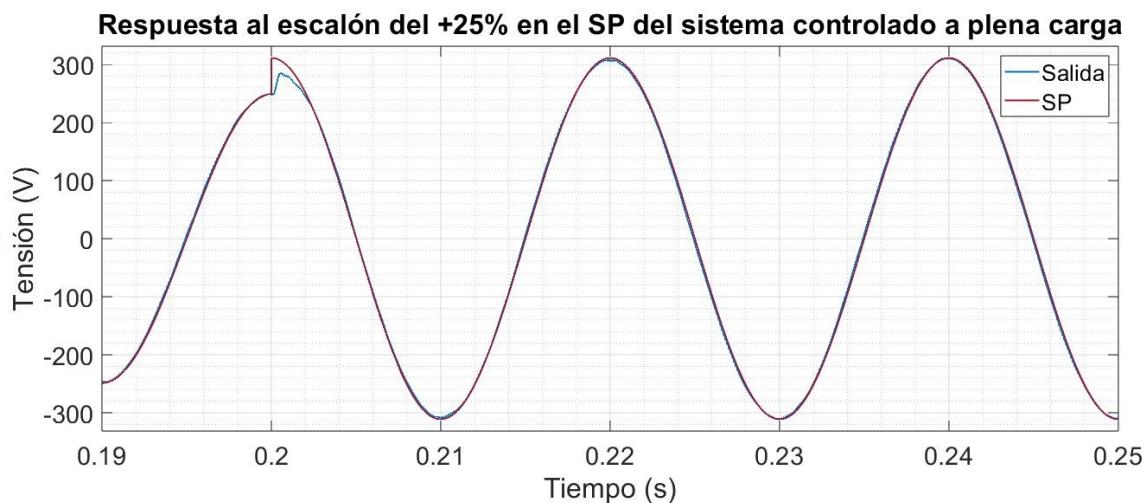


Figura 5.19: Respuesta del modelo completo del sistema controlado a un escalón del 25 % en el set-point a 1000W de carga.

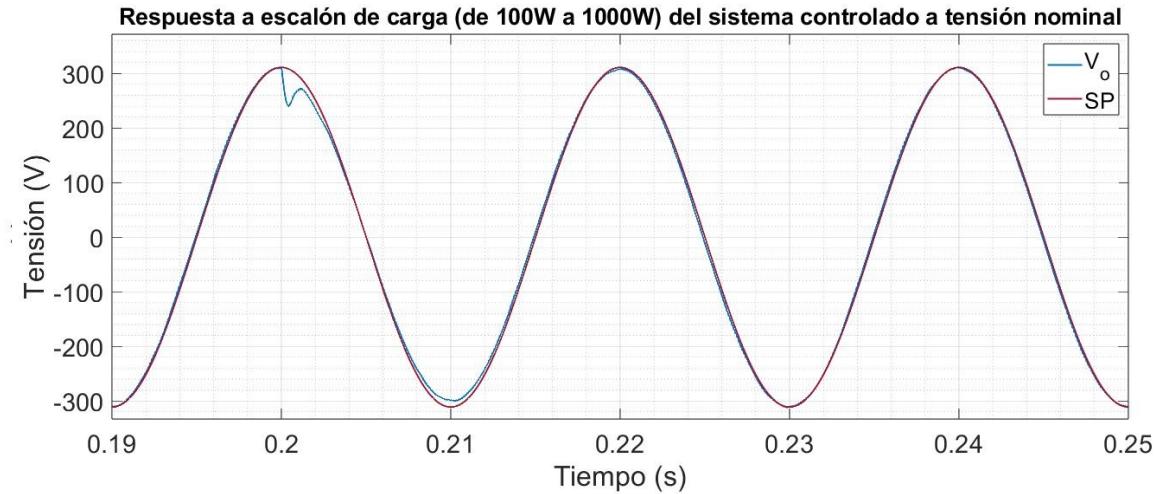


Figura 5.20: Respuesta del modelo completo del sistema controlado a un escalón de carga de 100W a 1000W.

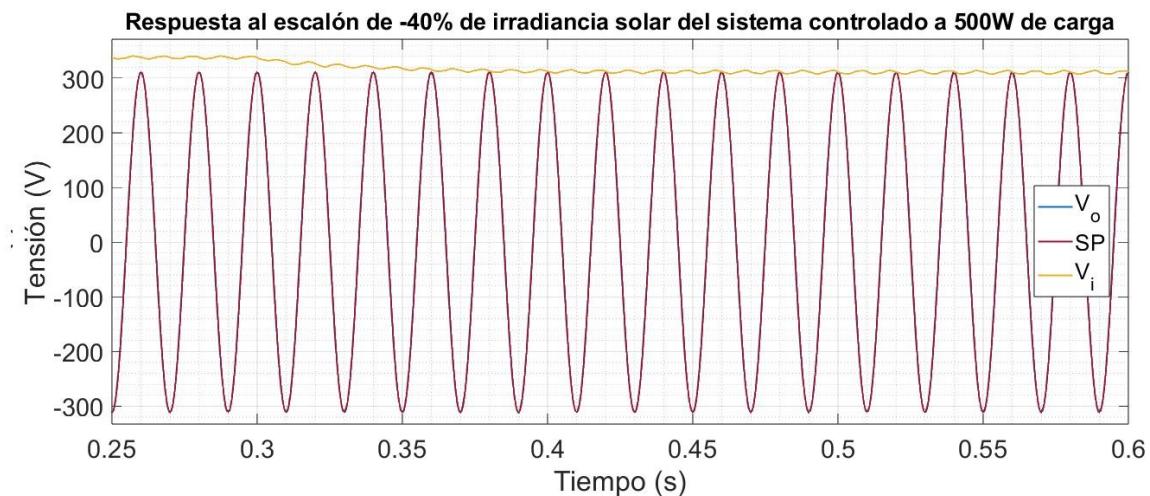


Figura 5.21: Respuesta del modelo completo del sistema controlado a un escalón de irradiancia solar de -40% a 500W de carga.

Para analizar la tensión de salida del inversor en el espectro de la frecuencia, se realizó una transformada rápida de Fourier sobre una ventana de 0,9s de dicha tensión con el inversor funcionando en régimen, con una carga de 1000W. En la imagen 5.22 se puede ver el resultado, donde la amplitud está tomada de manera relativa a la amplitud de la fundamental de 50Hz. Con el fin de apreciar en detalle la amplitud de los armónicos, en la figura 5.23 se puede observar el mismo espectro ampliado en el eje vertical. Como se puede ver, ninguno de los armónicos supera una amplitud del 0,4 %, siendo el tercero el más significativo. Calculando la distorsión armónica total de esta tensión se obtiene:

$$THD \% = 0,41 \%$$

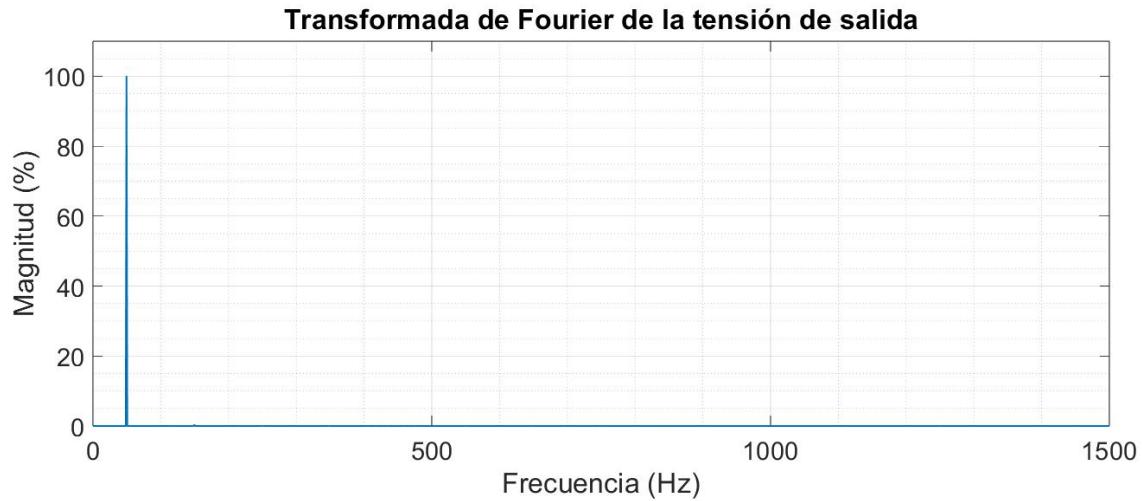


Figura 5.22: Espectro de frecuencia de la tensión de salida del modelo completo del inversor controlado.

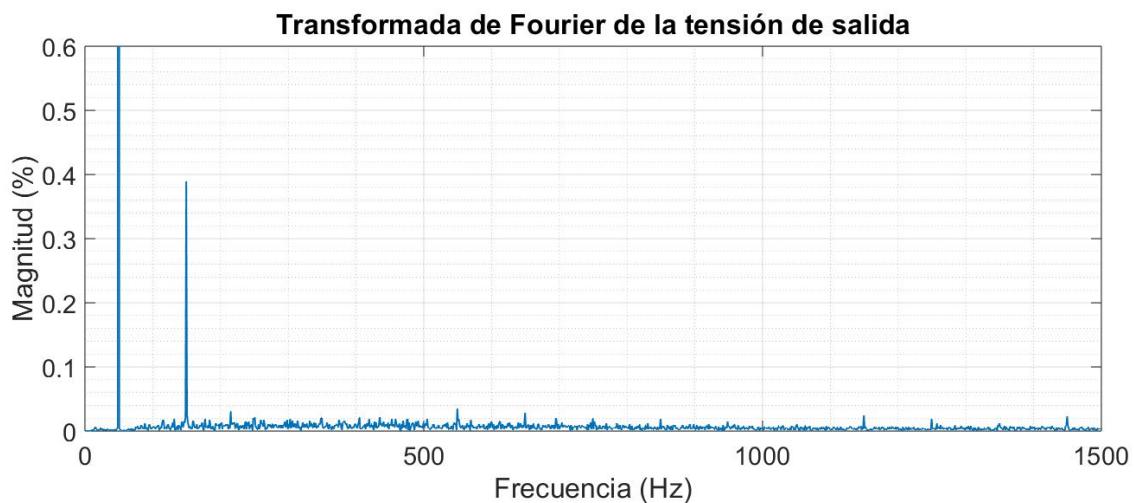


Figura 5.23: Espectro de frecuencia de la tensión de salida del modelo completo del inversor controlado con detalle en los armónicos.

A modo de analizar la estabilidad en la frecuencia de la tensión de salida, se utilizó un PLL provisto en el entorno de Simulink para calcularla. Los parámetros utilizados para este bloque se pueden ver en la figura 5.24. En el ensayo realizado, el modelo estaba funcionando a tensión de salida nominal y se incluyó un escalón de carga (de 100W a 1000W) en el tiempo $t=0,3\text{s}$. El resultado obtenido se observa en la figura 5.25. Se puede ver que las variaciones en la frecuencia no superan el 0,1 %.

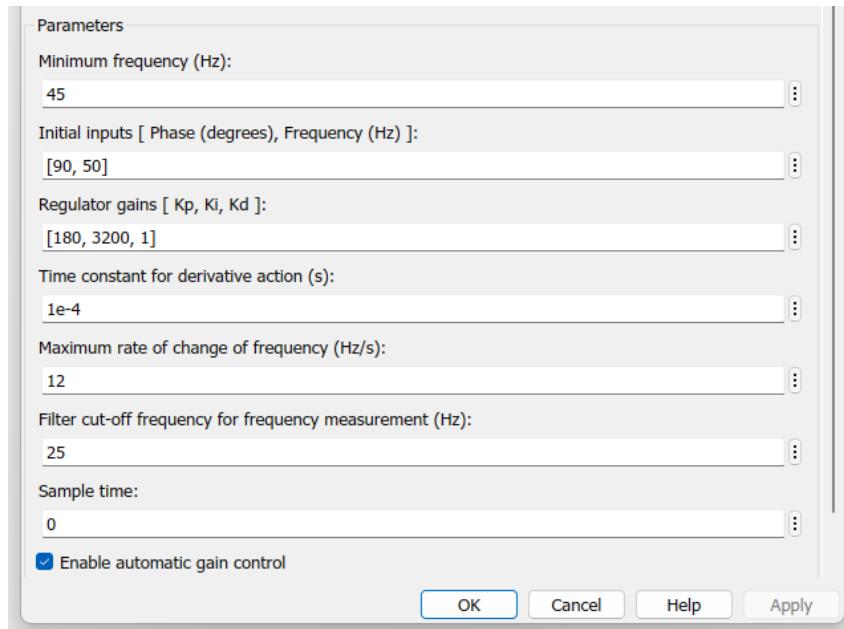


Figura 5.24: Parámetros del PLL utilizado para obtener la frecuencia de la tensión de salida del modelo del inversor,

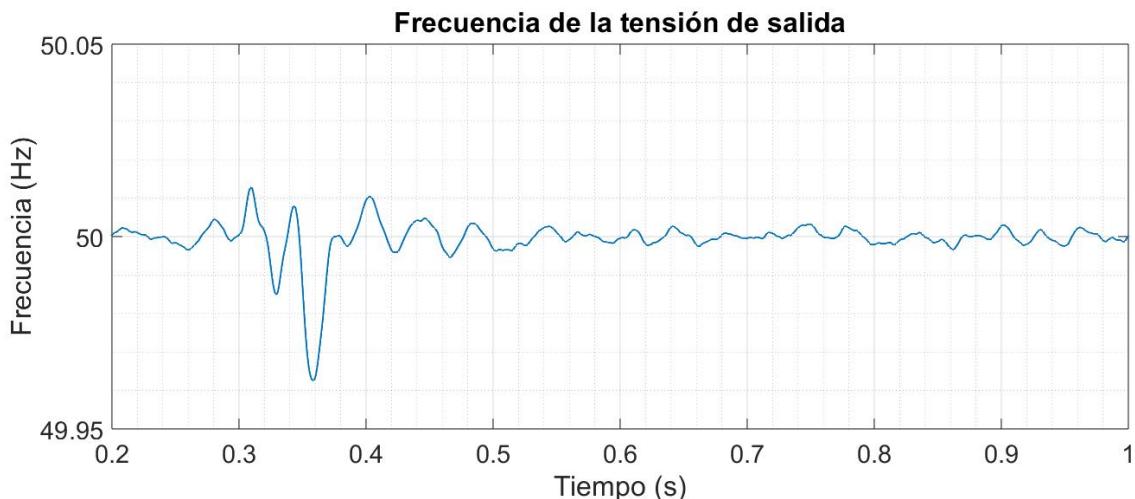


Figura 5.25: Frecuencia de la tensión de salida del modelo completo del inversor controlado con detalle en los armónicos.

Para determinar el comportamiento del controlador ante las variaciones en la tensión del bus de corriente continua (que se consideran en este caso como perturbaciones), se utilizó el controlador en el modelo de un inversor con topología *voltage source inverter*. De esta manera fue posible introducir escalones en la tensión V_{BUS} , dado que la misma es una variable independiente que se puede seleccionar arbitrariamente en este tipo de inversores, como se puede ver en el esquema de la figura 5.1. Los resultados de los ensayos sobre este modelo se pueden ver en las imágenes 5.26, 5.27 y 5.28. La primera de ellas muestra la respuesta del modelo ante

un escalón de -20 % en la tensión del bus (pasando la misma de 480V a 384V) en el instante $t=0,2s$, con una carga de 10W a la salida. Las otras sucesivas resultaron de ensayar al modelo con el mismo escalón de v_{BUS} pero modificando la carga a 100W y 1000W respectivamente. En los tres ensayos la respuesta es muy similar, recuperando el sistema el régimen en menos de un período de la tensión de salida.

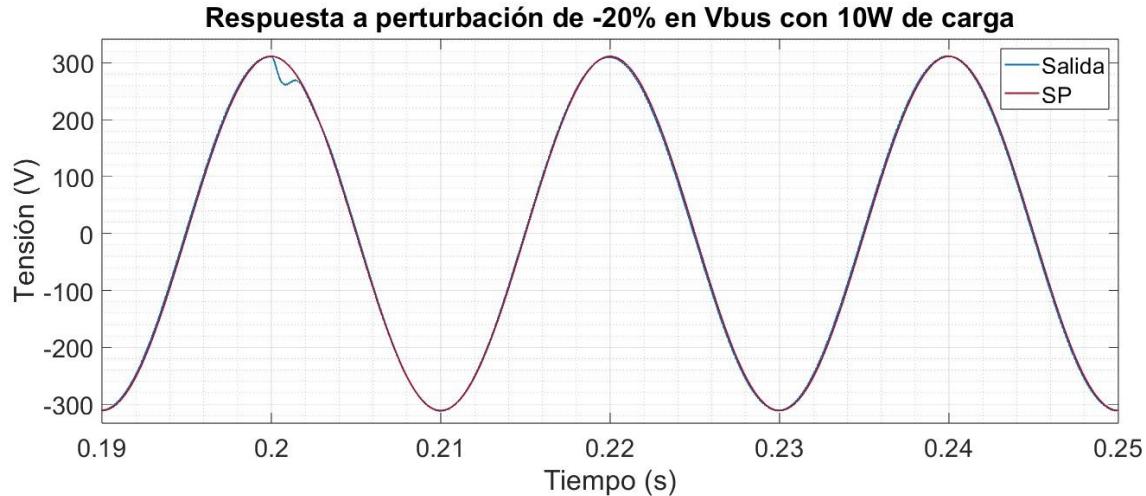


Figura 5.26: Respuesta del controlador ante una perturbación en V_{BUS} a 10W de carga.

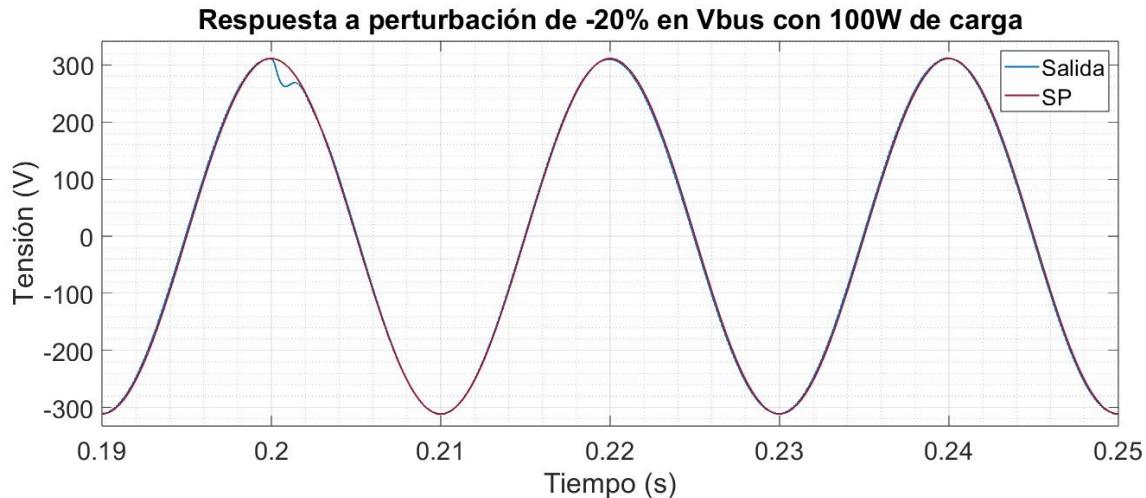


Figura 5.27: Respuesta del controlador ante una perturbación en V_{BUS} a 100W de carga.

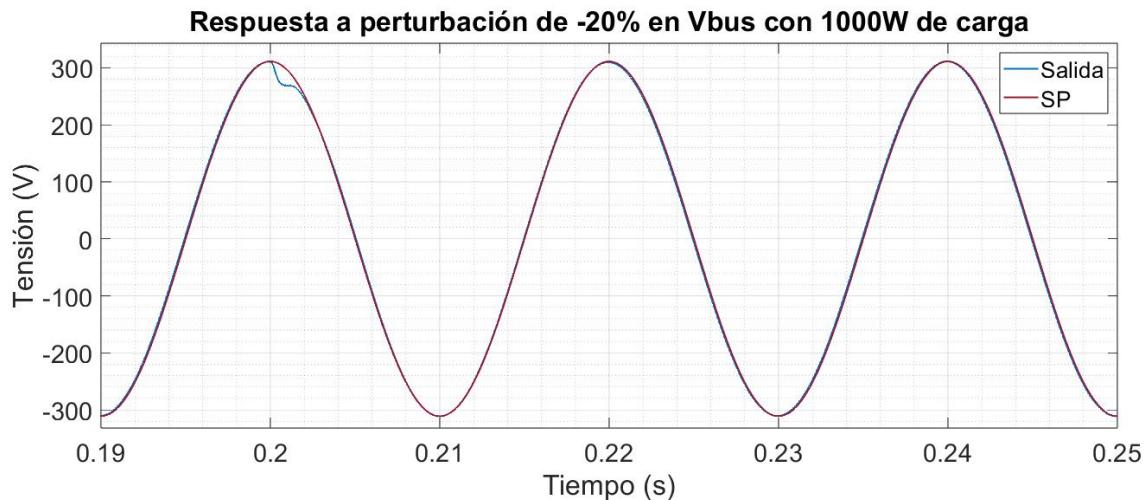


Figura 5.28: Respuesta del controlador ante una perturbación en V_{BUS} a 1000W de carga.

Se analizará finalmente el cumplimiento de los objetivos propuestos en la sección 2.5 para el modelo del sistema controlado.

- Distorsión armónica total menor al 8 %: se cumplió con creces, dado que el valor obtenido para la misma en las simulaciones es de 0,41 %.
- Límite de amplitud de armónicos mostrado en la imagen 2.14: se cumplió correctamente, dado que ninguno de los armónicos supera el 0,4 % de amplitud.
- Variación máxima de la tensión de $\pm 10\%$: se cumplió correctamente, dado que en ninguna simulación realizada se observó una variación significativa de la tensión de salida una vez alcanzado el régimen.
- Caídas de tensión de duración menor a 1s y no mayores al 60 %: se cumplió, dado que en la prueba más exigente, el escalón de carga de 100W a 1000W, la caída de tensión fue de alrededor de un 30 % y tuvo una duración mucho menor a 1s. Esto se puede ver en la figura 5.20.
- Variación máxima de la frecuencia de $\pm 1\%$: se cumplió adecuadamente, dado que la variación máxima observada en la prueba del escalón de carga no superó el 0,1 %, como se ve en la figura 5.25.

5.5. Discretización del controlador para su implementación digital

Para poder implementar los controladores y los filtros diseñados en tiempo continuo en un procesador digital de señales, es necesario obtener su equivalente en tiempo discreto. Para ello, se debe pasar de una función transferencia continua en la variable s a una discreta, en la variable z , y a partir de esta última, obtener la ecuación en diferencias, implementable en un DSP.

Las funciones transferencias discretas se obtuvieron a partir de las continuas utilizando la *transformada bilineal*, con un ajuste de frecuencia en $\omega_0 = 2\pi 50 \frac{rad}{s}$, lo que asegura una respuesta en frecuencia idéntica de ambas funciones transferencias en la frecuencia ω_0 . Esta transformación consiste en:

$$s = \frac{z - 1}{z + 1} \cdot \frac{\omega_0}{\tan(\omega_0 \cdot \frac{T}{2})} \quad (5.39)$$

Siendo T el período de muestreo del sistema, en este caso: $T = 100\mu S$.

Aplicando la ecuación (5.39) en las funciones transferencia (5.23), (5.38) y (5.6) obtenidas anteriormente, se llega a:

$$H_i(z) = \frac{Y_i(z)}{X_i(z)} = \frac{0,08484z^2 - 0,1451z + 0,0614}{z^2 - 1,222z + 0,2221} \quad (5.40)$$

$$H_V(z) = \frac{Y_V(z)}{X_V(z)} = \frac{0,06086z^4 - 0,2347z^3 + 0,3392z^2 - 0,2177z + 0,05233}{z^4 - 3,973z^3 + 5,92z^2 - 3,921z + 0,9738} \quad (5.41)$$

$$G_{LPF}(z) = \frac{Y_{LPF}(z)}{X_{LPF}(z)} = \frac{0,2291z^2 + 0,4582z + 0,2291}{z^2 - 0,2486z + 0,2009} \quad (5.42)$$

Y de estas funciones transferencias discretas es inmediato obtener las ecuaciones en diferencias para calcular la salida del controlador interno de corriente, el controlador externo de tensión y los filtros pasabajos respectivamente:

$$y_{i(t)} = 1,222y_{i(t-1)} - 0,2221y_{i(t-2)} + 0,08484x_{i(t)} - 0,1451x_{i(t-1)} + 0,0614x_{i(t-2)} \quad (5.43)$$

$$\begin{aligned} y_{V(t)} = & 3,973y_{V(t-1)} - 5,92y_{V(t-2)} + 3,921y_{V(t-3)} + 0,9378y_{V(t-4)} + 0,06086x_{V(t)} - \\ & - 0,2347x_{V(t-1)} + 0,3392x_{V(t-2)} - 0,2177x_{V(t-3)} + 0,05233x_{V(t-4)} \end{aligned} \quad (5.44)$$

$$\begin{aligned} y_{LPF(t)} = & 0,2486y_{LPF(t-1)} - 0,2009y_{LPF(t-2)} + 0,2291x_{LPF(t)} + \\ & + 0,4582x_{LPF(t-1)} + 0,2291x_{LPF(t-2)} \end{aligned} \quad (5.45)$$

Utilizando el algoritmo presentado en la sección 3.8.5 es posible implementar las ecuaciones en diferencias (5.43), (5.44) y (5.45) en el DSP. Para ello se crearon funciones específicas para cada bloque, que se pueden ver a continuación:

```

1 static inline void _IQ_PID_CURRENT(_iq lastData, RING_BUF* in, RING_BUF* out){
2     _IQ_diff_eq(lastData, in, out, pidCurrentInputCoeffs, pidCurrentOutputCoeffs,
3     PID_I_LENGTH, PID_I_LENGTH-1);
4 }
5 static inline void _IQ_PID_VOLTAGE(_iq lastData, RING_BUF* in, RING_BUF* out){
6     _IQ_diff_eq(lastData, in, out, pidVoltageInputCoeffs, pidVoltageOutputCoeffs,
7     PID_V_LENGTH, PID_V_LENGTH-1);
8 }
9 static inline void _IQ_LPF(_iq lastData, RING_BUF* in, RING_BUF* out){
10    _IQ_diff_eq(lastData, in, out, lpfInputCoeffs, lpfOutputCoeffs,
11    LPF_LENGTH, LPF_LENGTH-1);
12 }
```

Finalmente, haciendo uso de estas funciones el controlador de la tensión de salida se implementa como sigue:

```

1  extern _iq qzsi_outputVoltageController(_iq Vo, _iq IL){
2      static _iq d;
3      _iq Vref = _IQmpy(currentVo, seno[index_seno]);
4
5      if(d < 0) IL=-IL;
6
7      _IQ_LPF(Vo, &vLpfIn, &vLpfOut);
8      _IQ_LPF(IL, &iLpfIn, &iLpfOut);
9      _IQ_PID_VOLTAGE(Vref - vLpfOut.buffer[vLpfOut.pos], &vControlIn,
10                      &vControlOut);
11     _IQ_PID_CURRENT(vControlOut.buffer[vControlOut.pos] -
12                         iLpfOut.buffer[iLpfOut.pos], &iControlIn, &iControlOut);
13
14     d = iControlOut.buffer[iControlOut.pos];
15
16     if(d<_IQ(-0.9)) d = _IQ(-0.9);
17     if(d>_IQ(0.9)) d = _IQ(0.9);
18
19     return d;
20 }
```

Como se puede observar, la tensión de referencia del control de tensión de salida se obtiene multiplicando el valor pico deseado de la salida (*currentVo*) por una función senoidal (*seno[index_seno]*). Luego, la entrada del control de tensión será la diferencia entre la referencia y la tensión de salida medida, luego de pasar por el filtro correspondiente.

Además, de la misma forma, la entrada del control interno de corriente será la diferencia entre la salida del control de tensión y la corriente por la inductancia de salida medida, luego de pasar por su respectivo filtro. Cabe destacar en este inversor no se dispone del hardware para medir directamente la corriente por la inductancia del filtro de salida I_{Lf} , pero sí se mide la corriente por el puente I_{BRDG} . Durante el vector activo las corrientes I_{BRDG} e I_{Lf} se pueden considerar iguales en valor absoluto, de manera que $I_{BRDG} = |I_{Lf}|$. Conociendo el signo del ciclo de trabajo d , es posible determinar I_{Lf} a partir de I_{BRDG} , dado que si $d \geq 0$ entonces $I_{Lf} = I_{BRDG}$ y si $d < 0$ entonces $I_{Lf} = -I_{BRDG}$.

Capítulo 6

Conclusiones y perspectivas futuras

6.1. Conclusiones sobre el proyecto

A partir de los resultados obtenidos a lo largo del desarrollo de este proyecto puede decirse que se ha logrado poner en marcha exitosamente un inversor que implementa una topología quasi-Z Source (qZS), verificando el correcto funcionamiento de las partes que se han rediseñado para diferentes condiciones de funcionamiento. Se cumplió así con los objetivos planteados en la sección 2.5.

Durante la primera etapa se realizaron múltiples modificaciones sobre el hardware y el firmware desarrollados en el proyecto base [19], lo cual fue sumamente desafiante ya que requirió un trabajo meticoloso para poder determinar qué cambios debían llevarse a cabo. Además, se generó la documentación necesaria para que todo este trabajo pueda ser aprovechado por otros estudiantes en el futuro.

Entre las modificaciones realizadas se encuentra la migración del código a lenguaje C, que permitió su estructuración y debuggeo mediante herramientas de calidad. Además, se implementaron exitosamente una rutina de encendido para librarse de la intervención del usuario esta operación, y una rutina de respuesta ante fallas, que requiere del acuse del usuario para restaurar el funcionamiento del inversor.

Por otro lado, se realizó un rediseño de las placas optimizando el layout, el ruteo y el conexionado entre placas para reducir las interferencias electromagnéticas generadas por el propio inversor. Se construyó un gabinete metálico con conexión a tierra en donde se alojan todas las placas del inversor. Se reemplazó el cableado y los conectores de modo que todos los cables de señal estuvieran cubiertos por una malla conectada a tierra para reducir las interferencias radiadas por los elementos de potencia, evitando así que se vean afectados los circuitos de medición y control. Por último, se construyó una caja de conexión que permita encender el inversor de manera segura, como así también una resistencia configurable que permita variar la carga y realizar su conexión de manera segura al equipo.

Pasando a la segunda etapa, donde se realizaron los ensayos sobre el inversor, se apreciaron los efectos sumamente dañinos que ocasionan las derivadas de tensión producidas durante las conmutaciones de los elementos semiconductores sobre el circuito. Se solucionaron los problemas relacionados a esto, pudiendo hacer funcionar el equipo satisfactoriamente a una potencia de salida de alrededor de 800W. Sumado a esto, también se pudo comparar el efecto de utilizar diferentes tipos de redes Snubber, concluyendo que el uso de redes Snubbers activas

es sumamente beneficioso y recomendable para alcanzar el máximo rendimiento del inversor, ya que reduce las pérdidas y evita el sobrecalentamiento durante el funcionamiento.

Finalmente, durante la última etapa del proyecto, en la cual se diseñó y simuló un controlador PID-resonante en cascada para el inversor, se pudo observar que ante un cambio de set point, de carga o de tensión de entrada, el modelo del inversor funciona de manera adecuada, logrando alcanzar el funcionamiento en régimen rápidamente.

6.2. Perspectivas futuras

Este inversor constituye una plataforma de hardware funcional muy versátil, con la cual pueden realizarse prácticas de laboratorio donde se observen las señales más significativas del equipo, pudiendo comprender y analizar su funcionamiento. También puede ser utilizado como punto de partida en otros proyectos académicos, continuando con el desarrollo del mismo.

De esta manera, tomando como base los resultados obtenidos en este trabajo, se presentan algunas líneas de trabajo que resultan viables de ser llevadas a cabo por los estudiantes que estén interesados en seguir adelante con el desarrollo de este convertidor en el futuro.

- **Diseño e implementación de diferentes controladores para el control a lazo cerrado de V_o y V_{BUS}**

Actualmente se cuenta con un modelo completo del inversor sobre el que se pueden realizar simulaciones con diferentes controladores. Además, en el capítulo 5 se desarrolló sobre este modelo un controlador de la tensión de salida, que se puede testear sobre el equipo real en ensayos de laboratorio. A partir de esto, se podrían diseñar diferentes controladores para la planta buscando minimizar el tiempo de establecimiento de las tensiones V_{BUS} y V_o , manteniendo sus sobrevalores en valores razonables. Durante esta etapa se podrá evaluar el desempeño de cada controlador, para luego comparar las respuestas obtenidas y lograr ajustar las constantes de los mismos, a fin de lograr un funcionamiento óptimo.

- **Implementación de comunicación CAN**

Dentro de la placa de control, se ha implementado el circuito necesario para utilizar el protocolo de comunicación CAN que posee el DSP empleado. De esta manera, se podría diseñar una aplicación para poder mostrar datos en un monitor de los valores de tensión, corriente y potencia de entrada/salida y así poder recolectar datos de los ensayos de manera más automatizada. Además, mediante dicha aplicación se podría controlar al inversor, cambiando los set-points de las tensiones V_{BUS} y V_o .

- **Inyección de energía a la red eléctrica**

Actualmente el inversor funciona en modo “off-grid”, pero es posible que la energía se inyecte a la red eléctrica, convirtiéndolo en un inversor “on-grid”. Para ello, se deberá diseñar una inductancia de acoplamiento a la red. Será necesario además implementar un PLL a modo de poder sincronizarse con la frecuencia de red, la cual si bien es estable la mayor parte del tiempo, puede manifestar pequeñas variaciones. Además, se deberá implementar un lazo de control diseñado para regular la potencia entregada a la red.

También es posible realizar la implementación de algoritmos de control MPPT para maximizar la energía obtenida de los paneles solares.

■ **Ensayos con paneles solares**

Todos los ensayos realizados se han llevado a cabo utilizando fuentes de alimentación reguladas. Sin embargo, un panel solar posee un comportamiento diferente. Primero se podría utilizar la aplicación desarrollada en este proyecto para controlar la fuente de alimentación programable y así evaluar la respuesta del inversor ante la variación de la tensión de entrada siguiendo la curva característica de un panel solar. Más tarde, se podrá avanzar en utilizar los paneles que se encuentran instalados en la terraza de la facultad para realizar un ensayo en condiciones reales. Es importante recalcar que se deberá implementar una protección para que el inversor solo se encienda cuando la tensión de entrada esté por encima de un valor mínimo y se desconecte automáticamente en caso de que se produzca algún cortocircuito o sobrecarga a la salida, pudiendo volver a funcionar si la carga demanda valores de corriente normales.

Previo a continuar con alguna de estas líneas de desarrollo, se considera conveniente rediseñar las placas del convertidor implementando todas las mejoras y correcciones descriptas en la sección 3.9 de manera definitiva, llegando así a una nueva versión de fabricación. Dentro de las modificaciones a realizar, se describen en los párrafos subsiguientes algunas de las más relevantes para tener en cuenta a la hora de abordar el rediseño de las placas de control, drivers y convertidor CC/CA. En los apéndices B y C se brindan más detalles para su realización.

- **Implementación de cambios en redes Snubber:** durante los ensayos se fueron modificando las redes Snubber, colocando los componentes sobre las PCBs, unidos mediante cables, aislando las conexiones para evitar que entren en contacto con otras partes del circuito. A la hora de rediseñar las placa de drivers y de convertidor CC/CA, sería opportuno realizar las modificaciones necesarias sobre las PCBs para que todos los componentes queden soldados correctamente en las placas, con sus pads correspondientes. En el apéndice B se encuentra un instructivo para realizar las modificaciones sobre las placas, en donde se pueden ver las las consideraciones más importantes a tener en cuenta.
- **Ruido en la medición de la corriente de salida I_{AC} :** actualmente, la tensión de salida V_{AC} se cablea directamente a la placa de control, junto con la señal de la corriente de salida, I_{AC} , en el conector DB9 DC_AC_INPUT_AN. Esto produce que se acople ruido en la medición de la corriente de salida. Una alternativa para evitar esto es colocar el divisor de tensión de V_{AC} en la placa de salida de CA, reduciendo el nivel de la señal de tensión en el cable que va hacia la placa de control, y el ruido sobre I_{AC} . Otra alternativa es cablear por separado la tensión V_{AC} y las señales de corriente I_{AC} . En el apéndice C se detallan las modificaciones necesarias que deben realizarse sobre los PCBs actuales para poder reducir el ruido en la medición de I_{AC} .
- **Modificación de circuito de excitación de gate:** en la placa de drivers se colocaron únicamente resistencias de 47Ω en serie con los terminales de gate de los transistores IGBT. Sin embargo, previamente se había propuesto un circuito como se muestra en la figura 6.1, que permite acelerar el apagado del dispositivo de potencia. Es muy conveniente

implementar esta mejora para poder optimizar al máximo los tiempos de conmutación de los IGBTs del puente y la red Z.

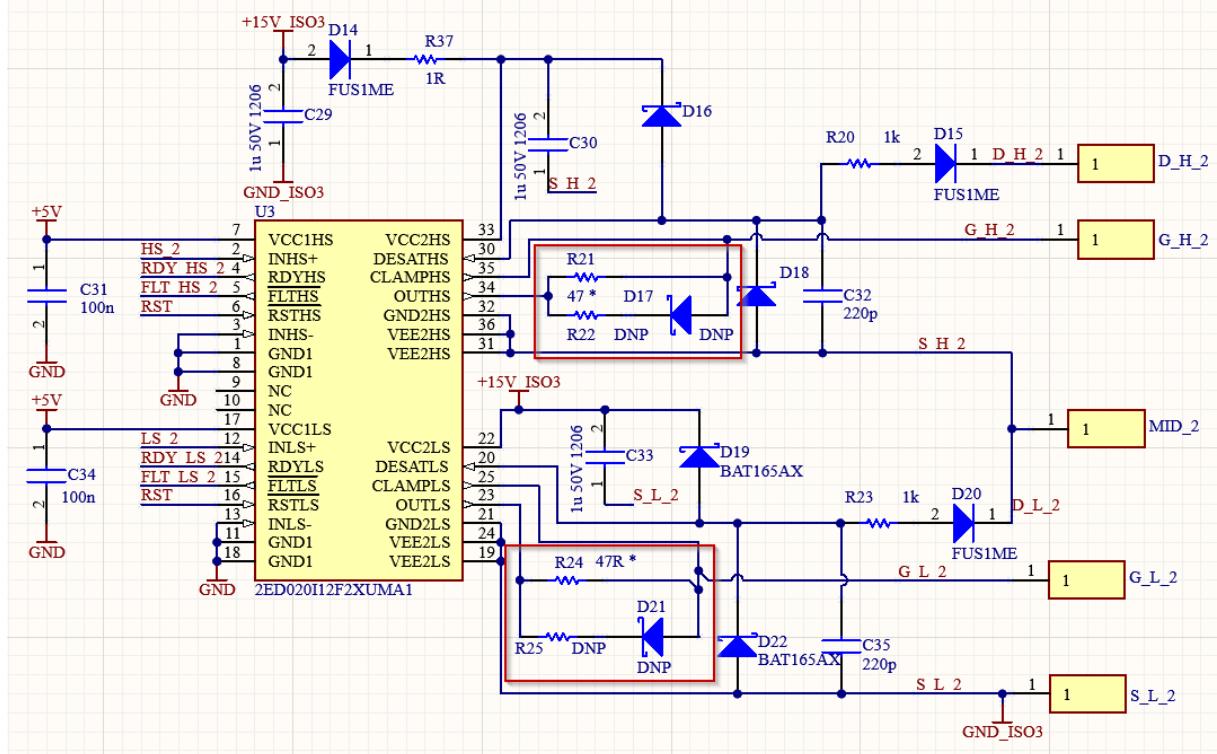


Figura 6.1: Circuitos de aceleración de apagado de IGBTs.
Los componentes con leyenda “DNP”se encuentran sin montar.

Apéndice A

Cálculo de las redes Snubber

El objetivo de las redes Snubber de este convertidor es amortiguar la subida de tensión en el bus de corriente continua en el momento en que deja de ser aplicado al puente el vector de Shoot-Through. Dicho aumento de tensión se da por las derivadas de corriente en L_o , la inductancia parásita en serie al puente. Observando la imagen A.1, que modela el inversor desde el punto de vista de la inductancia L_o , se puede ver que durante el Shoot-Through, la llave ST está cerrada y circula por L_o una corriente i_L , dada por el comportamiento dinámico de la red Z. En el momento en que finaliza el vector de Shoot-Through y se pasa al vector nulo, se abre la llave ST y, de no estar la red Snubber, la corriente por L_o se haría súbitamente nula, lo que provocaría que su tensión V_{Lo} aumente significativamente. Este aumento puede dañar a los transistores de potencia, destruyéndolos por completo si se supera la tensión máxima que pueden soportar. Con la presencia de estas redes se logra que la corriente i_L pueda seguir circulando a través del diodo D_{sn} cuando finaliza el Shoot-Through, descargando su energía en el capacitor C_{sn} . Luego, mediante un MOSFET que actúa como llave (denominada aquí NST), se consigue descargar al capacitor de forma controlada a través de la resistencia R_{sn} , de manera que no se acumule energía indefinidamente en el mismo, lo que provocaría que la tensión V_{sn} crezca también indefinidamente. En la figura A.2 se puede ver un diagrama temporal de la evolución de las corrientes involucradas en las redes Snubber en un ciclo de conmutación.

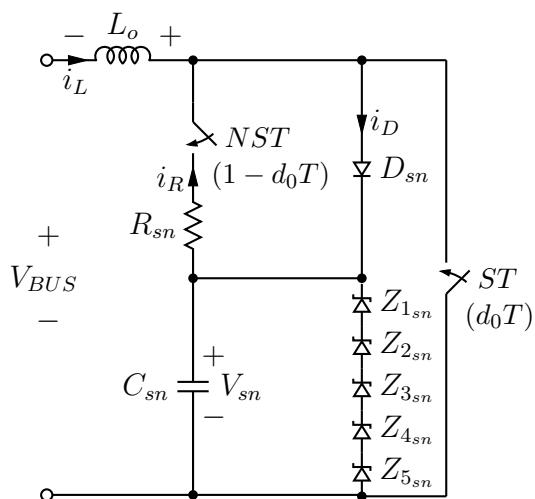


Figura A.1: Diagrama esquemático ilustrativo para el cálculo de las redes Snubber.

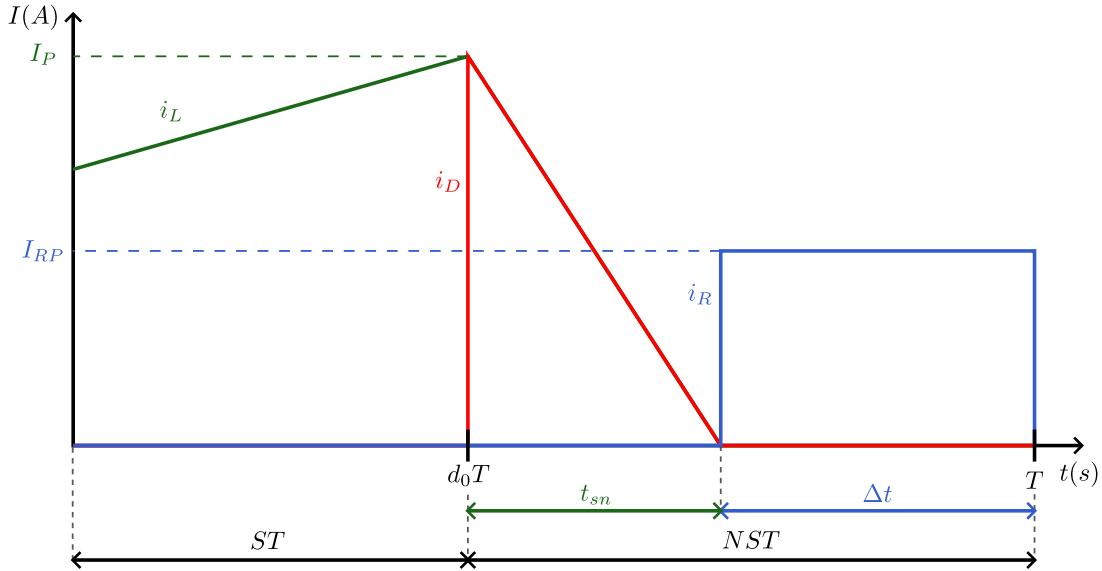


Figura A.2: Corrientes involucradas en las redes Snubber.
En verde: i_L . En rojo: i_D . En Azul: i_R .

Dado el circuito de la figura A.1, por Ley de Kirchhoff de tensión se tiene que

$$V_{BUS} + V_{Lo} - V_D - V_{sn} = 0 \quad (\text{A.1})$$

Si se considera que cuando el diodo D_{sn} está conduciendo (para cargar el capacitor) su caída de tensión es despreciable, se llega a que

$$V_{Lo} \approx V_{sn} - V_{BUS} \quad (\text{A.2})$$

Suponiendo que el ripple sobre V_{sn} es pequeño, puede decirse entonces que dicha tensión será prácticamente constante. De esta forma, se considera que la tensión sobre la inductancia parásita L_o es constante durante la carga del capacitor C_{sn} , por lo que la corriente por la inductancia será una rampa, que comienza en el valor I_P (corriente que circula por ella al momento de finalizar el Shoot-Through) y termina en cero, un tiempo t_{sn} después. Se obtiene así:

$$V_{Lo} = V_{sn} - V_{BUS} = L_o \cdot \frac{d_{iL}}{dt} = L_o \cdot \frac{I_P}{t_{sn}} \implies t_{sn} = \frac{L_o \cdot I_P}{V_{sn} - V_{BUS}} \quad (\text{A.3})$$

De esta manera, dado que $i_D = i_L$ durante la carga del capacitor C_{sn} e $i_D = 0A$ en el resto del período de conmutación, el valor promedio de i_D en un período de conmutación T será

$$\langle i_D \rangle = \frac{I_P \cdot t_{sn}}{2T} = \frac{1}{2} \frac{I_P^2 \cdot L_o \cdot f}{V_{sn} - V_{BUS}} \quad (\text{A.4})$$

Por otra parte, el valor medio de i_D en la mitad del período de la tensión de salida del inversor se calcula como

$$\overline{i_D} = \frac{2}{T_f} \int_0^{\frac{T_f}{2}} \langle i_D \rangle(t) dt = \langle i_D \rangle = \frac{1}{2} \frac{I_P^2 \cdot L_o \cdot f}{V_{sn} - V_{BUS}} \quad (\text{A.5})$$

Y la corriente por la resistencia promediada en el mismo intervalo es

$$\overline{i_R} = \frac{2}{T_f} \int_0^{\frac{T_f}{2}} \langle i_R \rangle(t) dt \quad (\text{A.6})$$

Luego, como V_{sn} se considera constante, la corriente promedio por el capacitor $\overline{i_C} = \overline{i_D} - \overline{i_R}$ debe ser nula, por lo que dadas esta igualdad y la ecuación (A.5) se tiene:

$$\overline{i_R} = \overline{i_D} = \frac{1}{2} \frac{I_P^2 \cdot L_o \cdot f}{V_{sn} - V_{BUS}} \quad (\text{A.7})$$

Considerando que el capacitor C_{sn} se descarga tanto en el vector activo como en el nulo (es decir, que la “llave” de la red Snubber se cierra siempre que no esté el vector de Shoot-Through en el puente), lo hará en un tiempo

$$\Delta t = (1 - d_0)T - t_{sn} = (1 - d_0)T - \frac{L_o \cdot I_P}{V_{sn} - V_{BUS}} \quad (\text{A.8})$$

Durante el tiempo Δt la corriente por la resistencia será

$$i_R(t) = \frac{V_{sn} - V_{BUS}}{R_{sn}} \quad (\text{A.9})$$

mientras que en el resto del período la misma será nula. Y dado que V_{sn} y V_{BUS} se consideran constantes, entonces la corriente promedio de la resistencia en el período de conmutación se puede calcular como:

$$\langle i_R \rangle(t) = \frac{1}{T} \int_0^T i_R(t) dt = \frac{1}{T} \frac{V_{sn} - V_{BUS}}{R_{sn}} \int_{T-\Delta t}^T dt \quad (\text{A.10})$$

$$\langle i_R \rangle = \frac{1}{T} \left(\frac{V_{sn} - V_{BUS}}{R_{sn}} \right) \left((1 - d_0)T - \frac{L_o \cdot I_P}{V_{sn} - V_{BUS}} \right) \quad (\text{A.11})$$

$$\langle i_R \rangle = \frac{(V_{sn} - V_{BUS}) \cdot (1 - d_0) - L_o I_P f}{R_{sn}} \quad (\text{A.12})$$

Y como $\langle i_R \rangle$ es constante, el valor medio de i_R en la mitad del período de la tensión de salida será:

$$\overline{i_R} = \langle i_R \rangle \quad (\text{A.13})$$

Reemplazando ambos miembros de la ecuación (A.13) por las igualdades (A.7) y (A.12) se obtiene:

$$\frac{1}{2} \cdot \frac{L_o I_P^2 f}{V_{sn} - V_{BUS}} = \frac{(V_{sn} - V_{BUS}) \cdot (1 - d_0) - L_o I_P f}{R_{sn}} \quad (\text{A.14})$$

Y despejando R_{sn} se llega a:

$$R_{sn} = \frac{2(V_{sn} - V_{BUS})}{L_o I_P^2 f} \cdot ((V_{sn} - V_{BUS}) \cdot (1 - d_0) - L_o I_P f) \quad (\text{A.15})$$

El valor eficaz cuadrado de la corriente por la resistencia en el período de conmutación será:

$$\langle\langle i_R \rangle\rangle^2(t)^2 = \frac{1}{T} \int_0^T (i_R(t))^2 dt = \frac{1}{T} \cdot \left(\frac{V_{sn} - V_{BUS}}{R_{sn}} \right)^2 \int_{T-\Delta t}^T dt \quad (\text{A.16})$$

$$\langle\langle i_R \rangle\rangle^2 = \frac{1}{T} \cdot \left(\frac{V_{sn} - V_{BUS}}{R_{sn}} \right)^2 \left((1 - d_o)T - \frac{L_o I_P}{V_{sn} - V_{BUS}} \right) \quad (\text{A.17})$$

$$\langle\langle i_R \rangle\rangle^2 = \left(\frac{V_{sn} - V_{BUS}}{R_{sn}} \right)^2 \left(1 - d_o - \frac{L_o I_P f}{V_{sn} - V_{BUS}} \right) \quad (\text{A.18})$$

Utilizando la expresión (A.18), se procede a calcular la potencia disipada en la resistencia de Snubber como:

$$P_{R_{sn}} = \langle\langle i_R \rangle\rangle^2 \cdot R_{sn} = \frac{(V_{sn} - V_{BUS})^2}{R_{sn}} \cdot \left(1 - d_o - \frac{L_o I_P}{V_{sn} - V_{BUS}} \right) \quad (\text{A.19})$$

Por otra parte, dado que el capacitor se carga exclusivamente a través del diodo en el tiempo t_{sn} , la carga almacenada en el capacitor puede calcularse con la expresión:

$$\Delta Q = \langle i_C \rangle \Big|_{t_{sn}} \cdot T = \langle i_D \rangle T \quad (\text{A.20})$$

Se busca que la capacidad del snubber cumpla con la siguiente condición, que asegura un ripple máximo en la tensión de Snubber de ΔV_{sn} :

$$C_{sn} > \frac{\Delta Q}{\Delta V_{sn}} \quad (\text{A.21})$$

Se define el factor de ripple de la tensión del capacitor de Snubber como:

$$FR = \frac{\Delta V_{sn}}{V_{sn}} \quad (\text{A.22})$$

Reemplazando las expresiones (A.20) y (A.22) en (A.21) se obtiene:

$$C_{sn} > \frac{\langle i_D \rangle \cdot T}{V_{sn} \cdot FR} \quad (\text{A.23})$$

Y finalmente, reemplazando (A.4) en (A.23) se llega a la desigualdad:

$$C_{sn} > \frac{I_P^2 L_o}{2V_{sn}(V_{sn} - V_{BUS})FR} \quad (\text{A.24})$$

Reordenando la expresión anterior se tiene

$$V_{sn}^2 - V_{BUS}V_{sn} - \frac{I_P^2 L_o}{2 \cdot C_{sn} FR} > 0 \quad (\text{A.25})$$

Y transformando la desigualdad en una igualdad, se puede despejar una tensión V_{sn} positiva que la satisface:

$$V_{sn} = \frac{V_{BUS} + \sqrt{V_{BUS}^2 + 4 \frac{I_P^2 L_o}{2 \cdot C_{sn} FR}}}{2} \quad (\text{A.26})$$

De modo que dados el valor de capacidad C_{sn} y un factor de ripple FR , se puede calcular la tensión V_{sn} que satisface FR .

Considerando $L_o = 5\mu H$, $d_0 = 0,35$, $V_{sn} = 550V$, $V_{BUS} = 480V$, $FR = 0,02$, $I_P = 8A$ y $f = 10kHz$, es posible calcular R_{sn} , P_{Rsn} y C_{sn} utilizando las expresiones (A.15), (A.19) y (A.24) respectivamente. Los valores obtenidos son:

$$R_{sn} = 1,97k\Omega \quad (\text{A.27})$$

$$P_{Rsn} = 1,6W \quad (\text{A.28})$$

$$C_{sn} > 208nF \quad (\text{A.29})$$

Es posible estimar las pérdidas de potencia adicionales en la resistencia R_{SN} debidas al Shoot-Through parásito que se da en cada ciclo de conmutación al pasar del vector nulo al vector activo en el puente. En el circuito de la figura A.1 este fenómeno se puede modelar cerrando ambas llaves, NST y ST.

Si se supone que la tensión V_{sn} no se modifica durante el Shoot-Through parásito, esta potencia se puede calcular como:

$$P_{ST} \leq \frac{1}{T} \int_0^{t_{ST}} \frac{V_{sn}^2}{R_{sn}} dt = f \frac{V_{sn}^2}{R_{sn}} t_{ST} \quad (\text{A.30})$$

Experimentalmente se comprobó que el tiempo de duración del Shoot-Through parásito es de alrededor de $1\mu S$, y siendo $f = 10kHz$, $V_{sn} = 550V$ y $R_{sn} = 1,97K\Omega$ se obtiene que:

$$P_{ST} = 1,5W \quad (\text{A.31})$$

Luego, la potencia total disipada en la resistencia de la red Snubber es:

$$P_{Rsn,tot} = P_{Rsn} + P_{ST} = 1,6W + 1,5W = 3,1W \quad (\text{A.32})$$

Al utilizar en este convertidor dos redes Snubber iguales en paralelo, el valor de la resistencia R_{SN} a utilizar debe ser del doble de R_{sn} , y el valor del capacitor C_{SN} , la mitad de C_{sn} . Finalmente, los valores comerciales utilizados son:

$$R_{SN} = 3,9k\Omega \quad (\text{A.33})$$

$$C_{SN} = 100nF \quad (\text{A.34})$$

La potencia disipada en cada resistencia R_{SN} es la mitad de $P_{Rsn,tot}$. Se utilizaron resistencias de $5W$ para que trabajen a una potencia por debajo de la mitad de la nominal.

Finalmente, se desea dimensionar los diodos TVS que funcionan como protección en las redes Snubber. Los mismos comienzan a conducir si la tensión se eleva demasiado, actuando como un elemento disipativo que previene la subida de tensión en caso de que la descarga “tradicional” del capacitor a través de la resistencia falle por algún motivo. Suponiendo en

el circuito de la figura A.1 que no existen el capacitor ni la resistencia, la red Snubber queda compuesta únicamente por el diodo D_{sn} en serie a los diodos TVS, de manera que $i_Z = i_D$. En este caso:

$$i_Z(t) = I_P - \frac{I_P}{t_{sn}}t = I_P \left(1 - \frac{t}{t_{sn}}\right) = I_P \left(1 - \frac{V_{sn} - V_{BUS}}{L_o I_P} t\right) \quad (\text{A.35})$$

Y la potencia disipada se calcula como:

$$P_Z = \frac{1}{T} \int_0^T i_z(t) V_{sn} dt = \frac{V_{sn} I_P}{T} \int_0^T \left(1 - \frac{V_{sn} - V_{BUS}}{L_o I_P} t\right) dt \quad (\text{A.36})$$

$$P_Z = \frac{V_{sn} I_P}{T} \left(t_{sn} - \frac{V_{sn} - V_{BUS}}{L_o I_P} \cdot \frac{1}{2} t_{sn}^2 \right) \quad (\text{A.37})$$

Reemplazando la expresión de t_{sn} (A.3) en (A.37) y trabajando algebraicamente se obtiene:

$$\boxed{P_Z = \frac{1}{2} I_P^2 L_o f \frac{V_{sn}}{V_{sn} - V_{BUS}}} \quad (\text{A.38})$$

Considerando $V_{sn} = 550V$, $L_o = 5\mu H$, $f = 10kHz$, $I_P = 8A$ y $V_{BUS} = 480V$ en la expresión A.38 se llega a que:

$$P_Z = 12,6W \quad (\text{A.39})$$

Los diodos TVS utilizados, 5KP85A [15], poseen una tensión de ruptura mínima $V_{BR(min)} = 94,4V$ y máxima $V_{BR(max)} = 104V$, medidas a una corriente $I_T = 5mA$. Por otra parte, la tensión máxima que soportan es $V_C = 137V$, a una corriente pico $I_{PP} = 37,2A$. Teniendo en cuenta estos datos, y sabiendo que se utilizan cinco diodos TVS en serie, la tensión de bus máxima sin conducción en los TVS es de:

$$V_{BUS(max)} = 5 \cdot V_{BR(min)} = 5 \cdot 94,4V = 472V \quad (\text{A.40})$$

Para calcular la tensión máxima de Snubber, se supone un comportamiento lineal de la tensión de los diodos TVS respecto de la corriente, de esta forma:

$$V_{sn(max)} = \left(V_{BR(max)} + \frac{V_C - V_{BR(max)}}{I_{PP} - I_T} \cdot (I_Z - I_T) \right) \cdot 5 \quad (\text{A.41})$$

Si bien se utilizan dos redes Snubber, se calculará la tensión máxima sobre los diodos TVS para el caso límite de que funcione solo una de las dos redes, por lo que se considera $I_Z = I_P = 8A$, obteniendo así:

$$V_{sn(max)} = \left(104V + \frac{137V - 104V}{37,2A - 0,005A} \cdot (8A - 0,005A) \right) \cdot 5 = 555V \quad (\text{A.42})$$

Cada uno de los TVS utilizados puede disipar hasta $8W$ de potencia, de manera que:

$$P_{TVS(tot)} = 5 \cdot P_{TVS} = 5 \cdot 8W = 40W > P_Z = 12,6W \quad (\text{A.43})$$

Apéndice B

Instructivo de modificaciones para las redes Snubber

Se encuentra a continuación un instructivo para implementar los cambios necesarios sobre las placas de drivers y de convertidor CC/CA. Cabe destacar que este instructivo no refleja todas las modificaciones realizadas finalmente sobre las placas. El mismo se presenta a modo de poder visualizar las consideraciones importantes a tener en cuenta a la hora de realizar estas modificaciones.

Modificaciones en la placa de convertidor CC/CA

1. Cortar la pista NetC4_2 entre Pin-2_C4 y Pin-2_Q3. Repetir con la pista NetC3_2 entre Pin-2_C3 y Pin-2_Q4.
2. Montar el diodo D_{SNB1} lo más cerca posible del pin D_H1 (Pin-3_Q3) y el resto de la pista cortada en el ítem (1), ubicada en la capa *Top Layer*, que proviene del Pin-2_C4. Se propone utilizar el diodo UF5408, pero puede usarse cualquier diodo rectificador con un tiempo de recuperación bajo, que soporte las condiciones de tensión y corriente a las que será sometido formando parte de las redes Snubber. Soldar el ánodo del diodo sobre el pad del Pin-3_Q3 y el cátodo sobre el resto de la pista cortada en el ítem (1), del lado del capacitor C4.
3. Montar otro diodo del mismo modelo en D_{SNB2} buscando que quede lo más cerca posible del pin D_H1 (Pin-3_Q4) y el resto de la pista NetC3_2, ubicada en la capa *Top Layer*, que viene del Pin-2_C3. Las modificaciones propuestas en estos primeros tres ítems se ilustran en la imagen B.1.
4. Tener en cuenta que la altura de D_{SNB1} y D_{SNB2} al estar apoyados sobre el PCB permitan el apilado del PCB de drivers. Otra opción es montarlos sobre la capa *Bottom Layer* (contra el disipador). En caso de que el encapsulado del diodo no permita ninguna de estas dos alternativas, se puede montar sobre la placa de drivers, como se detalla más adelante.

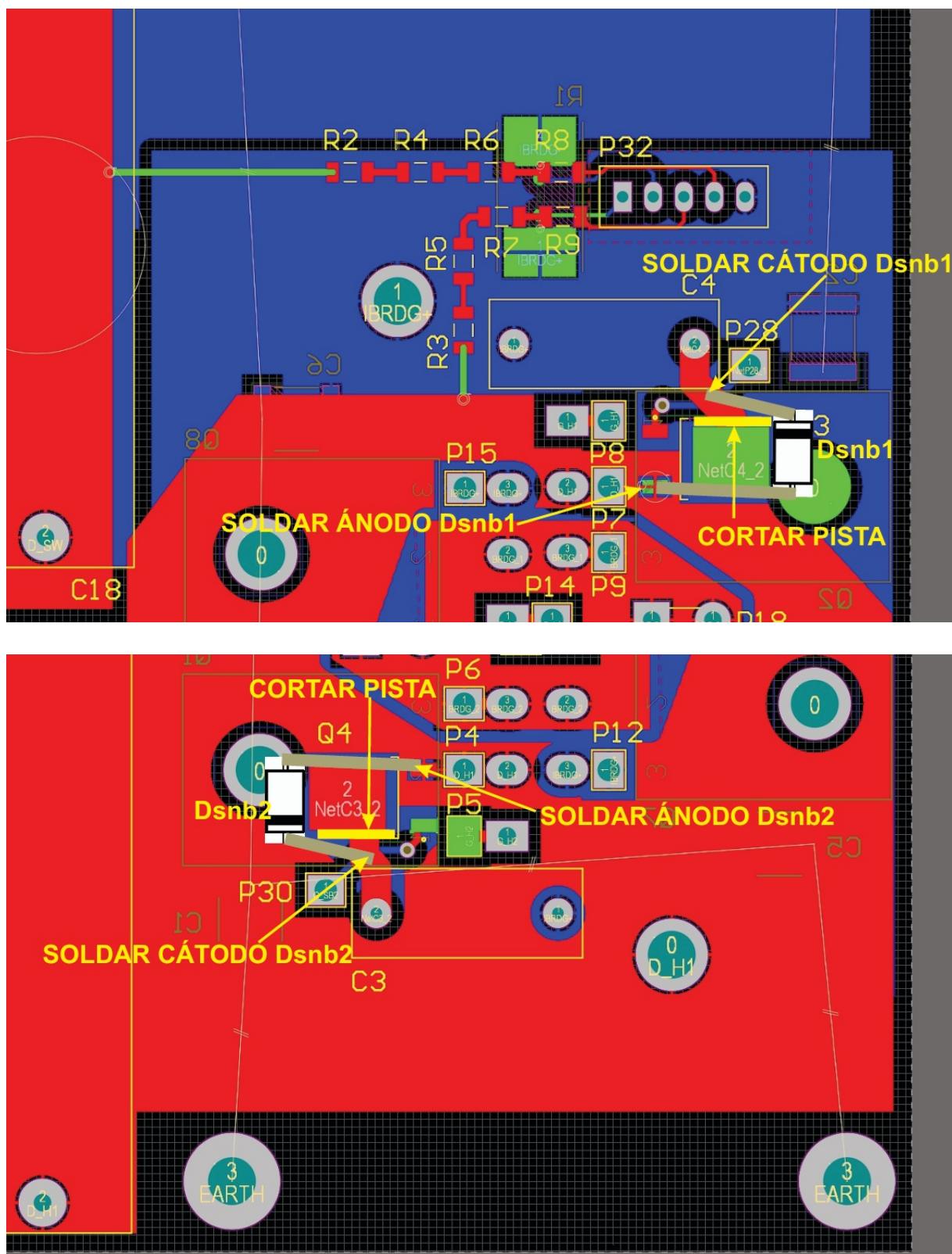


Figura B.1: Diodos de Snubber en la placa de convertidor CC/CA.

5. Soldar el cable CBL1, de 0.35mm^2 de sección y 100mm de longitud, sobre el pad del terminal de drain de Q3 (Pin-2) en la pista NetC4_2 de la capa Top Layer.
6. Soldar el cable CBL2, de mismas características que CBL1, sobre el pad del terminal 2 del capacitor C4 en NetC4_2 la pista de la capa Bottom Layer.
7. Soldar el cable CBL3, igual a CBL1, sobre el pad del terminal de drain de Q4 (Pin-2) en la pista NetC3_2 de la capa Top Layer.
8. Soldar un cable CBL4, igual a CBL1 en el pad del terminal 2 del capacitor C3, de la pista NetC3_2 de la capa Bottom Layer. Las modificaciones descriptas en los ítems 5, 6, 7 y 8 se ilustran en las figuras B.2 y B.3.
9. En los extremos libres de los cables CBL1 y CBL2 soldar sendos terminales de la resistencia de potencia de una de las redes Snubber. De la misma forma, en los extremos libres de los cables CBL3 y CBL4 soldar sendos terminales de la resistencia de potencia de la otra red Snubber.
10. En paralelo al capacitor de Snubber C3, colocar una serie de cinco TVS 5KP85A. Para esto, soldar el cátodo de la serie al pad del terminal 2 del capacitor C3 en la capa Bottom Layer y el ánodo de la serie al pad del terminal 1 del capacitor C3 en la capa Bottom Layer.
11. En paralelo al capacitor de Snubber C3, colocar una serie de cinco TVS 5KP85A. Para esto, soldar el cátodo de la serie al pad del terminal 2 del capacitor C4 en la capa Bottom Layer y el ánodo de la serie al pad del terminal 1 del capacitor C4 en la capa Bottom Layer.

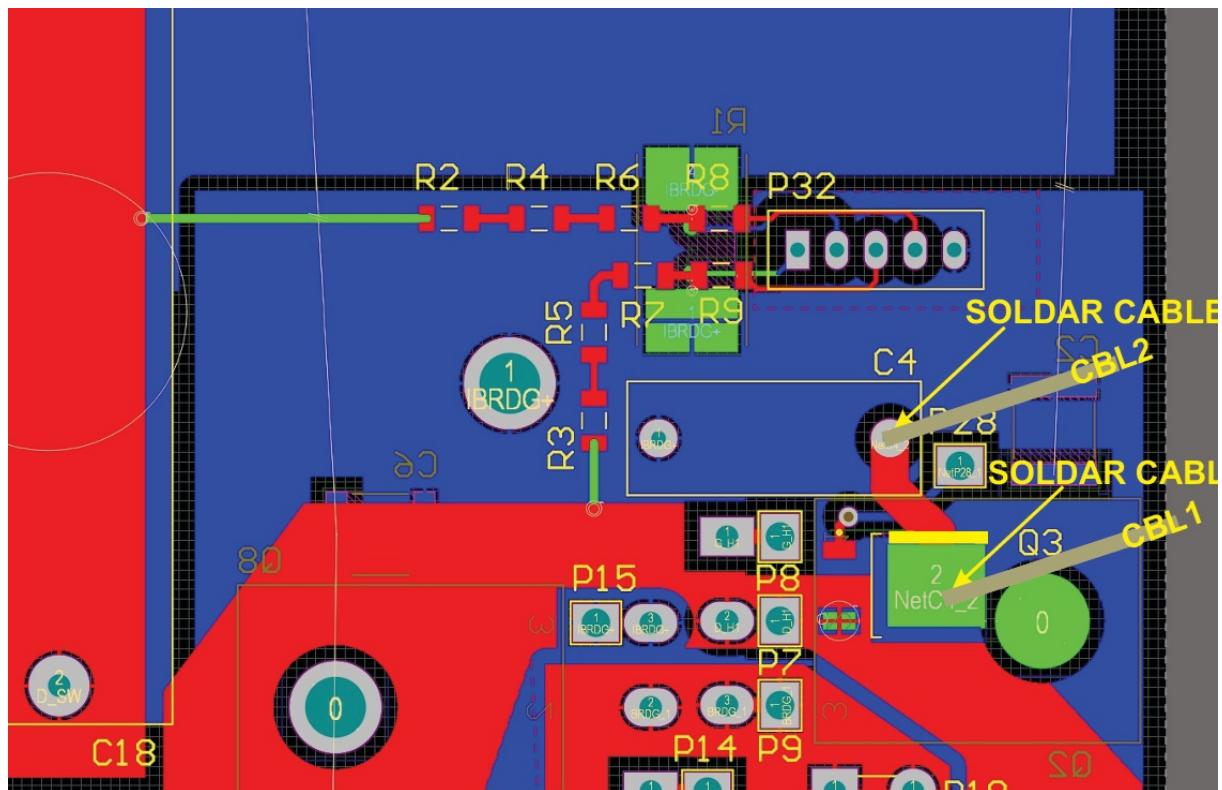


Figura B.2: Conexionado de los cables CBL1 y CBL2 para una red Snubber.

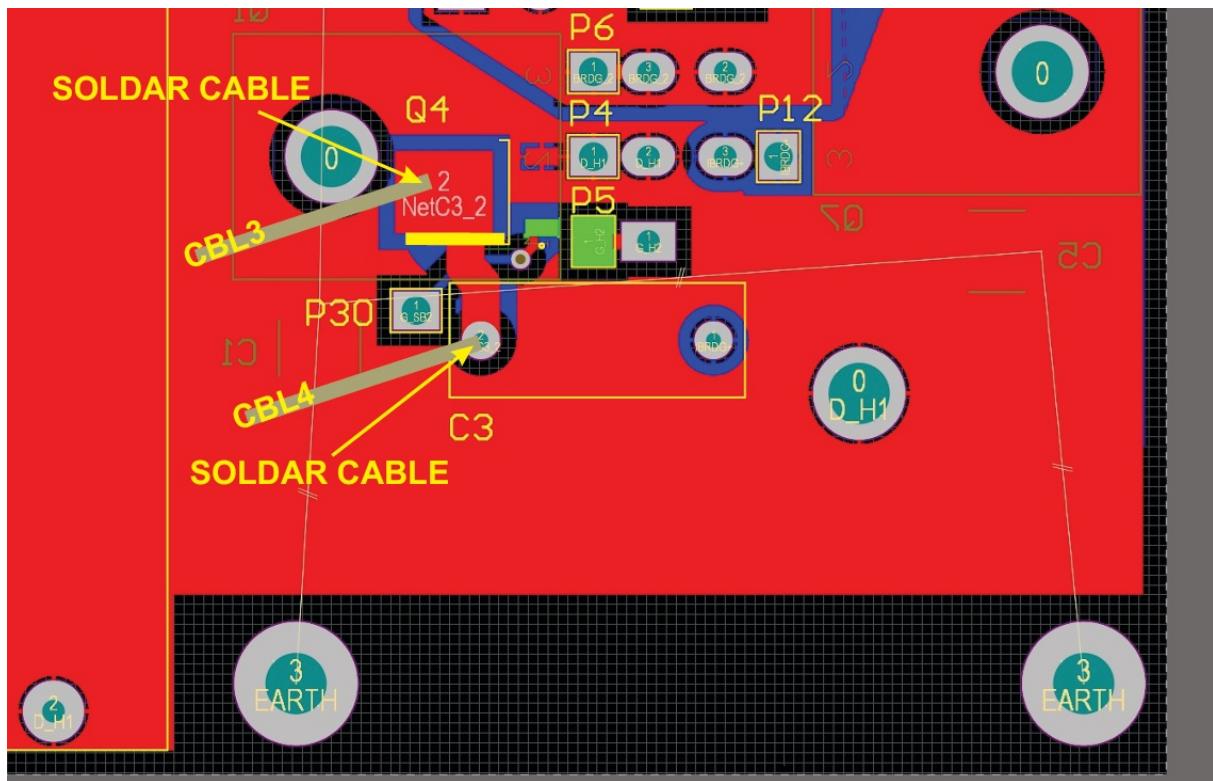


Figura B.3: Conexiónado de los cables CBL3 y CBL4 para una red Snubber.

Modificaciones en la placa de drivers

1. Soldar un cable CBL5 (*wire-wrapping wire*) entre el Pin 3 (DGND) del driver IC5 y el pad del pin S_L_1 (GND_ISO3). El cable debe ser lo más corto y directo posible.
2. Soldar un cable CBL6 (*wire-wrapping wire*) entre el Pin 3 (DGND) del driver IC4 y el pad del pin S_L_2 (GND_ISO3). El cable debe ser lo más corto y directo posible.
3. **Si no se puede montar el diodo D_{SNB1} sobre la placa de Convertidor CA/CC:** ubicar el mismo en la placa de drivers, lo más cerca posible del pin D_H_1 y el corte en la placa para C4. Unir el ánodo del diodo, con un cable lo más corto posible lo más corto posible, al pad del pin D_H_1. Unir el cátodo del diodo, con un cable lo más corto posible, con el cable CBL2.
4. **Si no se puede montar el diodo D_{SNB2} sobre la placa de Convertidor CA/CC:** ubicar el mismo en la placa de drivers, lo más cerca posible del pin D_H_2 y el corte en la placa para C3. Unir el ánodo del diodo, con un cable lo más corto posible lo más corto posible, al pad del pin D_H_2. Unir el cátodo del diodo, con un cable lo más corto posible, con el cable CBL4. Las modificaciones descriptas en estos cuatro ítems se encuentran ilustradas en las figuras B.4 y B.5.

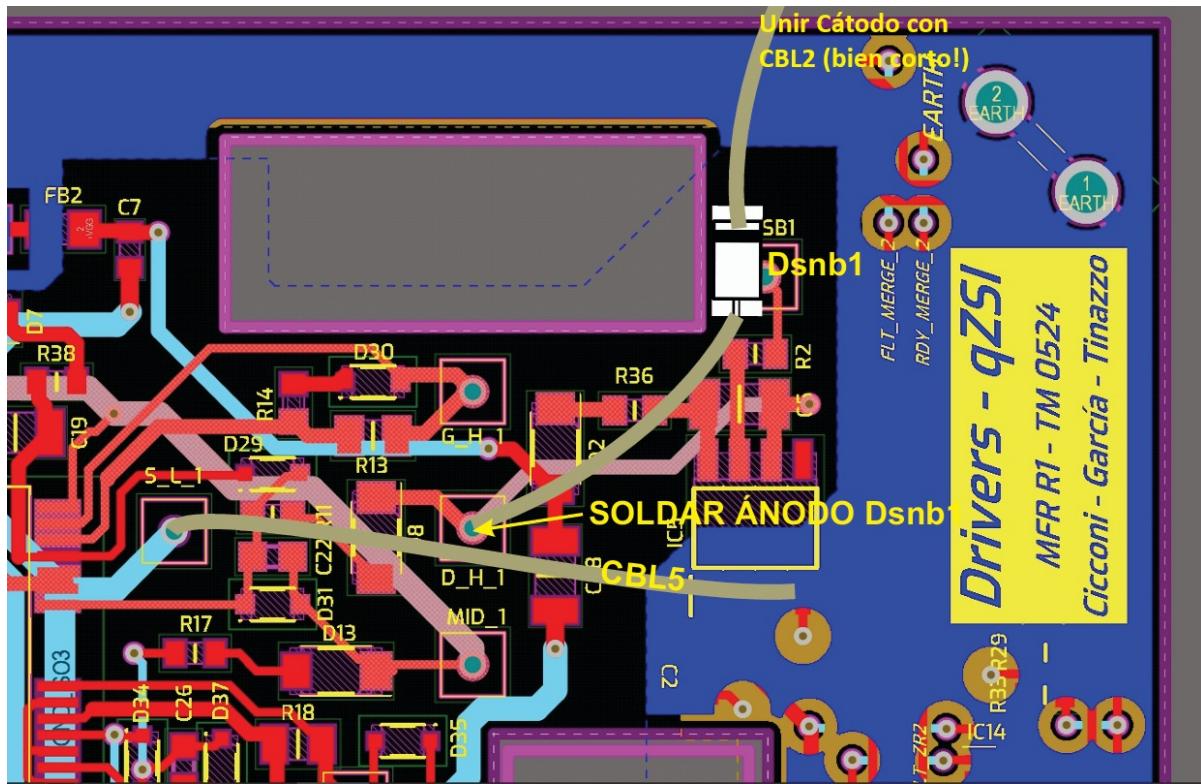


Figura B.4: Modificaciones sobre la placa de drivers para la red Snubber 1.

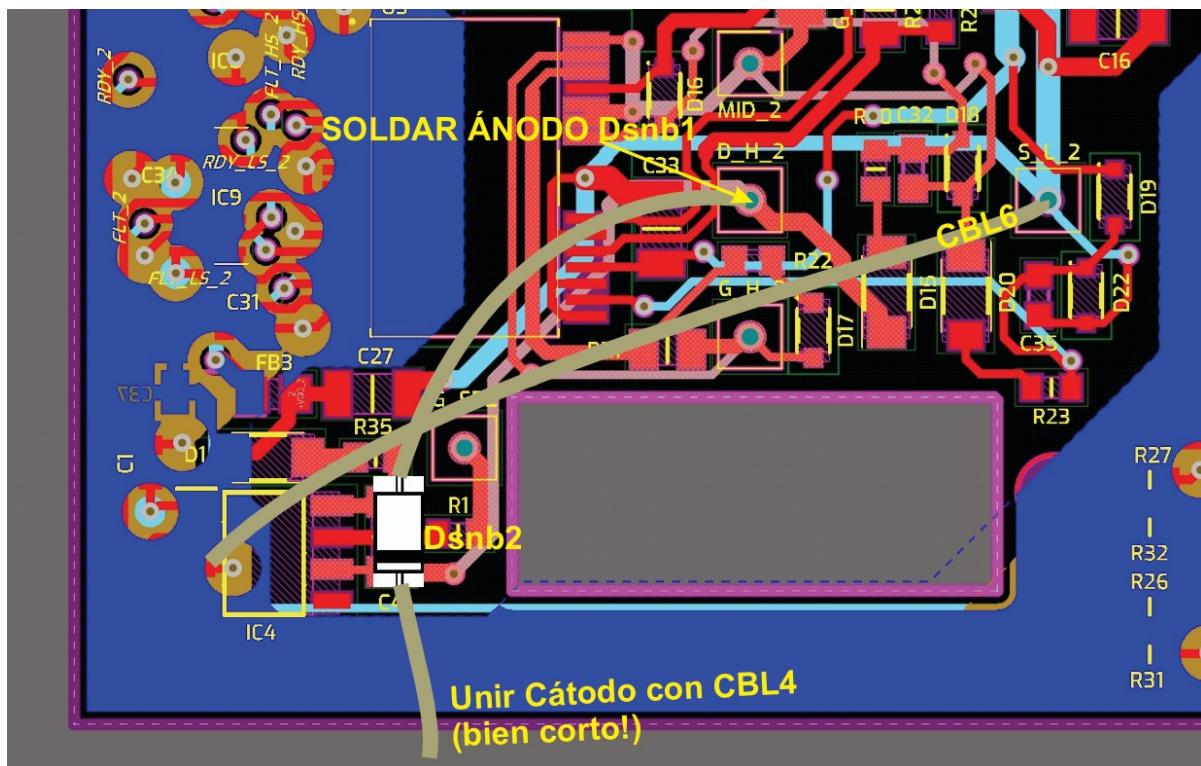


Figura B.5: Modificaciones sobre la placa de drivers para la red Snubber 2.

Apéndice C

Modificaciones en la medición de la corriente de salida

En el diseño actual, se cablean la tensión de salida, que posee una magnitud de las centenas de voltios y una señal proporcional a la corriente de salida I_{AC} , cuyo valor máximo es mucho menor, en un mismo conector DB9 utilizando un cable mallado. Esto provoca que en la señal de I_{AC} exista una gran cantidad de ruido.

Con el objetivo de reducir la interferencia en la señal de la corriente de salida y tratar modificar lo menos posible el cableado actual, se proponen dos alternativas. La primera se trata de ingresar a la placa de control con una señal proporcional a la tensión alterna de salida V_{AC} , junto con las señales de corriente alterna de salida I_{AC} . Esto se consigue modificando la ubicación del divisor de tensión utilizado para disminuir la magnitud de V_{AC} para su medición. Para ello se deberá:

1. Desoldar las resistencias R123 a R130 de la placa de control y soldar un puente entre esos terminales.
2. Soldar las resistencias R4 a R11 de la placa salida de CA para atenuar la tensión que se conectará a la placa de control.
3. Desoldar la resistencia R22 de la placa de control y soldarla entre los pines 1 de las resistencias R11 y R10.

La otra alternativa es separar la tensión V_{AC} de las señales de medición de la corriente I_{AC} , para ello:

1. En placa de salida de CA, desoldar las resistencias R4 a R11 en caso de encontrarse colocadas. En caso de que no, quitar el puente que va hacia los pines 1 y 2 del conector P4. De esta forma se desvincula la tensión V_{AC} del conector DB9 AC_OUTPUT_AN en la placa de control.
2. Soldar dos cables trenzados (de sección $0,10\text{mm}^2$ a $0,25\text{mm}^2$) sobre los pads número 2 de R5 y R4, respectivamente. Dichos cables deben ser unidos a sendos dos cables que provengan del conector DB9 DC_AC_INPUT_AN (preferiblemente de los pines 4 y 8) en la placa de control, separados del cable mallado que transporta a la señal de corriente I_{AC} .

3. En la placa de control, unir los pines 4 y 8 del conector DB9 DC_AC_INPUT_AN con wire-wrapping a sendos pads número 2 de R123 y R124.
4. Cortar las pistas de R123 y R124 que van hacia los pines 1 y 6, respectivamente, del conector DB9 AC_OUTPUT_AN, dejando suficiente *clearance*, justo sobre los pads de las resistencias (no sobre los pines del conector).
5. Los pines 1 y 6 del conector DB9 deben ser conectados a tierra en la placa de control o deben dejarse flotantes, lo que produzca el mejor efecto.

Bibliografía

- [1] Allegro Microsystems. *120 kHz Bandwidth, High-Voltage Isolation Current Sensor with Integrated Overcurrent Detection.* ACS710 datasheet, Sep. 2023.
- [2] bp solar. *High-efficiency photovoltaic module using silicon nitride multicrystalline silicon cells.* 65 Watt Photovoltaic Module Datasheet, Marzo 2009.
- [3] Diodes Incorporated. *Super Fast Glass Passivated Rectifier.* MUR460 Datasheet, Oct. 2021.
- [4] Dong Dong. *Modeling and control design of a bidirectional PWM converter for single-phase energy systems.* PhD thesis, Virginia Tech, 2009.
- [5] Dong Dong, Timothy Thacker, Rolando Burgos, Fei Wang, and Dushan Boroyevich. On zero steady-state error voltage control of single-phase pwm inverters with different load types. *IEEE Transactions on Power Electronics*, 26(11):3285–3297, 2011.
- [6] Alireza Esfandyari. *Multi-Objective Process Optimization for Overpressure Reflow Soldering in Electronics Production.* PhD thesis, Dissertation, Erlangen, Friedrich-Alexander-Universität Erlangen-Nürnberg ..., 2020.
- [7] Infineon. *2ED020I12-F2 Dual IGBT Driver IC.* 2ED020I12-F2 datasheet, Jun. 2012.
- [8] Infineon. *Low Loss DuoPack : IGBT in TRENCHSTOP™ and Fieldstop technology with soft, fast recovery anti-parallel Emitter Controlled HE diode.* IKW20N60T datasheet, May. 2015.
- [9] Infineon. *EiceDRIVER 1ED020I12-B2 Enhanced Single channel isolated gate driver IC with DESAT, and Miller Clamp.* 1ED020I12-B2 (1ED-B2) datasheet, Ene. 2020.
- [10] Energy Institute. Statistical review of world energy, 2023.
- [11] Texas Instruments. TMDSCNCD28335, 2019. <https://www.ti.com/tool/TMDSCNCD28335> [Fecha de acceso: 23/05/2024].
- [12] International Rectifier. *High and Low Side Driver.* IRS2101(S)PbF datasheet, Nov. 2006.
- [13] Benjamin C Kuo. *Sistemas de control automático.* Pearson Educación, 1996.
- [14] Liteon Optoelectronics. *Photocoupler Product Data Sheet 4N35/ 4N37 (M, S, S-TA1).* Photocoupler 4N3X series datasheet, Ago. 2017.
- [15] Littelfuse. *5KP Series.* TVS Diodes Datasheet, May. 2023.

- [16] Yushan Liu, Haitham Abu-Rub, Baoming Ge, Frede Blaabjerg, Omar Ellabban, and Poh Chiang Loh. *Impedance source power electronic converters*. John Wiley & Sons, 2016.
- [17] Poh Chiang Loh, Michael John Newman, Daniel Nahum Zmood, and Donald Grahame Holmes. A comparative analysis of multiloop voltage regulation strategies for single and three-phase ups systems. *IEEE Transactions on Power Electronics*, 18(5):1176–1185, 2003.
- [18] PLECS Manual. The simulation platform for power electronic systems. *User Manual Version, 3:110–132*, 2018.
- [19] Lucas Naldini and Juan J López. *Desarrollo e implementación de un convertidor CC/CA monofásico de 1 kVA de alto desempeño basado en topología quasi Z-Source*. Universidad Nacional de Rosario - Facultad de Ciencias Exactas, Ingeniería y Agrimensura, 2023.
- [20] Nexperia. *Single 2-input AND gate*. 74LVC1G08 datasheet, Feb. 2022.
- [21] NextGen Components, Inc. *Thru Hole Bridge Rectifier KBPC Series*. KBPC351000L35A Datasheet, Mar. 2021.
- [22] ON Semiconductor. *4-Channel Low Capacitance ESD Protection Array*. CM1293-04SO datasheet, Enero 2012.
- [23] ON Semiconductor. *Voltage Regulators, 1.0 A Low-Dropout Positive, Fixed and Adjustable*. NCP1117LP datasheet, Ene. 2020.
- [24] Alan V Oppenheim, Alan S Willsky, Syed Hamid Nawab, and Jian-Jiun Ding. *Signals and systems*, volume 2. Prentice hall Upper Saddle River, NJ, 1997.
- [25] Fang Zheng Peng. Z-source inverter. *IEEE Transactions on industry applications*, 39(2):504–510, 2003.
- [26] George Power Porto. El calentamiento global y las emisiones de carbono. *Ingeniería Industrial*, 2009.
- [27] Muhammad H Rashid. *Electrónica de potencia: circuitos, dispositivos y aplicaciones*. Pearson Educación, 2004.
- [28] Fairchild Semiconductor. Design and application guide of bootstrap circuit for high-voltage gate-drive ic. *Application note AN-6076*, 2008.
- [29] British Standard et al. Voltage characteristics of electricity supplied by public distribution networks. *BS EN 50160:2007*, 2007.
- [30] STMicroelectronics. *Positive voltage regulators*. L78L datasheet, Nov. 2020.
- [31] TDK. *Film Capacitors*. Metallized Polypropylene Film Capacitors (MKP) Series/Type: B32794 ... B32798 Datasheet, Ago. 2014.
- [32] Remus Teodorescu, Marco Liserre, and Pedro Rodriguez. *Grid converters for photovoltaic and wind power systems*. John Wiley & Sons, 2011.

- [33] Texas Instruments. *50-mA, 24-V, 3.2- μ A supply current, low-dropout linear regulator.* TPS71501-EP datasheet, Sep. 2008.
- [34] Texas Instruments. *7/8-Bit Quad I2C Digital POT with Nonvolatile Memory.* MCP444X/446X datasheet, Abr. 2010.
- [35] Texas Instruments. *TLV350x 4,5ns, Rail-to-Rail, High-Speed Comparator in Microsize Packages.* TLV3501, TLV3502 datasheet, Abr. 2016.
- [36] Texas Instruments. *LMV331 Single, LMV393 Dual, LMV339 Quad General-purpose Low-voltage Comparators.* LMV331, LMV393, LMV339 datasheet, Oct. 2020.
- [37] Texas Instruments. *TMS320x2833x, TMS320x2823x Technical Reference Manual.* TMS320x2833x Datasheet, Marzo 2020.
- [38] Texas Instruments. *CDx4HC4075 Triple 3-Input OR Gates.* CD74HC4075, CD54HC4075 datasheet, Jun. 2021.
- [39] Texas Instruments. *SN74LVC2G74 Single Positive-Edge-Triggered D-Type Flip-Flop With Clear and Preset.* SN74LVC2G74 datasheet, Sep. 2021.
- [40] Texas Instruments. *TXU0104 4-Bit Fixed Direction Voltage-Level Translator with Schmitt-Trigger Inputs and 3-State Outputs.* TXU0104 datasheet, Sep. 2021.
- [41] Texas Instruments. *180-Pin ControlCARD Docking Station Information Guide.* TMDSHSECDOCK User's Guide, Ene. 2022.
- [42] Texas Instruments. *Industry-Standard Dual Operational Amplifiers.* LM158, LM158A, LM258, LM258A, LM2904, LM2904B, LM2904BA, LM2904V, LM358, LM358A, LM358B, LM358BA datasheet, Marzo 2022.
- [43] Texas Instruments. *TMS320F2833x, TMS320F2823x Real-Time Microcontrollers.* TMS320F28335, TMS320F28335-Q1, TMS320F28334, TMS320F28333, TMS320F28332, TMS320F28235, TMS320F28235-Q1, TMS320F28234, TMS320F28234-Q1, TMS320F28232, TMS320F28232-Q1 datasheet, Ago. 2022.
- [44] Texas Instruments. *TL431, TL432 Precision Programmable Reference.* TL431 datasheet, Oct. 2023.
- [45] Texas Instruments. *TPS54331 3-A, 28-V Input, Step Down DC-DC Converter With Eco-mode.* TPS54331 datasheet, Oct. 2023.
- [46] Linus Torvalds, J Hamano, and J Pearce. Git user manual. 2010.
- [47] Toshiba. *74HC04D.* 74HC04D datasheet, Ago. 2016.
- [48] Andrzej M Trzynadlowski. *Introduction to modern power electronics.* John Wiley & Sons, 2015.
- [49] Andrés Vazquez Sieber, Hernán Haimovich, and Mónica E Romero. Control-oriented modelling and adaptive control of a single-phase quasi-z-source inverter. In *IECON 2013-39th Annual Conference of the IEEE Industrial Electronics Society*, pages 572–577. IEEE, 2013.