

El Trabajo Práctico de Laboratorio deberá ser entregado para su evaluación y revisión.

Deberá presentar:

1. Diagrama del diseño implementado (FSMD y/o control + datapath). Detalle los nombres de los estados, las entradas y salidas, y las señales involucradas. Estos nombres deben coincidir con los usados en la codificación VHDL. El diagrama puede ser hecho a mano alzada y digitalizado, en cualquier software de dibujo o diseño
2. Los códigos tanto de fuente como de simulación, con su rotulado correspondiente. Únicamente los archivos *.vhd*.

Implementar la división de dos números enteros positivos de N bits.

Algoritmo:

1. Extender el dividendo con ceros al doble de su tamaño. Alinear el divisor al bit más significativo del dividendo extendido.
2. Si los bits correspondientes al dividendo son mayores que el divisor, entonces setear un bit del cociente en 1 y restar el divisor. Si no, setear el bit del cociente en 0 y dejar el dividendo como estaba.
3. Bajar un bit del dividendo, shiftear un bit a la izquierda y volver al **punto 2**.
4. Repetir el **punto 2 y 3** hasta que la cantidad de bits que quedan del dividendo sea menor a la cantidad de bits del divisor.