

El Trabajo Práctico de Laboratorio deberá ser entregado para su evaluación y revisión.

Deberá presentar:

1. Descripción narrativa del circuito implementado, con sus funcionalidades y detalles que considere adecuado. Hasta 700 palabras.
2. Diagrama esquemático del circuito implementado. Detalle los nombres de los bloques, las entradas y salidas, y las señales involucradas. Estos nombres deben coincidir con los usados en la codificación VHDL. El diagrama puede ser hecho a mano alzada y digitalizado, en cualquier software de dibujo o diseño.
3. Los códigos de todos los bloques que conforman el circuito, con su rotulado correspondiente. Únicamente los archivos *.vhd*.
4. Capturas de la verificación comportamental del circuito en la simulación, tanto del diagrama de tiempos como la información relevante de la consola. Realizar los casos mínimos solicitados para el *testbench* y todos aquellos que considere necesarios para tener certeza del correcto funcionamiento.

Entregar los puntos 1, 2 y 4 en un PDF identificado con su nombre.

Implementar un contador binario universal de acuerdo a la tabla de la Figura 1.

- Además, debe generar un *max_tick* cuando el contador llega al valor máximo, y un *min_tick* cuando el contador pasa por cero.
- Para la simulación tomarlo como un contador de 0 a 16. Probar todos los casos críticos de la tabla 1. En particular probar *load* = 5.

<i>syn_clr</i>	<i>load</i>	<i>en</i>	<i>up</i>	<i>q*</i>	Operation
1	–	–	–	00...00	synchronous clear
0	1	–	–	d	parallel load
0	0	1	1	$q+1$	count up
0	0	1	0	$q-1$	count down
0	0	0	–	q	pause

*Figura 1: **syn_clr**: Reset sincrónico, **load**: carga un valor de inicio, **en**: habilitador sincrónico, **up**: cuenta hacia arriba o hacia abajo del valor actual.*