

TRABAJO DE LABORATORIO I: CONTADOR

Electrónica Digital - Laboratorio III

N. A. Pizarro

1 DESCRIPCIÓN DEL FUNCIONAMIENTO

Se implementó un contador en el software VIVADO a partir del lenguaje VHDL. El mismo se implementó de forma genérica, es decir que cuenta de 0 a $(2^N - 1)$, donde N es un número entero positivo. Posee de entrada: `clk`, `syn_clr`, `load`, `en` y `up` de 1 bit cada uno y `d` de N bits. De salida posee: `max_tick` y `min_tick` de 1 bit cada uno y `q` de N bits.

La entrada `clk` es para la entrada de un reloj, todos los cambios en las salidas se van a ver reflejadas en el flanco ascendente de esta señal. Esto se define en el bloque *Registro de estado*, que es uno de los tres bloques que posee la calculadora. La salida `q` es donde se verá reflejado la salida de este contador, mientras que `max_tick` y `min_tick` nos indicarán si `q` llegó a la cuenta máxima $2^N - 1$ o a 0 respectivamente. El bloque de lógica de salida es donde encontraremos descripto este comportamiento.

Por último en el bloque *Lógica del próximo estado* encontraremos qué valor de salida `q` tendremos en el próximo ciclo del reloj en función de las entradas `syn_clr`, `load`, `en`, `up` y `d`. El comportamiento de la salida es de acuerdo a la tabla descripta en la Figura 1.1.

Como comentario a destacar, la cuenta ascendente o descendente se hizo sumando o restando 1 y para efectuar esto, se ha casteado al tipo de dato *unsigned*.

2 DIAGRAMA EN BLOQUE

El diagrama en bloque se puede observar en la figura 2.1.

syn_clr	load	en	up	q*	Operation
1	—	—	—	00...00	synchronous clear
0	1	—	—	d	parallel load
0	0	1	1	q+1	count up
0	0	1	0	q-1	count down
0	0	0	—	q	pause

Figure 1.1: Lógica del próximo estado q en función de syn_clr(reset síncrono), load (carga un valor), en(habilitador síncrono) y up(cuenta ascendente o descendente).

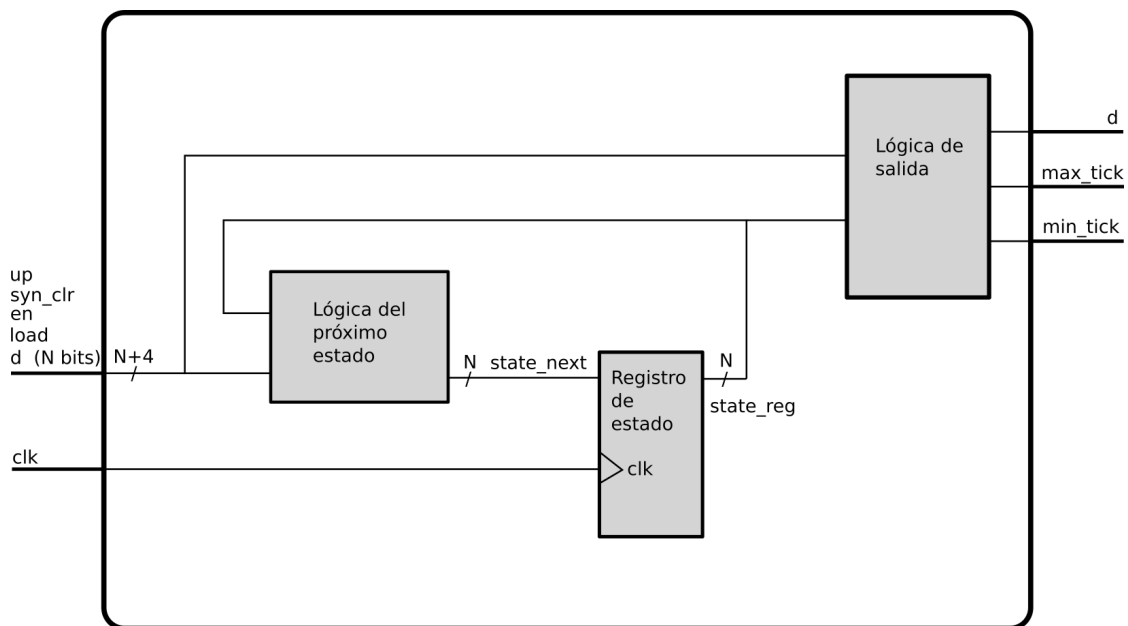


Figure 2.1: Esquema en bloques del contador implementado.

3 CÓDIGO

El código se encuentra disponible y descargable en el repositorio: <https://github.com/AgustinaP/contador>¹.

¹ Por cualquier inconveniente mandar un mail a nadia.pizarro@ib.edu.ar

4 VERIFICACIÓN COMPORTAMENTAL

Para la corroboración del correcto funcionamiento del contador se realizaron varios test para probar sus funcionalidades. Se implementó un contador de 0 a 16 bits.

Primero, se sincronizó las salidas, se contó de forma ascendente por 18 ciclos del clock, se cargó el valor '3' y se contó de forma descendente por 7 ciclos del clock. Seguidamente se cargó el valor '6' y se contó de forma ascendente de nuevo por otros 7 ciclos de clock. Por último, se deshabilitó para que la señal de salida se mantenga constante por 7 ciclos de clock.

Dichos tests se simularon en el software VIVADO de forma exitosa. La simulación completa está disponible y descargable en el repositorio mencionado anteriormente. En la Figura 4.1 se observa parte de esta simulación.

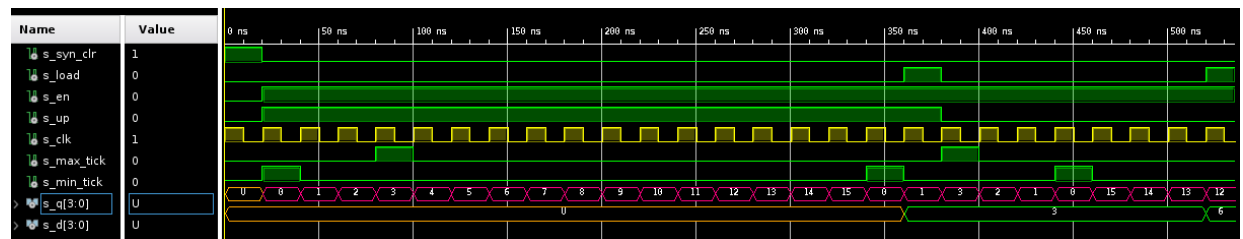


Figure 4.1: Simulación comportamental del contador.