

Hardware Description Languages

في الـ 90's المصممون اكتشفوا راح يكون في اكثر انتاجية بكثير اذا عملوا على مستوى اعلى من التجريد مع تحديد الوظيفة المنطقية فقط.

يتم بشكل عام تقديم المواصفات بلغة HDL .

اللغتان الرائدتان لوصف الـ Hardware الـ HDL هم SystemVerilog و vhdl .

اللغتان على نفس المبادئ لكن بناء الجملة Syntax يختلف .

Modules

تسمى الاجهزة ذات المدخلات والمخرجات inputs & outputs تسمى Modules .

الـ AND Gate و MUX الخ جميعها امثلة على Hardware Modules .

النمطان العامان لوصف وظائف الـ Modules هم structural & behavioral .

Behavioral models : تصف ما تفعله الـ module .

Structural models : تصف كيفية بناء Modules من قطع ابسط تطبيق لتسلسل الهرمي.

كود الـ VHDL & SystemVerilog في مثال .

SystemVerilog

```
module sillyfunction(input  logic a, b, c,
                    output logic y);

    assign y = ~a & ~b & ~c |
             a & ~b & ~c |
             a & ~b & c;

endmodule
```

VHDL

```
library IEEE; use IEEE.STD_LOGIC_1164.all;

entity sillyfunction is
    port(a, b, c: in  STD_LOGIC;
         y:      out STD_LOGIC);
end;

architecture synth of sillyfunction is
begin
    y <= (not a and not b and not c) or
        (a and not b and not c) or
        (a and not b and c);
end;
```

