## Instruction Cycle

قمنا بشرح اساسياتها وقلنا سنعيد شرحها اكثر تفصيلا قبل البدء يجب ان نقدم الان مرحلة اضافية تسمى (indirect cycle).

## indirect cycle

شرحنا من الممكن ان يتضمن تنفيذ التعليمات على معامل واحد او اكثر في الذاكرة ويتطلب منها الوصول الى الذاكرة. اذا تم استخدام العنونة الغير مباشرة (indirect addressing) فستكون هناك حاجة الى وصول اضافي الى الذاكرة. يمكننا ان نفكر في جلب العناوين غير مباشرة ( fetching of indirect ) كمرحلة اخرى من مراحل التعليمات.

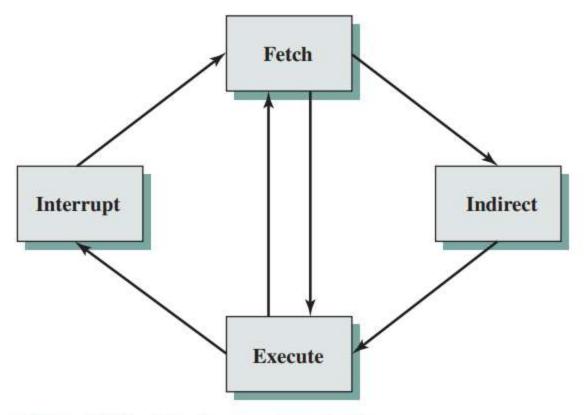
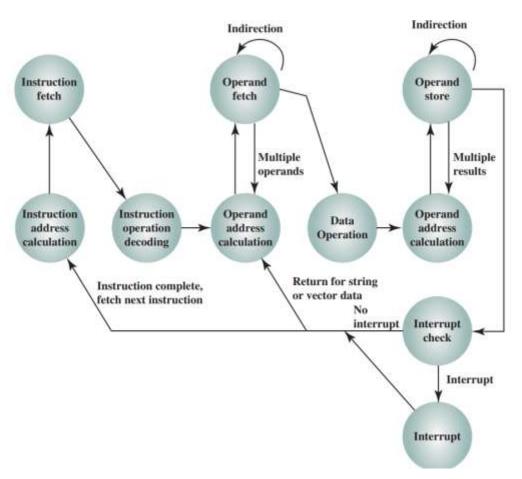


Figure 14.4 The Instruction Cycle

يتكون الخط الرئيسي للنشاط هو الـ instruction execution و instruction execution بالتناوب.

بعد instruction fetched يتم فحصها لتحديد ما اذا كانت تتضمن اي عنونة غير مباشرة ( indirect . indirect addressing المطلوبة باستخدام operands). اذا كانت فسيتم جلب الـ operands

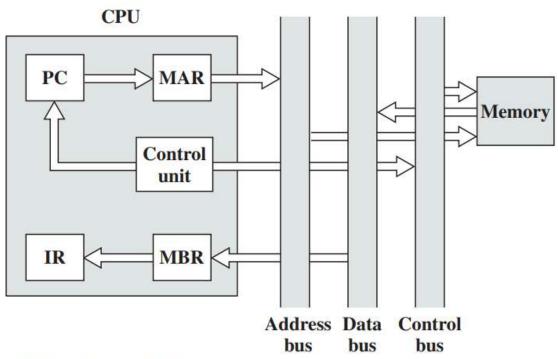


مثال اكثر تفصيلا.

## **Data Flow**

يعتمد التسلسل الدقيق لـ instruction cycle على تصميم المعالج. ومع ذالك يمكننا نشير بشكل عام الى ما يجب ان يحدث. لنفترض ان المعالج لديه يستخدم (MAR) emmory address register (MAR) و program counter (PC) و program counter (PC) تتم قراءة التعليمات من الذاكرة.

صورة توضح تدفقق البيانات في دورة الجلب



**MBR** = **Memory buffer register** 

MAR = Memory address register

IR = Instruction register

PC = Program counter

يتم نقل هذا العنوان الخاص بـ PC الى MAR و وضعه في ناقل العناوين (address bus). الـ control الله address bus). ال unit تطلب القراءة من الذاكرة يتم وضع النتيجة على data bus ثم نقلها الى IR وفي الوقت نفسه تتم زيادة PC استعدادا لعملية الجلب التالية.

بمجرد انتهاء دورة الجلب تقوم الـ Control Unit بفحص محتويات سجل IR لتحديد ما اذا كان يحتوي على operand يستخدم indirect cycle وان تبين ذالك يتم تنفيذ

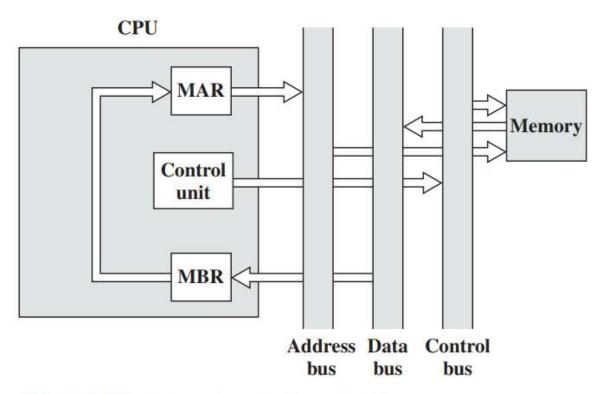
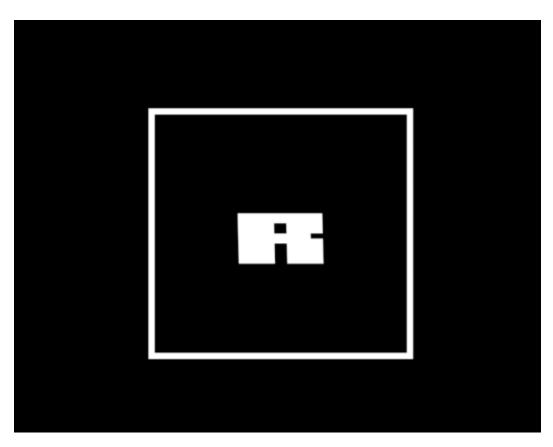


Figure 14.7 Data Flow, Indirect Cycle

دورة بسيطة اولا يتم نقل N-bits من الـ MBR والتي الان تحتوي على مرجع الذاكرة الى سجل MAR . ثم الـ control unit تشم الـ MBR .

## AhmadAlFareed



Twitter: <a href="https://twitter.com/dr\_retkit">https://twitter.com/dr\_retkit</a>

YouTube: https://www.youtube.com/@retkit1823