

به نام خدا



دانشگاه صنعتی اصفهان

دانشکده برق و کامپیوتر

طراحی مدارهای فرکانس بالا

ترم پاییز ۱۴۰۱

گزارش پروژه

مینا احمدیان نجف آبادی

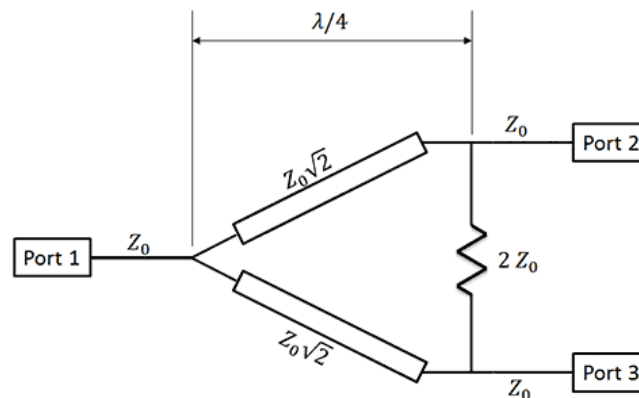
۹۸۱۶۸۱۳

طراحی تقسیم کننده توان ویلکینسون باند پهن^۱

۱. مقدمه

یک تقسیم کننده توان ویلکینسون، توان ورودی را به صورت مساوی میان دو پورت خروجی تقسیم می کند که در حالت ایده آل بدون تلفات است. در این تقسیم کننده دو پورت خروجی دارای تطبیق امپدانس بوده و از یکدیگر جدا و ایزوله هستند. با توجه به این که شبکه های سه پورته نمی توانند هم زمان بدون تلفات و هم پاسخ باشند، در تقسیم کننده ی توان ویلکینسون یک مقاومت بین دو پورت خروجی قرار می گیرد که در صورت عدم تطبیق پورت های خروجی انرژی جذب می کند؛ همچنین در هنگامی که مدار به عنوان یک جمع کننده ی توان مورد استفاده قرار می گیرد، باعث ایزوله شدن دو پورت ورودی (پورت ۳ و ۲) می شود.

در این پروژه، هدف ما آنالیز و طراحی یک تقسیم کننده توان ویلکینسون باند پهن در کاربردهای مخابرات بی سیم می باشد. همان طور که در شکل ۱ مشاهده می شود، معمولا یک تقسیم کننده توان ویلکینسون با خطوط انتقال $\lambda/4$ طراحی شده و دارای پهنای باند باریک در اطراف یک فرکانس یکتا می باشد. در طراحی ارائه شده، این خطوط انتقال را به خطوط π شکل معادل تبدیل شده و سپس پهنای باند مدار توسط نرم افزار ADS مورد بررسی و تحلیل قرار می گیرد.



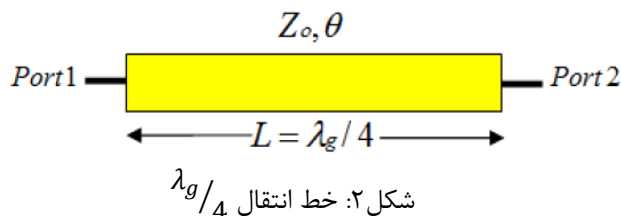
شکل ۱: یک تقسیم کننده توان ویلکینسون معمولی

¹ A Novel Design of a Wideband Wilkinson Power Divider

۲. طراحی

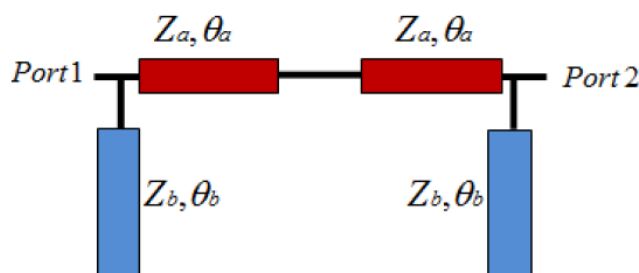
یکی از مهم‌ترین مشکلات تقسیم‌کننده‌ی توان ویلکینسون، پهنای باند بسیار باریک آن می‌باشد. در طراحی انجام شده هدف این است که با افزودن stub در طول خطوط انتقال $\lambda/4$ این تقسیم‌کننده‌ی توان، پهنای باند بهبود پیدا کند.

- تبدیل خطوط انتقال $\lambda/4$ به معادل π :



ماتریس ABCD برای خط انتقال به طول $\lambda_g/4$ به صورت زیر می‌باشد:

$$M = \begin{bmatrix} A & B \\ C & D \end{bmatrix} = \begin{bmatrix} 0 & jZ_0 \\ jY_0 & 0 \end{bmatrix}$$



ماتریس ABCD برای خط انتقال معادل π شکل به صورت زیر است:

$$M_a = \begin{bmatrix} \cos\theta_a & jZ_a \sin\theta_a \\ jY_a \sin\theta_a & \cos\theta_a \end{bmatrix}$$

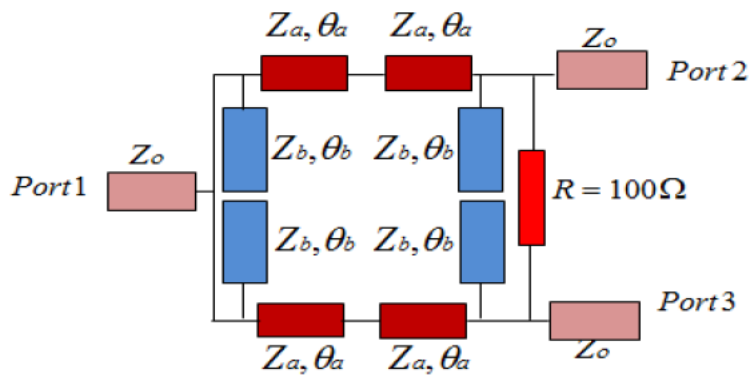
$$M_b = \begin{bmatrix} 1 & 0 \\ jY_b \tan\theta_b & 1 \end{bmatrix}$$

با در نظر گرفتن ماتریس‌های M و M_π داریم:

$$Z_a = \frac{Z_0}{\sin(2\theta_a)}$$

$$Y_b \tan(\theta_b) = \frac{\cos(2\theta_b)}{Z_0}$$

بنابراین مدار معادل طراحی شده به صورت زیر می‌باشد:

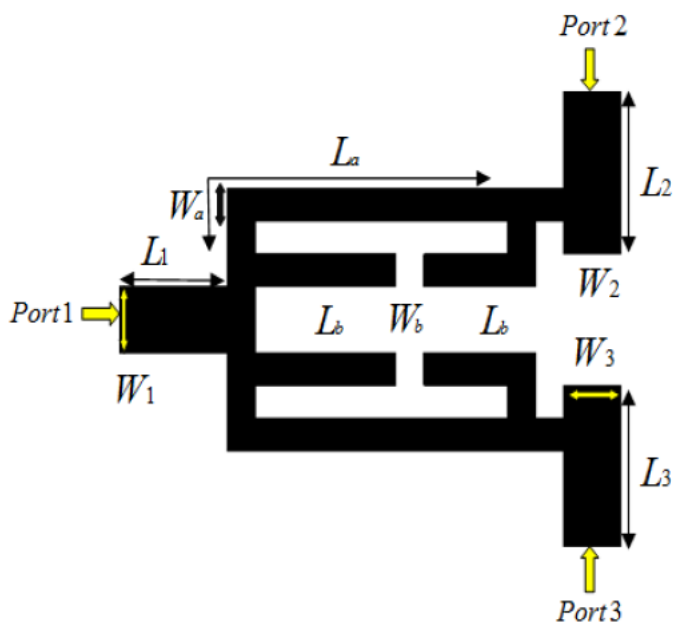


شکل ۴: مدار طراحی شده

با استفاده از مقادیر بدست آمده $(Z_a, \theta_a, Z_b, \theta_b)$ و ابزار LineCalc ابعاد خطوط انتقال (W_a, L_a, W_b, L_b) برای شماتیک نشان داده شده در شکل ۵ به صورت زیر بدست می‌آیند:

جدول ۱: مقادیر طراحی شده بر حسب mm

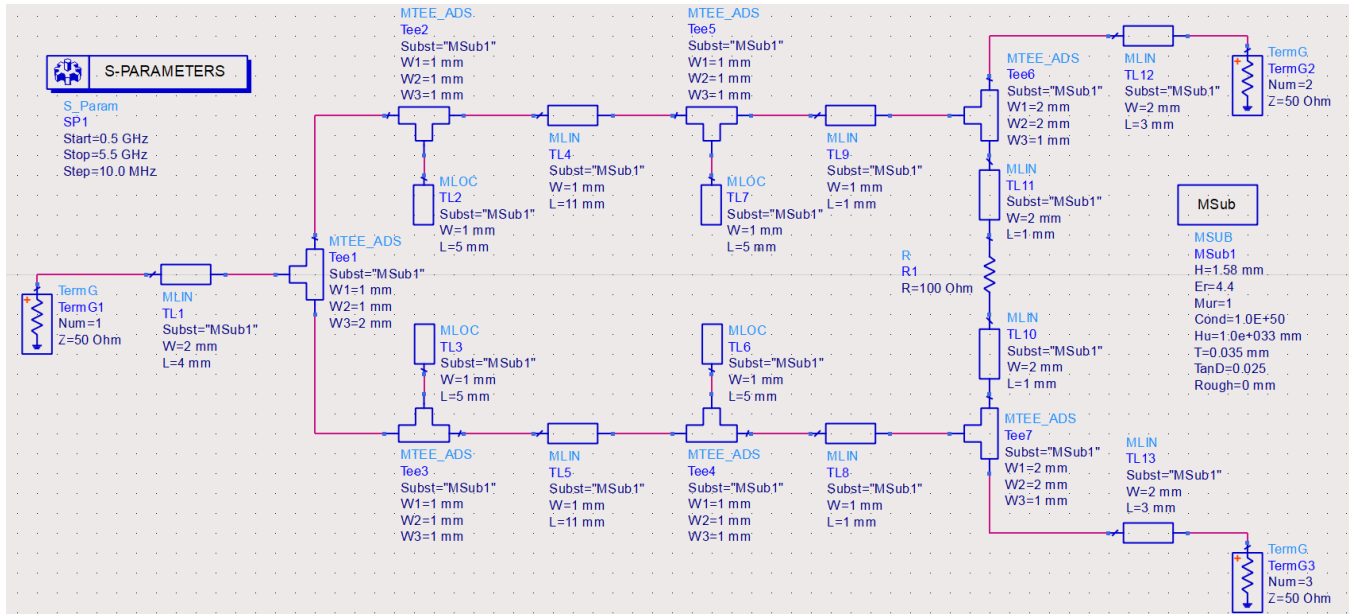
پهنا (W)	طول (L)
$W_1 = 2$	$L_1 = 4$
$W_2 = W_3 = 2$	$L_2 = L_3 = 5$
$W_a = 1$	$L_a = 11$
$W_b = 1$	$L_b = 5$



شکل ۵: شماتیک مدار طراحی شده

۳. شبیه سازی

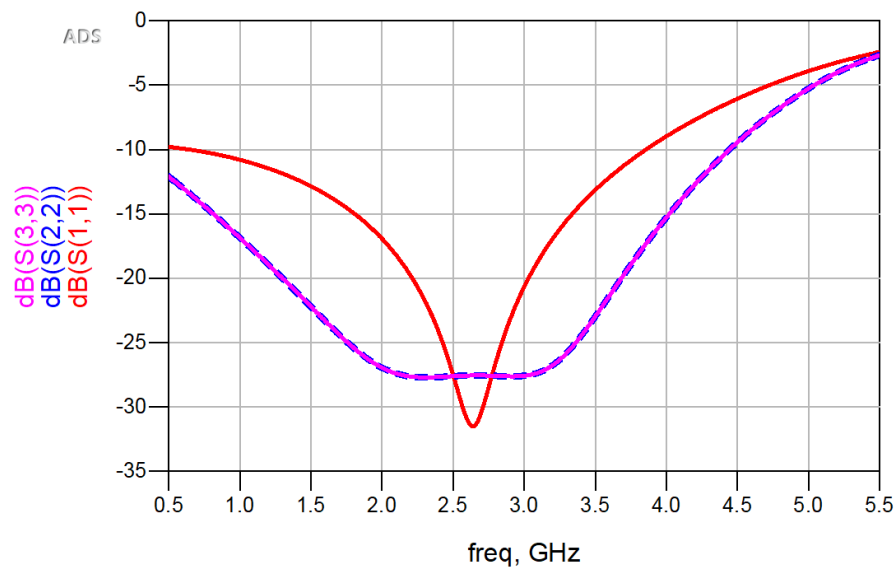
مدار شبیه سازی شده در نرم افزار ADS به صورت زیر می باشد:



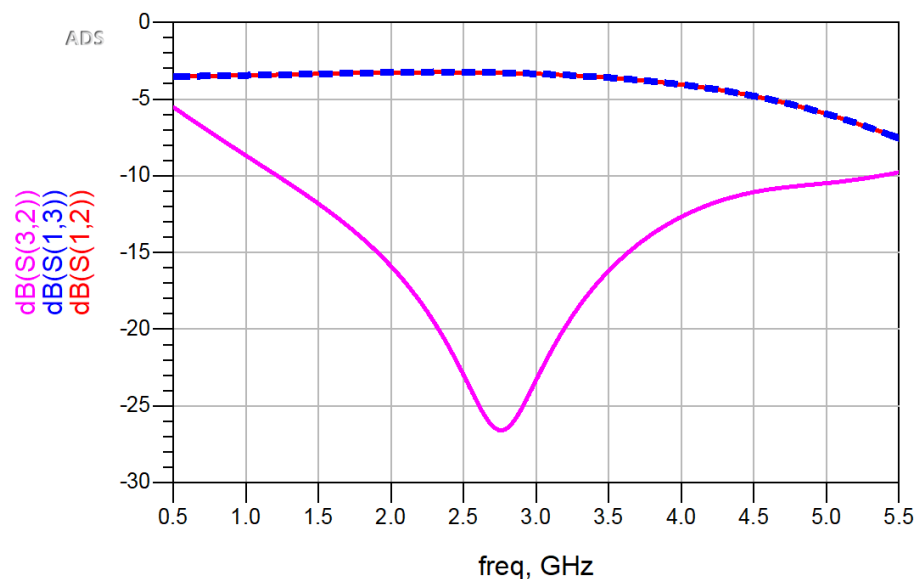
شکل ۶: مدار شبیه سازی شده در ADS

دی الکتریک استفاده شده FR4 با ثابت دی الکتریک 4.4، تانژانت تلفات 0.025 و ارتفاع 1.58 میلی متر می باشد.

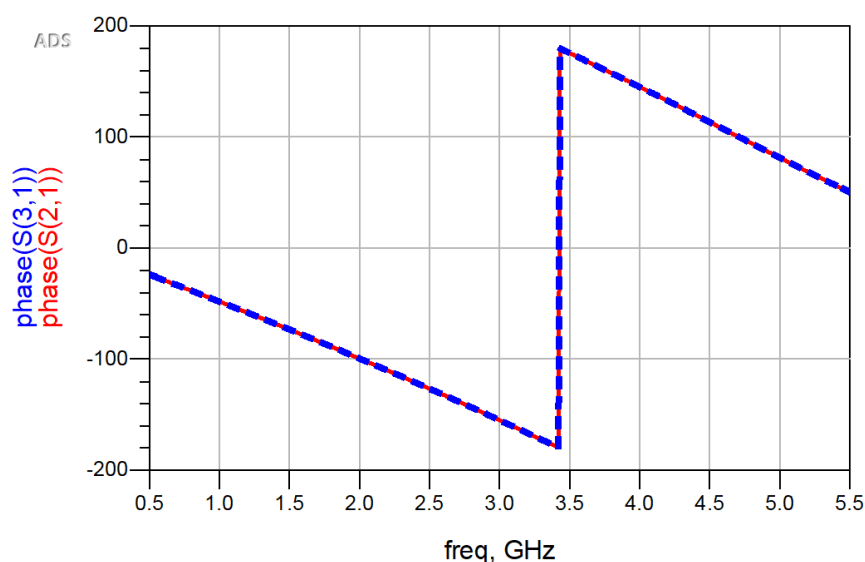
با اجرای شبیه سازی نتایج زیر بدست می آیند:



شکل ۷: توان بازگشتی در هر پورت



شکل ۸: توان منتقل شده و ایزولاسیون



شکل ۹: فاز توان منتقل شده از پورت ۱ به پورت های ۲ و ۳

همان طور که در شکل ۷ مشاهده می شود، در محدوده ی فرکانس 1 GHz تا 3.8 GHz توان بازگشتی در هر پورت از مقدار 10 dB - کمتر است.

با توجه به شکل ۸ مشاهده می شود که ایزولاسیون دو پورت های ۲ و ۳ توسط مقاومت ۱۰۰ اهمی به خوبی انجام شده است و همچنین میزان توان منتقل شده از پورت های ۲ و ۳ به پورت ۱ را نشان می دهد که مقدار آن در بازه ی فرکانسی مورد نظر از 3 dB - کمتر است.

در شکل ۹ نیز مشاهده می شود که توان منتقل شده از پورت ۱ به پورت های ۲ و ۳ دارای فاز یکسانی می باشند.