

# **Travaux Dirigés de Logique Combinatoire et Séquentielle**



# TD n°1

## Algèbre de BOOLE

### Propriétés et formes canoniques

#### 1. Méthode algébrique.

- a) Les 3 opérateurs de base de l'algèbre de Boole sont les opérateurs « non », « et », « ou ». Donner les tables de vérité de ces trois opérateurs.
- b) A partir des tables de vérité, vérifier l'égalité suivante par induction :  $a(b + c) = ab + ac$ .
- c) Quelle est la propriété utilisée pour effectuer ce développement :  $a + bc = (a + b)(a + c)$  ?
- d) Retrouver les propriétés suivantes en utilisant les propriétés de l'éléments neutre et absorbant du « ET » logique et du « OU » logique :
- $a + ab = a$  ;
  - $a(a + b) = a$  ;
  - $a + \bar{a}b = a + b$  ;
- e) Donner une expression booléenne pour les fonctions f et h spécifiées par les tables de vérité ci-dessous

a	b	c	f(a, b, c)	g(a, b, c)	h(a, b, c)
0	0	0	1	0	1
0	0	1	0	0	0
0	1	0	0	0	1
0	1	1	0	1	0
1	0	0	1	0	1
1	0	1	1	1	1
1	1	0	0	1	1
1	1	1	1	1	1

$f(a, b, c) =$

$h(a, b, c) =$

- f) En utilisant le théorème du consensus, réduire l'expression  $F_2 = a\bar{c}de + \bar{d}\bar{e} + c$
- g) Comment appelle-t-on les lois logiques permettant d'effectuer les manipulations suivantes :  $\overline{a + b} = \bar{a}\bar{b}$ ,  $\overline{ab} = \bar{a} + \bar{b}$  ?
- h) Donner la forme minimale des expressions logiques suivantes :
- $L_1 = ab(\bar{a} + \bar{b}c)$
  - $L_2 = \overline{a\bar{b}} + (\bar{c} + d)(a + b)$
  - $L_3 = \bar{a}\bar{b}c + bc + ac$

## TD n°2

### Algèbre de BOOLE

### Propriétés et formes canoniques

#### 1. Méthode algébrique.

a) Vérifier ces égalités en simplifiant les expressions de gauche :

- $abc + ab\overline{(\overline{a} + \overline{c})} = ac$
- $\overline{a}c(\overline{a}bd) + \overline{a}b(\overline{cd}) + a\overline{b}c = \overline{b}c + \overline{a}c\overline{d} + \overline{a}b\overline{c}$

#### 2. Modélisation d'un problème et simplification : Police d'assurance

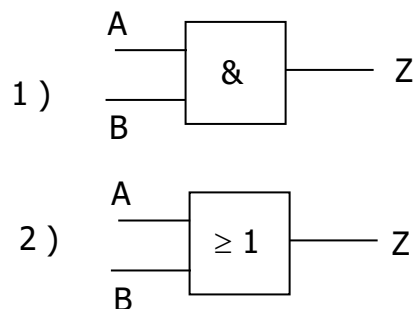
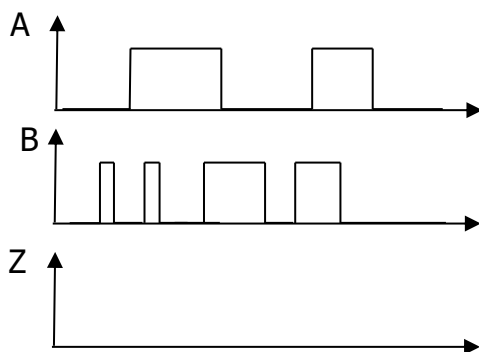
Les conditions de délivrance d'une police d'assurance précisent que cette police ne peut être souscrite que par les personnes remplissant au moins l'une des conditions suivantes

- Avoir souscrit à la police n°19, être de sexe masculin et marié
- Avoir souscrit à la police n°19, être marié et âgé de moins de 25 ans
- Ne pas avoir souscrit à la police n°19, être marié et de sexe féminin
- Etre de sexe masculin et âgé de moins de 25 ans
- Etre marié et âgé de plus de 25 ans

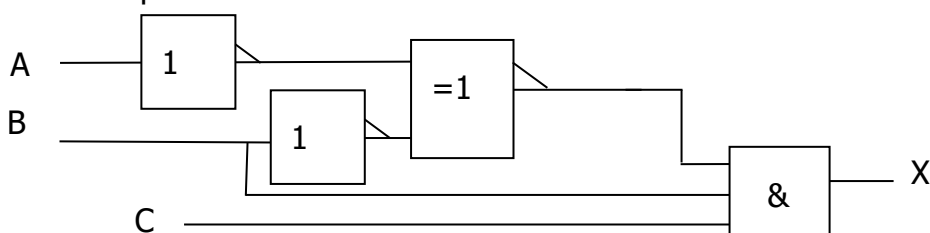
La lecture de ces conditions donne l'impression d'une surabondance d'informations. Mais bien peu de gens, avec leur seule intuition, seront capables d'identifier toutes les informations redondantes et d'énoncer l'ensemble des règles le plus simplement possible. Pouvez donner les conditions les plus minimalistes permettant la souscription ?

#### 3. Chronogramme et Logigramme

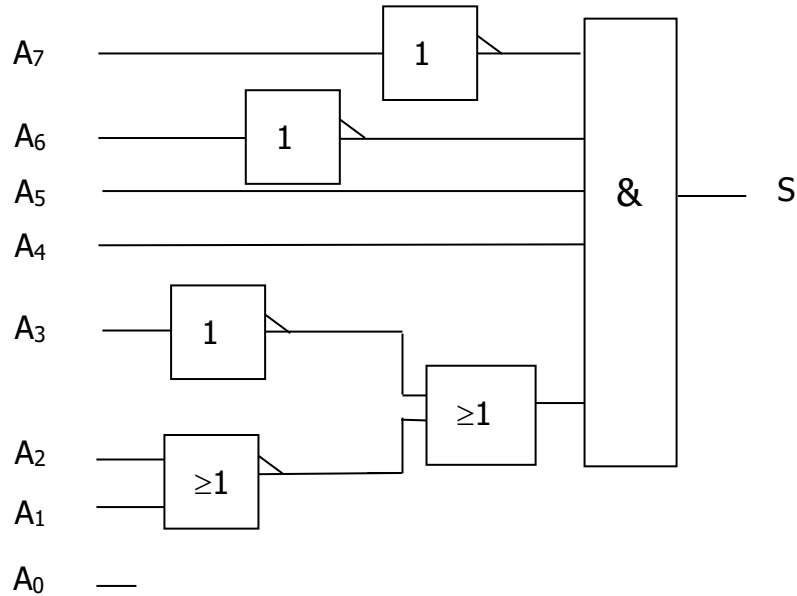
a) Complétez le chronogramme avec les deux portes :



b) Ecrivez l'expression booléenne de x :



c) Donnez l'expression de la sortie S en fonction des entrées  $A_i$ . Vérifiez que  $S = 1$  si le mot d'entrée (codé en code ASCII) est un des chiffres 0 à 9.



#### 4. Tableau de Karnaugh : Donner la forme minimale minterme

<div><div>A</div><div><div>ab</div><div><div>000110</div><div><div>0000</div><div>0100</div><div>1101</div><div>1000</div></div></div></div><div><div>cd</div><div><div>000110</div><div><div>0000</div><div>0100</div><div>1101</div><div>1000</div></div></div></div></div> <div>équation de A : _____</div>	<div><div>B</div><div><div>ab</div><div><div>000110</div><div><div>0000</div><div>0100</div><div>1101</div><div>1000</div></div></div></div><div><div>cd</div><div><div>000110</div><div><div>0000</div><div>0100</div><div>1101</div><div>1000</div></div></div></div></div> <div>équation de B : _____</div>	<div><div>C</div><div><div>ab</div><div><div>000110</div><div><div>0000</div><div>0100</div><div>1101</div><div>1000</div></div></div></div><div><div>cd</div><div><div>000110</div><div><div>0000</div><div>0100</div><div>1101</div><div>1000</div></div></div></div></div> <div>équation de C : _____</div>
<div><div>D</div><div><div>ab</div><div><div>000110</div><div><div>0000</div><div>0100</div><div>1101</div><div>1000</div></div></div></div><div><div>cd</div><div><div>000110</div><div><div>0000</div><div>0100</div><div>1101</div><div>1000</div></div></div></div></div> <div>équation de D : _____</div>	<div><div>E</div><div><div>ab</div><div><div>000110</div><div><div>0000</div><div>0100</div><div>1101</div><div>1000</div></div></div></div><div><div>cd</div><div><div>000110</div><div><div>0000</div><div>0100</div><div>1101</div><div>1000</div></div></div></div></div> <div>équation de E : _____</div>	<div><div>F</div><div><div>ab</div><div><div>000110</div><div><div>0000</div><div>0100</div><div>1101</div><div>1000</div></div></div></div><div><div>cd</div><div><div>000110</div><div><div>0000</div><div>0100</div><div>1101</div><div>1000</div></div></div></div></div> <div>équation de F : _____</div>
<div><div>G</div><div><div>ab</div><div><div>000110</div><div><div>0000</div><div>0100</div><div>1101</div><div>1000</div></div></div></div><div><div>cd</div><div><div>000110</div><div><div>0000</div><div>0100</div><div>1101</div><div>1000</div></div></div></div></div> <div>équation de G : _____</div>	<div><div>H</div><div><div>ab</div><div><div>000110</div><div><div>0000</div><div>0100</div><div>1101</div><div>1000</div></div></div></div><div><div>cd</div><div><div>000110</div><div><div>0000</div><div>0100</div><div>1101</div><div>1000</div></div></div></div></div> <div>équation de H : _____</div>	<div><div>I</div><div><div>ab</div><div><div>000110</div><div><div>0000</div><div>0100</div><div>1101</div><div>1000</div></div></div></div><div><div>cd</div><div><div>000110</div><div><div>0000</div><div>0100</div><div>1101</div><div>1000</div></div></div></div></div> <div>équation de I : _____</div>

## Annexe : Propriétés de l'algèbre de BOOLE

### 1. Propriétés des opérations logiques élémentaires

Théorèmes <b>d'idempotence</b>	$a . a = a \quad a + a = a$
<i>généralisation</i>	$\prod a = a \quad \sum a = a$
Théorèmes des <b>constantes</b>	$a . 0 = 0 \quad a + 0 = a$ $a . 1 = a \quad a + 1 = 1$
Théorèmes de <b>complémentation</b>	$a . \bar{a} = 0 \quad a + \bar{a} = 1$
Théorèmes de <b>commutativité</b>	$a . b = b . a \quad a + b = b + a$
Théorèmes de <b>distributivité</b>	$a . (b + c) = a . b + a . c$ $a + b . c = (a + b) . (a + c)$
Théorèmes <b>d'associativité</b>	$a . (b . c) = (a . b) . c = a . b . c$ $a + (b + c) = (a + b) + c = a + b + c$
Relations <b>d'absorption</b>	$a + a . b = a$ $a . (a + b) = a$ $a + \bar{a} . b = a + b$ $a . b + a . \bar{b} = a$
Théorèmes <b>du consensus</b>	$a . x + b . \bar{x} + a . b = a . x + b . \bar{x}$ $(a + x) . (b + \bar{x}) . (a + b)$ $= (a + x) . (b + \bar{x})$

### 2. Théorèmes de DE MORGAN

Le complément d'une somme de variables logiques est égal au produit des compléments de ces variables :

$$\overline{a+b+c+\dots+n} = \bar{a} . \bar{b} . \bar{c} \dots \bar{n}$$

Le complément d'un produit de variables logiques est égal à la somme des compléments de ces variables :

$$\overline{a . b . c \dots n} = \bar{a} + \bar{b} + \bar{c} + \dots + \bar{n}$$

### 3. Formes Canoniques

Première forme canonique **SOP** (sum of product):  $\sum \prod$  (somme de mintermes).

$$f(a, b, c) = \underbrace{\bar{a} . \bar{b} . c}_{\text{minterme}} + a . \bar{b} . \bar{c} + \dots$$

Deuxième forme canonique **POS** (product of sum):  $\prod \sum$  (produit de maxtermes).

$$f(a, b, c) = \underbrace{(a + b + c)}_{\text{maxterme}} . (a + \bar{b} + \bar{c}) . (\dots$$

## TD n°3 : Tableau de Karnaugh

### 1. Tableau de Karnaugh

Donner la forme minimale (mintermes) des fonctions logiques :

J					K					L				
ab					ab					ab				
cd	00	01	11	10	cd	00	01	11	10	cd	00	01	11	10
00	1	0	0	1	00	1	0	0	0	00	1	0	0	0
01	0	0	0	0	01	1	1	0	0	01	0	1	1	0
11	1	1	1	1	11	0	1	1	0	11	1	0	0	1
10	1	0	0	1	10	0	0	1	1	10	0	0	1	0
équation de J : _____					équation de K : _____					équation de L : _____				

1. Donner les équations simplifiées en utilisant les tableaux de KARNAUGH.

M					N					O				
ab					ab					ab				
cd	00	01	11	10	cd	00	01	11	10	cd	00	01	11	10
00	0	0	1	0	00	0	1	1	0	00	0	1	0	1
01	1	0	1	1	01	1	0	0	1	01	1	0	1	1
11	1	1	1	1	11	1	0	0	1	11	0	1	0	1
10	0	0	1	0	10	0	1	1	0	10	1	1	1	1
équation de <b>M</b> =					équation de <b>N</b> =					équation de <b>O</b> =				
P					Q					R				
ab					ab					ab				
cd	00	01	11	10	cd	00	01	11	10	cd	00	01	11	10
00	φ	0	0	0	00	φ	1	1	0	00	0	φ	φ	1
01	1	0	1	1	01	1	0	φ	1	01	1	0	1	1
11	φ	φ	1	1	11	1	φ	0	1	11	φ	1	0	1
10	φ	0	1	0	10	0	1	1	0	10	1	1	φ	φ
équation de <b>P</b> =					équation de <b>Q</b> =					équation de <b>R</b> =				

## 2. Tableau de Karnaugh à 5 variables

- Une fonction logique A des variables « abcde » est donnée par la table de Karnaugh suivante :

Extraire l'expression minimale de la fonction logique A :

cde ab \	000	001	011	010	110	111	101	100
00	0	1	1	0	0	1	0	0
01	0	1	1	0	0	1	0	0
11	0	1	1	0	0	1	0	0
10	0	1	1	0	0	1	0	0

Ré-écrire ce tableau sous forme de deux tableaux à 4 variables d'entrée et en extraire la forme minimale de A.

- Donnez l'expression minimale de la fonction F(abcde) :

cd ab \	00	01	11	10
00	0	1	1	0
01	1	1	1	1
11	0	1	0	1
10	0	1	1	$\varnothing$

e = 0

	00	01	11	10
00	$\varnothing$	1	$\varnothing$	0
01	0	$\varnothing$	0	0
11	1	0	$\varnothing$	0
10	0	1	1	1

e = 1

- Une fonction de logique de 5 variables « a,b,c,d,e » est spécifiée par la table de karnaugh donnée ci-dessous. Donnez l'expression minimale de la fonction.

cd ab \	00	01	11	10
00	0	1	1	0
01	0	0	0	0
11	1	0	1	1
10	0	0	0	0

e = 0

	00	01	11	10
00	0	1	1	0
01	0	1	0	0
11	0	0	1	1
10	0	0	1	1

e = 1

Ecrire une tableau de Karnaugh à 4 entrées de la fonction en prenant « e » comme variable introduite. Retrouver à l'aide de cette table le résultat précédent.

### 3. Tableau de Karnaugh à variables introduites

- Une fonction de logique de 6 variables « a,b,c,d,e,f » est spécifiée par le tableau de Karnaugh à variables introduites suivant :

cd \ ab	00	01	11	10
	00	01	11	10
00	0	1	1	0
01	1	$e$	$e + f$	0
11	0	0	$\bar{e} + f$	0
10	$\bar{f}$	$\bar{e}f$	$ef$	0

En déduire l'expression de la fonction sous forme d'une somme minimale d'implicants premiers.





Réservoir plein	pompes arrêtées
Réservoir à moitié	une seule pompe fonctionne
Réservoir vide	les deux pompes fonctionnent.

Pour équilibrer l'usure des pompes, une variable, nommée  $c$ , passe à 1 les jours pairs, et est à 0 les jours impairs. Les jours pairs, si une seule pompe fonctionne, c'est  $P_1$ , les jours impairs, c'est  $P_2$ . En cas de défaillance sur  $P_1$  un bit de sécurité  $H_1$  passe à 1, ( $H_2$  pour  $P_2$ ). Si  $P_1$  est en panne, seule  $P_2$  doit être activée (même si le jour est pair), si  $P_2$  est en panne, seule  $P_1$  doit être activée (même si le jour est impair). De plus, si  $P_1$  ou  $P_2$  sont en panne, un voyant défaut (D) doit s'allumer, et si  $P_1$  et  $P_2$  sont toutes deux en panne, une sonnerie S doit aussi se déclencher, de manière à ce que le défaut soit pris en compte au plus vite.

9.1. Etablir les tables de vérité correspondant au fonctionnement des pompes et de la signalisation

9.2. Dresser les tableaux de Karnaugh pour les deux pompes. En déduire les expressions logiques minimales.

### Exercice 3 : Circuit arithmétique

On cherche à réaliser un circuit combinatoire qui réalise l'opération suivante  $y = x^2 + 1$ .

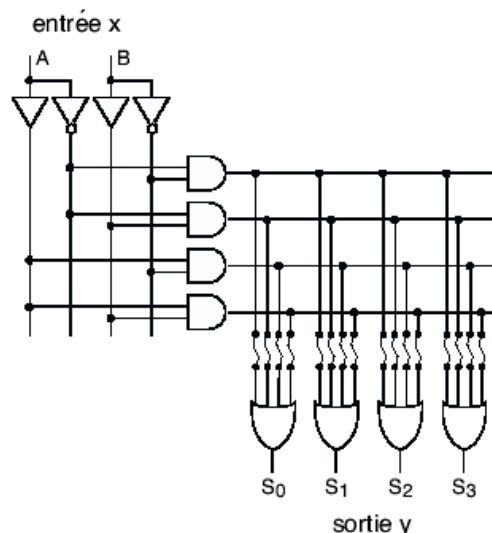
$x$  est un nombre binaire codé sur 2 bits ( $x = x_1x_0$ ) et  $y$  sur 4 bits ( $y = y_3y_2y_1y_0$ ).

a) Pour cela, compléter la table de vérité de cette fonction :

b) Donner les expressions des bits de  $y$ .

c) La PLD (Programmable Logic Device) ci-dessous sert à réaliser l'opération  $y = x^2 + 1$ , où  $x$  est un nombre binaire codé sur 2 bits, et  $y$  un nombre codé sur 4 bits. Quels fusibles faut-il détruire pour réaliser cette fonction (barrer les fusibles à détruire) ? Un fusible est représenté sur la figure de la

manière suivante :



## TD LOGIQUE n°5 : Bascules – Chronogrammes

### Exercice 1 : Généralités – Cours

- 1.1. Expliquez la différence entre une bascule synchrone et asynchrone.
- 1.2. Expliquez la différence entre « Latch » et « Flip-Flop ».
- 1.3. Etude de la notice technique (« Data Sheet ») de l'annexe A . A quoi correspondent les temps  $T_{pd}$ ,  $T_{plh}$  et  $T_{phl}$  ?
- 1.4. Que doit-on imposer comme contrainte sur les commandes (entrées) si l'on considère les temps de préparation/stabilisation ( $T_{su}$  :  $T_{SETUP}$ ) et de maintien ( $T_h$  :  $T_{HOLD}$ ) des bascules ?
- 1.5. Deux bascules D et JK possèdent les caractéristiques suivantes :

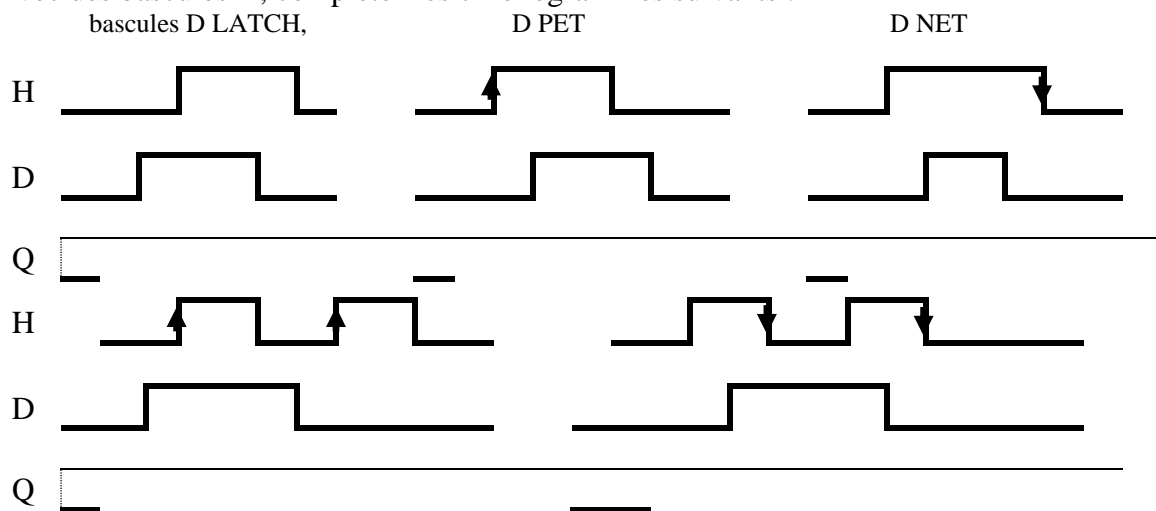
temps (ns)	$T_{Su}$	$T_H$	$T_{PLH}$	$T_{PHL}$	$F_{MAX}$
D (74 74)	20	5	25	40	15 (MHz)
JK (74 112)	20	0	16	24	30 (MHz)

Quelles sont les fréquences maximales d'utilisation si on les utilise avec un circuit combinatoire qui possède un temps de propagation  $T_{pd} = 55$  ns ?

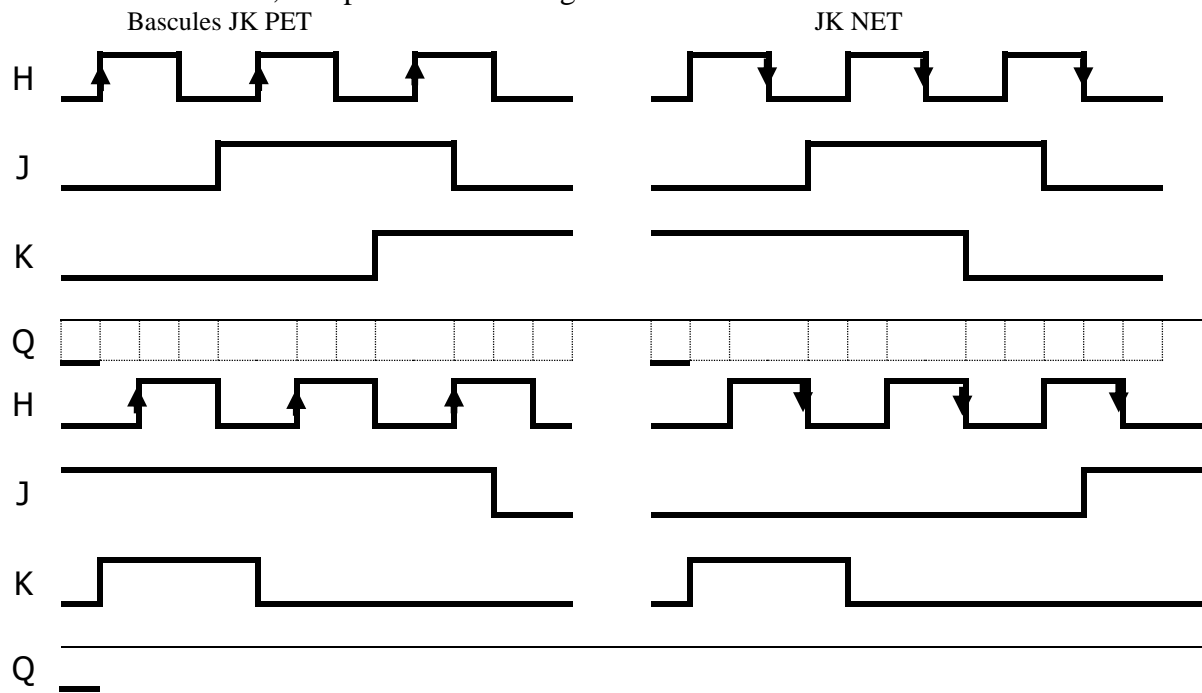
### Exercice 2 : Chronogrammes

PET : positive Edge Triggered ; NET : Negative Edge Triggered

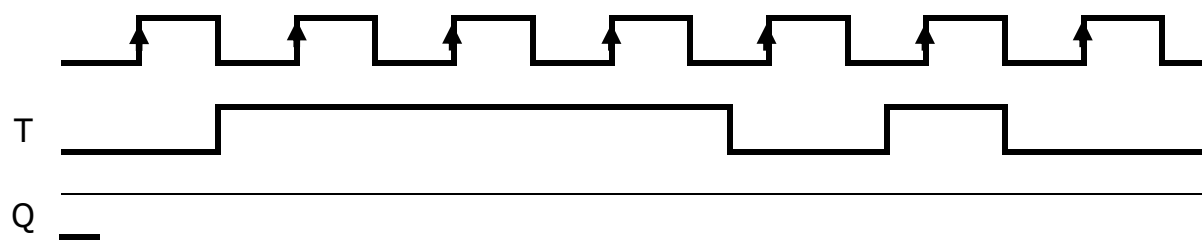
- 3.1. Avec des bascules D, complétez les chronogrammes suivants :



3.2. Avec des bascules JK, complétez les chronogrammes suivants :



3.3. Complétez le chronogramme suivant pour la bascule T PET



## TD LOGIQUE n°6 : Analyse

### Exercice 1 : Analyse d'un montage à Bascules D

1. Les composants de cette machine sont-ils asynchrones ou synchrones ?
2. Pourquoi considère-t-on ce montage comme asynchrone ou synchrone ?
3. Combien d'événement peut-on dénombrer avec le montage de la figure 1.1. ?
4. Compléter le chronogramme de la figure 1.2. et discuter
5. En considérant  $Q_3$  comme le MSB et  $Q_1$  comme le LSB, indiquer les codes décimaux fournis par le montage.
6. Quelle est la fonction de cette machine logique ?
7. Quel problème peut apparaître si les bascules ont un temps de propagation non-négligeable devant la période de l'horloge ?
8. Quel est l'avantage de cette structure ?
9. Proposer des solutions et discuter les ? .

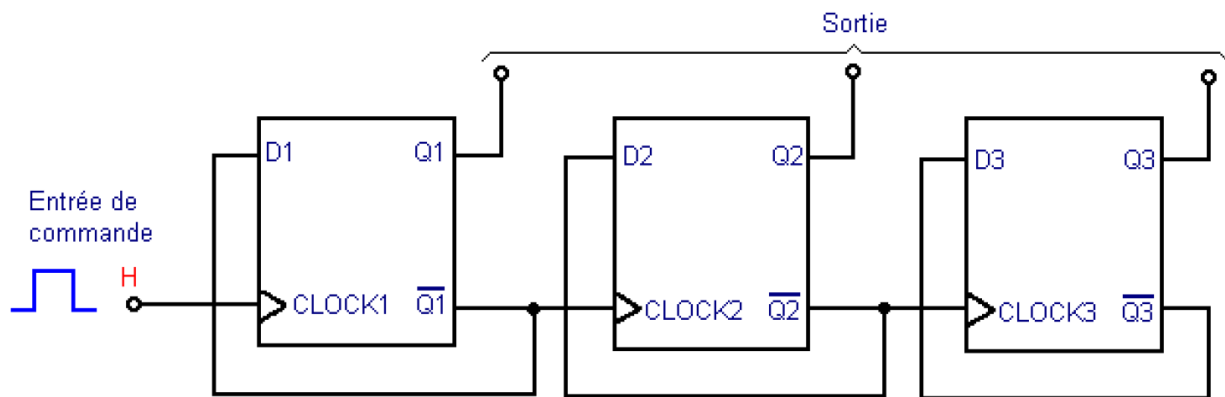


Figure 2.1. : Logigramme du montage

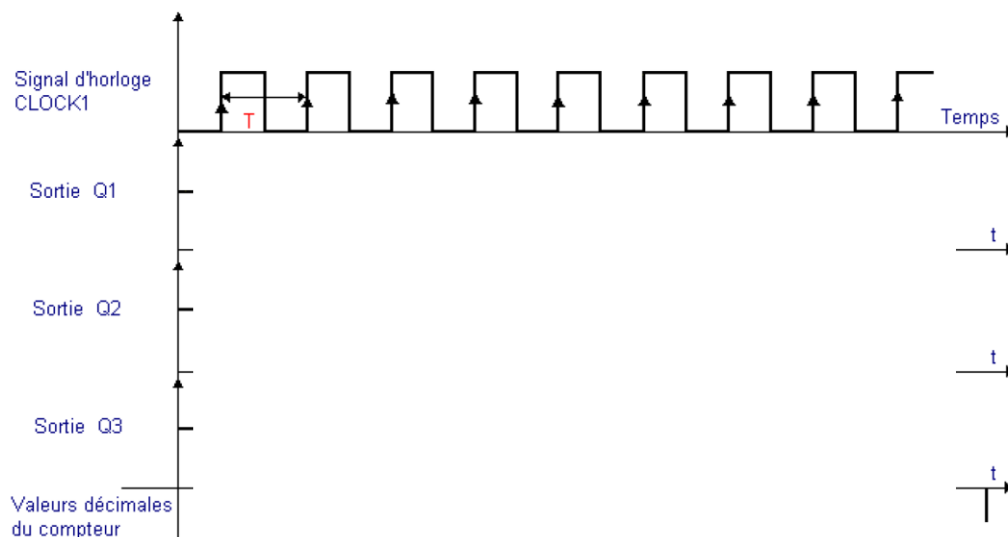


Fig. 13. - Chronogramme relatif au compteur modulo 8.

Figure 1.2. : Chronogramme

## Exercice 2 : Analyse (examen juin 2002)

Les sorties du système sont les sorties  $Q_A$ ,  $Q_B$ ,  $Q_C$ ,  $Q_D$  des bascules A, B, C, D.

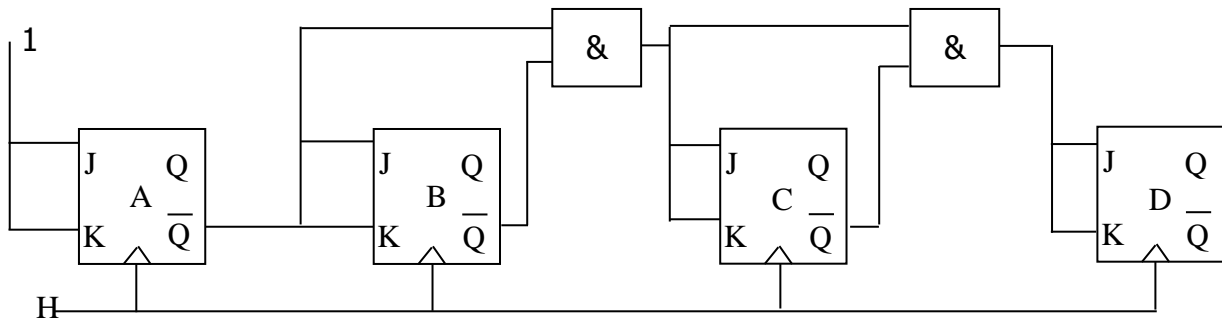


Figure 2.1 : Compteur Synchrone

- 2.1. Etablir les équations d'excitation des différentes bascules.
- 2.2. Comment qualifie-t-on la méthode de synthèse des signaux d'excitation (report) ?
- 2.3. En déduire la table de transition de la machine logique.
- 2.4. Déduire à partir de la table de sortie ou du graphe de la machine, la fonction logique réalisée.
- 2.5. Existe-t-il des cycles piège ?
- 2.6. Discuter sur les actions à mener en cas d'existence de cycle piège

## TD LOGIQUE n°7-8

### Synthèse Synchrones

#### Exercice 1 : Compteur de score (relatif)

On cherche à faire la synthèse d'une machine qui compte les scores de 2 joueurs de la manière suivante :

- A chaque tour, le joueur 1 ou 2 gagne obligatoirement un point,
- Quand un joueur possède 3 points d'avance, il gagne une partie,
- Le prochain point après une victoire est automatiquement le premier point de la partie d'après.

La fonction réalisée possède une entrée : P (P = 0 signifie que le joueur 1 gagne un point, P = 1 signifie que 2 gagne un point). Sorties : A et B (A = 1 signifie que 1 a gagné une partie, B = 1 idem). Entrées supplémentaires :

- Clr (revenir au début). Cette entrée est traitée comme entrée de forçage.
- L'évolution du score se fait en actionnant un bouton poussoir. Ce bouton sert de signal d'horloge (Clk).

On utilisera des bascules D pour la synthèse de cette machine de Mealy. La synthèse est à coût minimal.

- 1.1. Dresser le graphe des états. Vérifier qu'il possède 5 états distincts. Si le graphe que vous obtenez, possède un nombre d'état supérieur à 5, il est quand même possible de synthétiser cette fonction.
- 1.2. Etablir la table de transition/sortie de la machine.
- 1.3. Construire la table d'excitation des bascules.
- 1.4. Déterminer l'équation du circuit combinatoire de sortie.
- 1.5. Vérifier, dans le cas où des états hors cycle existent, qu'il n'y a pas d'état piège.
- 1.6. Donner le logigramme de la fonction. (on pourra utiliser des portes logiques de base).

#### Exercice 2 : Reconnaissance de séquence ADN (juin 2006)

On veut réaliser la synthèse d'une machine logique séquentielle permettant la reconnaissance d'un certain type de gène (assemblage de nucléotides) de l'ADN humain. L'ADN est une énorme molécule formée d'une chaîne de centaines de milliers de molécules plus petites appelées nucléotides. Il y a dans l'ADN quatre sortes de nucléotides que l'on désigne respectivement par les lettres A, C, G et T. Le système séquentiel de reconnaissance comporte une tête de lecture lisant à chaque instant d'horloge un nouveau nucléotide d'une chaîne. Cette machine doit être capable de reconnaître des séquences du type :

**A \* G<sup>n</sup> T**

Le symbole « \* » à la deuxième position de la séquence veut dire qu'on accepte n'importe lequel des nucléotides et l'exposant « n » à la troisième position de la séquence indique que l'on accepte un nombre non déterminé du même nucléotide.

Exemples de séquences **A \* G<sup>n</sup> T** : ACGT, AAGGT, ACGGGGGT, ATGGGGT, AGGGGGT,...

Dans une première approche, on considère que cette machine possède 4 entrées A, C, G, T. Lorsque la tête de lecture identifie un nucléotide, la variable associée passe à l'état haut pendant une période d'horloge. Par exemple, si le nucléotide de type A est détecté alors A=1. La sortie F de cette machine passe à 1 pendant un cycle lorsqu'une séquence valide a été reconnue.

- 2.1. Réaliser le graphe des états qui permet la conception d'un tel système séquentiel pour détecter des séquences. Afin de réduire le nombre d'état, il est demandé de synthétiser une machine de Mealy.

2.2. Combien de cases contiendra la table de transition correspondante au graphe des états du 2.1. si l'on ne modifie pas la représentation entrées/sortie de cette machine ?

Afin de simplifier la synthèse, on se propose de coder les entrées avec 2 variables booléennes. Le codage retenu est le suivant :

Nucléotide détecté	$X_2X_1$
A	0 0
C	0 1
G	1 0
T	1 1

2.3. Avec ce codage, écrire la table de transition. Pour cela, on utilisera un code binaire naturel pour coder les différents états de la table des états.

2.4. Il est spécifié dans le cahier des charges que seules des bascules JK doivent être utilisées.

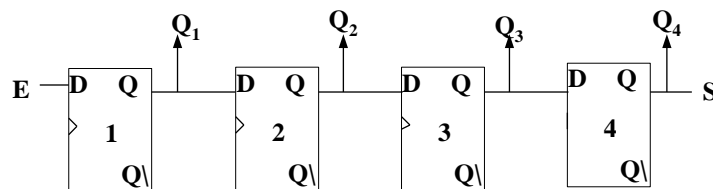
Donner la table d'excitation d'une bascule de ce type.

2.5. Donner la table des excitations de cette machine.

2.6. Dessiner le logigramme.

### Exercice 3 : Registre à décalage

Un registre est constitué de 4 bascules D mise en série comme indiqué sur la figure ci-dessous. Chaque bascule est reliée à une horloge commune non-représentée pour des raisons de clarté.



On a accès à l'entrée « E », à la sortie « S » et au mot de 4 bits (internes)  $Q = Q_4Q_3Q_2Q_1$ . A tout instant, l'état du registre est déterminé par la valeur de  $Q$ . On passe donc de  $Q$  à  $Q^+$  à chaque front actif de l'horloge. A noter que  $Q_1^+ = E$ .

1.1. Avec une valeur initiale de  $Q(0) = 1011$ . (0) représente le nombre de la période d'horloge écoulé.

Quelle est la liste des 5 états suivants dans les 4 cas :  $E = 0$ ,  $E = 1$ ,  $E = Q_3$  et  $E = S$  ?

1.2. Préciser la valeur décimale de chaque état dans les 2 cas : entier non signé ou signé (MSB= $Q_4$ ).

1.3. Au bout de ces 5 états, quelle est la périodicité observée (valeurs successives de  $Q$  pour chaque cas) ?

$E=0$

n° Front	$Q_4$	$Q_3$	$Q_2$	$Q_1$	E	Décimal
0	1	0	1	1	0	
1					0	
2					0	
3					0	
4					0	
5					0	

$E=1$

n° Front	$Q_4$	$Q_3$	$Q_2$	$Q_1$	E	Décimal
0	1	0	1	1	1	
1					1	
2					1	
3					1	
4					1	
5					1	



E = Q<sub>3</sub>

n° Front	Q <sub>4</sub>	Q <sub>3</sub>	Q <sub>2</sub>	Q <sub>1</sub>	E = Q <sub>3</sub>	Décimal
0	1	0	1	1		
1						
2						
3						
4						
5						

E = S = Q<sub>4</sub>

n° Front	Q <sub>4</sub>	Q <sub>3</sub>	Q <sub>2</sub>	Q <sub>1</sub>	E = Q <sub>4</sub>	Décimal
0	1	0	1	1		
1						
2						
3						
4						
5						

**Commentaire :** Il est possible de construire des générateurs de signaux à l'aide de registres à décalage. Ces signaux peuvent avoir des propriétés particulières. L'application la plus notable est celle du système de localisation GPS. Il est utilisé un signal périodique binaire généré par un registre à décalage. Ce signal a des propriétés proches d'une séquence aléatoire, ce qui permet de déterminer la distance récepteur-émetteur à l'aide d'une fonction de corrélation.

1.4. On part toujours de  $Q = 1011$ , mais cette fois on câble  $E = \neg(Q_4 + Q_3 + Q_2)$ . Donner alors la série complète des états obtenus.

E = S = Q<sub>4</sub>

n° Front	Q <sub>4</sub>	Q <sub>3</sub>	Q <sub>2</sub>	Q <sub>1</sub>	$E = \neg(Q_4 + Q_3 + Q_2)$	Décimal
0	1	0	1	1		
1						
2						
3						
4						
5						
6						
7						
8						
9						
10						
11						

**Commentaire :** La longueur maximale atteignable de la période des signaux générés est de  $2^n$  périodes d'horloge. (avec n bits, on représente  $2^n$  codes)

DUAL D-TYPE POSITIVE-EDGE-TRIGGERED FLIP-FLOPS WITH CLEAR AND PRESET

- Wide Operating Voltage Range of 2 V to 6 V
- Outputs Can Drive Up To 10 LSTTL Loads
- Low Power Consumption, 40-µA Max I<sub>CC</sub>
- Typical I<sub>pd</sub> = 15 nS
- ±4-mA Output Drive at 5 V
- Low Input Current of 1 µA Max

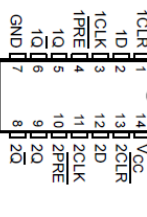
description/ordering information

The 'HC74 devices contain two independent D-type positive-edge-triggered flip-flops. A low level at the preset (PRE) or clear (CLR) inputs sets or resets the outputs, regardless of the levels of the other inputs. When PRE and CLR are inactive (high), data at the data (D) input meeting the setup time requirements are transferred to the outputs on the positive-going edge of the clock (CLK) pulse. Clock triggering occurs at a voltage level and is not directly related to the rise time of CLK. Following the hold-time interval, data at the D input can be changed without affecting the levels at the outputs.

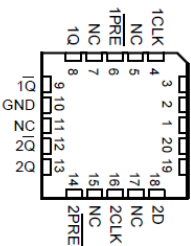
SN54HC74, SN74HC74  
DUAL D-TYPE POSITIVE-EDGE-TRIGGERED FLIP-FLOPS WITH CLEAR AND PRESET

SN54HC74, SN74HC74  
DUAL D-TYPE POSITIVE-EDGE-TRIGGERED FLIP-FLOPS WITH CLEAR AND PRESET

SN54HC74...J OR W PACKAGE  
SN74HC74...D, DB, N, NS, OR PW PACKAGE  
(TOP VIEW)



SN54HC74...FK PACKAGE  
(TOP VIEW)



NC - No internal connection

ORDERING INFORMATION

TA	PACKAGE†	ORDERABLE PART NUMBER	TOP-SIDE MARKING
	PDIP - N	SN74HC74N	SN74HC74N
		Tube of 25	
		Tube of 50	
		Reel of 2500	
	SOIC - D	SN74HC74DR	HC74
		Reel of 250	
		Reel of 2500	
	SOP - NS	SN74HC74NSR	HC74
		Reel of 2000	
	SOP - DB	SN74HC74DBR	HC74
		Reel of 90	
		Reel of 2000	
	TSSOP - PW	SN74HC74PWR	HC74
		Reel of 250	
		Reel of 2500	
	CDIP - J	SN54HC74J	SN54HC74J
		Tube of 25	
		Tube of 50	
	CFP - W	SN54HC74W	SN54HC74W
		Tube of 150	
	LCOC - FK	SN54HC74FK	SN54HC74FK
		Tube of 55	

† Package drawings, standard packing quantities, thermal data, symbolization, and PCB design guidelines are available at [www.ti.com/sc/package](http://www.ti.com/sc/package).

Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.



NOTES: 1. The input and output voltage ratings may be exceeded if the input and output current ratings are observed. 2. The package thermal impedance is calculated in accordance with JEDEC 51-7.

POST OFFICE BOX 65503 • DALLAS, TEXAS 75265

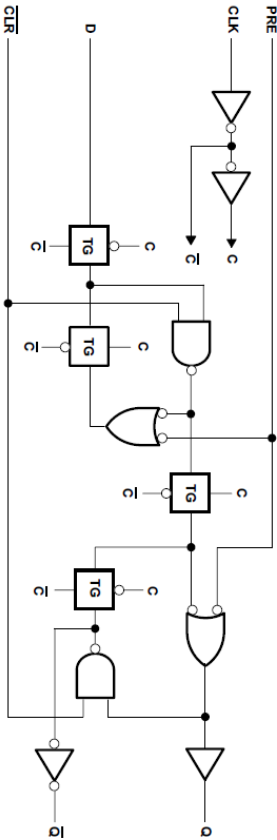
Copyright © 2003, Texas Instruments Incorporated. All rights reserved. This document is the property of Texas Instruments and is intended for use only in connection with the products and services described herein. Reproduction or translation of this document without the written permission of Texas Instruments is prohibited.

FUNCTION TABLE

INPUTS				OUTPUTS			
PRE	CLR	CLK	D	Q	Q̄	Q	Q̄
L	H	X	X	H	L	H	L
H	L	X	X	L	H	L	H
H	L	L	X	X	H†	H†	H†
H	H	↑	X	H	L	H	L
H	H	↑	L	L	H	H	L
H	H	↑	X	Q <sub>0</sub>	Q <sub>0</sub>	Q <sub>0</sub>	Q <sub>0</sub>

† This configuration is nonstable; that is, it does not persist when PRE or CLR returns to its inactive (high) level.

logic diagram (positive logic)



absolute maximum ratings over operating free-air temperature range (unless otherwise noted)†

Supply voltage range, V <sub>CC</sub> .....	-0.5 V to 7 V
Input clamp current, I <sub>IK</sub> (V <sub>I</sub> < 0 or V <sub>I</sub> > V <sub>CC</sub> ) (see Note 1) .....	±20 mA
Output clamp current, I <sub>OK</sub> (V <sub>O</sub> < 0 or V <sub>O</sub> > V <sub>CC</sub> ) (see Note 1) .....	±20 mA
Continuous output current, I <sub>O</sub> (V <sub>O</sub> = 0 to V <sub>CC</sub> ) .....	±25 mA
Continuous current through V <sub>CC</sub> or GND .....	±50 mA
Package thermal impedance, θ <sub>JA</sub> (see Note 2): D package .....	86°C/W
DB package .....	96°C/W
N package .....	80°C/W
NS package .....	76°C/W
PW package .....	113°C/W
Storage temperature range, T <sub>stg</sub> .....	-55°C to 150°C

† Stresses beyond those listed under "absolute maximum ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under "recommended operating conditions" is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

NOTES: 1. The input and output voltage ratings may be exceeded if the input and output current ratings are observed.

2. The package thermal impedance is calculated in accordance with JEDEC 51-7.

POST OFFICE BOX 65503 • DALLAS, TEXAS 75265

### SN54HC74, SN74HC74 DUAL D-TYPE POSITIVE-EDGE-TRIGGERED FLIP-FLOPS WITH CLEAR AND PRESET

SCL5094D – DECEMBER 1992 – REVISED JULY 2003

recommended operating conditions (see Note 3)

		SN54HC74			SN74HC74			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
V <sub>CC</sub>	Supply voltage	2	5	6	2	5	6	V
V <sub>IH</sub>	High-level input voltage	V <sub>CC</sub> = 2 V	1.5		1.5			V
		V <sub>CC</sub> = 4.5 V	3.15		3.15			V
		V <sub>CC</sub> = 6 V	4.2		4.2			V
V <sub>IL</sub>	Low-level input voltage	V <sub>CC</sub> = 2 V		0.5			0.5	V
		V <sub>CC</sub> = 4.5 V		1.35			1.35	V
		V <sub>CC</sub> = 6 V		1.8			1.8	V
V <sub>I</sub>	Input voltage		0	V <sub>CC</sub>		0	V <sub>CC</sub>	V
V <sub>O</sub>	Output voltage		0	V <sub>CC</sub>		0	V <sub>CC</sub>	V
Δt <sub>LV</sub>	Input transition rise/fall time	V <sub>CC</sub> = 2 V		1000			1000	ns
		V <sub>CC</sub> = 4.5 V		500			500	ns
		V <sub>CC</sub> = 6 V		400			400	ns
T <sub>A</sub>	Operating free-air temperature		–55	125		–40	85	°C

NOTE 3: All unused inputs of the device must be held at V<sub>CC</sub> or GND to ensure proper device operation. Refer to the TI application report, *Implications of Slow or Floating CMOS Inputs*, literature number SC6A004.

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS	T <sub>A</sub> = 25°C			SN54HC74		SN74HC74		UNIT
		MIN	TYP	MAX	MIN	MAX	MIN	MAX	
V <sub>OH</sub>	V <sub>I</sub> = V <sub>IH</sub> or V <sub>IL</sub>	I <sub>OH</sub> = –20 μA	2 V	1.9	1.998		1.9		V
			4.5 V	4.4	4.499		4.4		V
			6 V	5.9	5.999		5.9		V
			4.5 V	3.98	4.3		3.7	3.84	V
V <sub>OL</sub>	V <sub>I</sub> = V <sub>IH</sub> or V <sub>IL</sub>	I <sub>OL</sub> = –5.2 mA	2 V	5.48	5.8		5.2	5.34	V
			4.5 V	0.002	0.1		0.1		V
			6 V	0.001	0.1		0.1		V
			4.5 V	0.001	0.1		0.1		V
I <sub>I</sub>	V <sub>I</sub> = V <sub>IH</sub> or V <sub>IL</sub>	I <sub>OL</sub> = 20 μA	2 V	0.001	0.1		0.1		V
			4.5 V	0.001	0.1		0.1		V
			6 V	0.17	0.28		0.4		V
			4.5 V	0.17	0.28		0.4		V
I <sub>CC</sub>	V <sub>I</sub> = V <sub>CC</sub> or 0	I <sub>O</sub> = 0	2 V	6 V			6 V		μA
			4.5 V						μA
			6 V						μA
			4.5 V						μA
C <sub>I</sub>			2 V to 6 V						pF

### SN54HC74, SN74HC74 DUAL D-TYPE POSITIVE-EDGE-TRIGGERED FLIP-FLOPS WITH CLEAR AND PRESET

SCL5094D – DECEMBER 1992 – REVISED JULY 2003

timing requirements over recommended operating free-air temperature range (unless otherwise noted)

UNIT									
		T <sub>A</sub> = 25°C			SN54HC74		SN74HC74		
		V <sub>CC</sub>	MIN	MAX	MIN	MAX	MIN	MAX	
f <sub>clock</sub>	Clock frequency	2 V	6	4.2			5		MHz
		4.5 V						25	
		6 V	0	36	0	25	0	29	
t <sub>w</sub>	Pulse duration	<u>PRE</u> or <u>CLR</u> low	2 V	100		150		125	ns
			4.5 V	20		30		25	
			6 V	17		25		21	
		CLK high or low	2 V	80		120		100	
			4.5 V	16		24		20	
			6 V	14		20		17	
t <sub>su</sub>	Setup time before CLK↑	Data	2 V	100		150		125	ns
			4.5 V	20		30		25	
			6 V	17		25		21	
		<u>PRE</u> or <u>CLR</u> inactive	2 V	25		40		30	
			4.5 V	5		8		6	
			6 V	4		7		5	
t <sub>h</sub>	Hold time, data after CLK↑	2 V	0		0		0	ns	
		4.5 V	0		0		0		
		6 V	0		0		0		
		6 V	0		0		0		

switching characteristics over recommended operating free-air temperature range, C<sub>L</sub> = 50 pF (unless otherwise noted) (see Figure 1)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	T <sub>A</sub> = 25°C			SN54HC74		SN74HC74		UNIT
			MIN	TYP	MAX	MIN	MAX	MIN	MAX	
t <sub>max</sub>			V <sub>CC</sub>	2 V	6	10	4.2		5	MHz
				4.5 V	31	50	21		25	MHz
				6 V	36	60	25		29	MHz
				6 V	70	230	345		290	MHz
t <sub>pd</sub>	PRE or CLR	Q or Q̄	V <sub>CC</sub>	2 V	20	46	69		58	ns
				4.5 V	15	39	59		49	ns
				6 V	70	175	250		220	ns
				6 V	20	35	50		44	ns
t <sub>t</sub>	CLK	Q or Q̄	V <sub>CC</sub>	2 V	15	30	42		37	ns
				4.5 V	28	75	110		95	ns
				6 V	8	15	22		19	ns
				6 V	6	13	19		16	ns

operating characteristics, T<sub>A</sub> = 25°C

PARAMETER	TEST CONDITIONS	TYP	UNIT
C <sub>pd</sub>	Power dissipation capacitance per flip-flop	35	pF

SN54HC74, SN74HC74  
DUAL D-TYPE POSITIVE-EDGE-TRIGGERED FLIP-FLOPS  
WITH CLEAR AND PRESET

SC1509D – DECEMBER 1982 – REVISED JULY 2003

PARAMETER MEASUREMENT INFORMATION

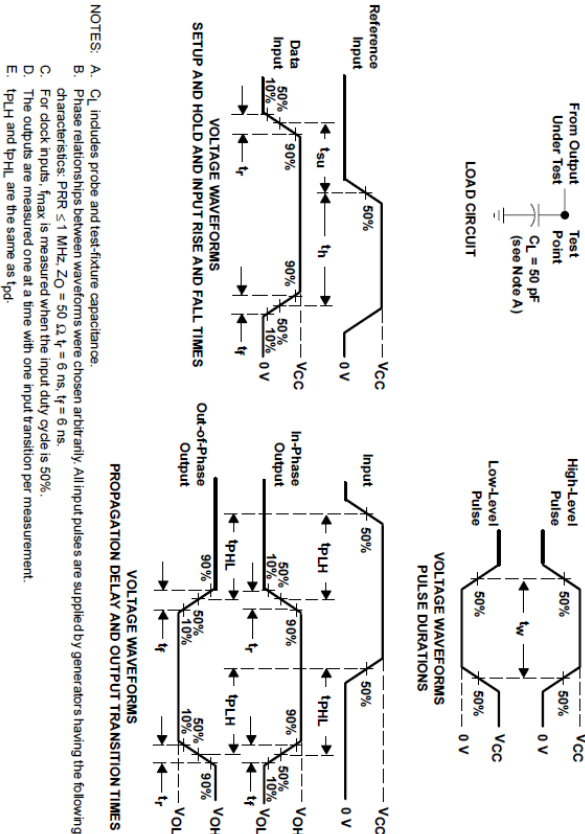


Figure 1. Load Circuit and Voltage Waveforms