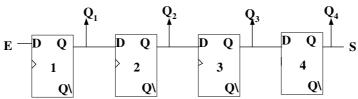
------

## TD LOGIQUE n°9 : Synthèse synchrone de Registres

## Exercice 1 : Registre à décalage - Introduction

Un registre est constitué de 4 bascules D mise en série comme indiqué sur la figure ci-dessous. Chaque bascule est reliée à une horloge commune non-représentée pour des raisons de clarté.



On a accès à l'entrée « E », à la sortie « S » et au mot de 4 bits (internes)  $Q = Q_4Q_3Q_2Q_1$ . A tout instant, l'état du registre est déterminé par la valeur de Q. On passe donc de Q à  $Q^+$  à chaque front actif de l'horloge. A noter que  $Q_1^+$ =E.

- 1.1. Avec une valeur initiale de Q(0) = 1011. (0) représente le n° de la période d'horloge. Quelle est la liste des 5 états suivants dans les 4 cas : E = 0, E = 1,  $E = Q_3$  et E = S?
- 1.2. Préciser la valeur décimale de chaque état dans les 2 cas : entier non signé ou signé (MSB=Q<sub>4</sub>).
- 1.3. Au bout de ces 5 états, quelle est la périodicité observée (valeurs successives de Q pour chaque cas) ?

E=0

n° Front	$Q_4$	$Q_3$	$\mathbf{Q}_2$	$Q_1$	Е	Décimal
0	1	0	1	1	0	11
1	0	1	1	0	0	6
2	1	1	0	0	0	12
3	1	0	0	0	0	8
4	0	0	0	0	0	0
5	0	0	0	0	0	0

E=1

n° Front	Q <sub>4</sub>	$Q_3$	$Q_2$	$Q_1$	Е	Décimal
0	1	0	1	1	1	11
1	0	1	1	1	1	7
2	1	1	1	1	1	15
3	1	1	1	1	1	15
4	1	1	1	1	1	15
5	1	1	1	1	1	15

 $E = Q_3$ 

n° Front	$Q_4$	$Q_3$	$\mathbf{Q}_2$	$\mathbf{Q}_1$	$E=Q_3$	Décimal
0	1	0	1	1	0	11
1	0	1	1	0	1	6
2	1	1	0	1	1	13
3	1	0	1	1	0	11
4	0	1	1	0	1	6
5	1	1	0	1	1	13

En S=Q<sub>4</sub>, appartition d'une suite périodique de période : 3 périodes d'horloge

-----

$E=S=Q_4$						
$\frac{E=S=Q_4}{n^{\circ} \text{ Front}}$	Q <sub>4</sub>	$Q_3$	$Q_2$	$Q_1$	$E=Q_4$	Décimal
0	1	0	1	1	1	11
1	0	1	1	1	0	7
2	1	1	1	0	1	14
3	1	1	0	1	1	13
4	1	0	1	1	1	11
5	0	1	1	1	0	7

En S=Q<sub>4</sub>, appartition d'une suite périodique de période : 4 périodes d'horloge

Commentaire: Il est possible de construire des générateurs de signaux à l'aide de registres à décalage. Ces signaux peuvent avoir des propriétés particulières. L'application la plus notable est celle du système de localisation GPS. Il est utilisé un signal périodique binaire généré par un registre à décalage. Ce signal a des propriétés proches d'une séquence aléatoire, ce qui permet de déterminer la distance recepteur-émetteur à l'aide d'une fonction de corrélation.

1.4. On part toujours de Q = 1011, mais cette fois on câble  $E = /(Q_4 + Q_3 + Q_2)$ . Donner alors la série complète des états obtenus.

	C	$\sim$
H=	·>=	=( )1
$\mathbf{L}$	$\sim$	-V4

$E = S = Q_4$						
n° Front	$Q_4$	$Q_3$	$\mathbf{Q}_2$	$Q_1$	$E=/(Q_4+Q_3+Q_2)$	Décimal
0	1	0	1	1	0	11
1	0	1	1	0	0	6
2	1	1	0	0	0	12
3	1	0	0	0	0	8
4	0	0	0	0	1	0
5	0	0	0	1	1	1
6	0	0	1	1	0	3
7	0	1	1	0	0	6
8	1	1	0	0	0	12
9	1	0	0	0	0	8
10	0	0	0	0	1	0
11	0	0	0	1	0	1

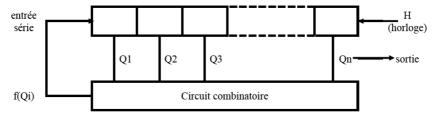
En S=Q<sub>4</sub>, appartition d'une suite périodique de période : 6 périodes d'horloge

**Commentaire**: La longueur maximale atteignable de la période des signaux générés est de 2<sup>n</sup> périodes d'horloge. (avec n bits, on représente 2<sup>n</sup> codes)

\_\_\_\_\_

## Exercice 2 : Séquenceur par Registre Série-Parallèle (décalage à droite)

Soit un registre à décalage à droite, dont l'entrée série reçoit f(Qi) fonction des bits dans le registre.



On souhaite obtenir en  $Q_n$  la séquence :1011000 , le bit de droite apparaissant en premier et la séquence se répétant indéfiniment.

- 1.1. Quel est le nombre minimal de bits que devra contenir le registre à décalage ? (3 car 2^3>7)
- 1.2. Déterminer dans ce cas la fonction  $f(Q_i)$  sous sa forme minimale.

Il s'agit d'une synthèse combinatoire qui doit déterminer la valeur de l'entrée serie en fonction de  $Q_3Q_2Q_1$ . L'entrée série (E) va déterminer la valeur future de  $Q_1$ . La valeur de E doit donc correspondre à la valeur de la séquence qui doit apparaître dans 3 coups d'horloge. On retrouve les étapes habituelles d'une synthèse combinatoire :

Table de vérité : le signal à synthétiser est E

Valeurs suivantes	Е	$Q_1$	$Q_2$	Q <sub>3</sub> =sortie
000	1	1	0	1
100	0	1	1	0
010	0	0	1	1
101	0	0	0	1
110	1	0	0	0
011	0	1	0	0
001	1	0	1	0

Donc il faut synthétiser une fonction logique combinatoire E à partir de  $Q_1$ ,  $Q_2$ ,  $Q_3$ . Le tableau de Karnaugh est :

$Q_3 \backslash Q_1 Q_2$	00	01	11	10
0	1	1	0	0
1	0	0	1	1

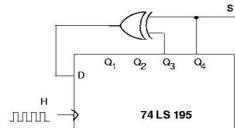
Le cas  $Q_3Q_2Q_1$  est indéfini, en l'absence de préconisation dans l'énoncé, je me place dans le cas d'une synthèse à cout minimale d'où E=1. Dans ce cas,  $E=\overline{Q_3}\,\overline{Q_1}+Q_3Q_1$ 

L'état du système étant représenté par le contenu du registre, dresser le diagramme des transitions et examiner le problème de l'autocorrection (états hors-cycle) ?

-----

## Exercice 3 : Générateur de nombres aléatoires à base de registre universel (74195)

Considèrons le montage suivant avec le circuit 74195 un registre à décalage de 4 bits (entrée D et sortie S).



- 3.1.Montrer que si le registre se trouve initialisé avec 0000, il conserve cette valeur indéfiniment.
- 3.2. Chargement avec 1111 comme valeur initiale. Donner la suite des valeurs obtenues en binaire et décimal.
- 3.3.Est-ce que cette suite présente une périodicité ? Si oui, quelle est cette période en période d'horloge ?
- 3.4. Expliquer pourquoi un tel registre est appelé "registre de longueur maximale"?
- 3.5.Montrer qu'on aurait obtenu le même résultat (longueur maximale) quelque soit la valeur initiale.