

Sections : LIRS 1-LGLSI 1

CIRCUITS LOGIQUES

TD 2 – CIRCUITS COMBINATOIRES

Objectifs :

Conception des circuits combinatoires.

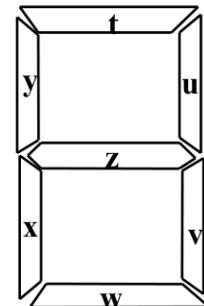
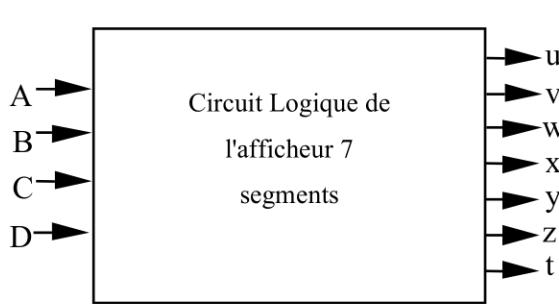
Exercice 1 : Conception d'un comparateur deux entrée

On souhaite concevoir un comparateur à deux entrées A et B, codée chacune sur 2 bits et qui fournit 2 résultats en sortie : égalité, supériorité.

1. Donner le schéma bloc du comparateur.
2. Donnez la table de vérité du comparateur.
3. Donnez les expressions logiques représentants ce comparateur.
4. Simplifiez ces expressions.
5. Donner le circuit logique en utilisant les portes ET, OU et des inverseurs.
6. Donnez le logigramme en NAND et NOT du comparateur.

Exercice 2 : Afficheur sept segments.

L'afficheur 7 segments permet de présenter les nombres décimaux à partir de leur code BCD (*Binary Coded Decimal*). Chaque chiffre décimal est représenté par quatre chiffres binaires notés A, B, C, D comme illustré par la figure suivante.



1. Donner la table de vérité de l'afficheur 7 segments.
2. Simplifier par la méthode algébrique ou la méthode graphique les expressions des différentes sorties.
3. Donner le logigramme de l'afficheur 7 segments.

Exercice 3 : Circuit de vote.

La direction générale d'une entreprise se compose de quatre personnes. On prend la décision par scrutin (vote par bulletin) où le directeur a deux voix et les autres ont une seule voix.

1. Donner le schéma bloc du circuit de vote.
2. Donner la table de vérité du circuit de vote.
3. Générer et simplifier l'expression logique représentant le circuit de vote.
4. Donner le logigramme du circuit de vote.
5. On veut concevoir le circuit de vote en utilisant un multiplexeur.

- a. Quelles sont les caractéristiques du multiplexeur ?
- b. Concevez le multiplexeur défini en a.
- c. Donnez l'expression de la sortie selon la forme de somme de Minterms.
- d. Concevoir la sortie en utilisant le multiplexeur défini en 5.a.

Exercice 4 : Codeur Décimal Binaire.

On veut concevoir un codeur permettant de passer du code DCB vers le code binaire, c'est-à-dire, réalisant la conversion des nombres décimaux (de 0 à 9) en base 2.

1. Quelles sont les entrées et les sorties du circuit combinatoire ? En déduire le schéma bloc du codeur demandé.
2. Donner la table de vérité du codeur décimal binaire.
3. Donner l'expression des sorties en fonction des entrées.
4. En déduire le logigramme du codeur demandé

Exercice 5 : Unités arithmétiques et logique (Extrait de l'examen de la session de contrôle 2015-2016).

Le logigramme de la figure 1 est une unité arithmétique et logique de taille 1 bit. Sur ce circuit, on dispose de deux multiplexeurs :

- le premier a 4 entrées sélectionnées par OPÉRATION. Selon l'entrée OPÉRATION, on obtient en résultat le produit logique de A et B, la somme logique de A ou B, l'addition arithmétique de A à B, et enfin, l'entrée B ou son complément.
- le deuxième a deux entrées sélectionnée par COMPLÉMENT permettant de complémer à souhait l'entrée B.

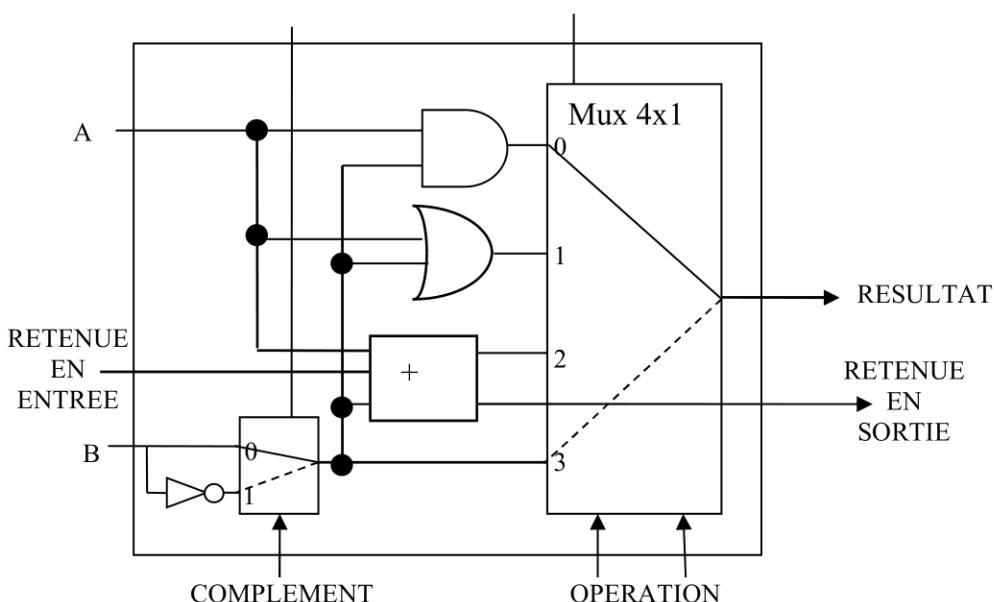
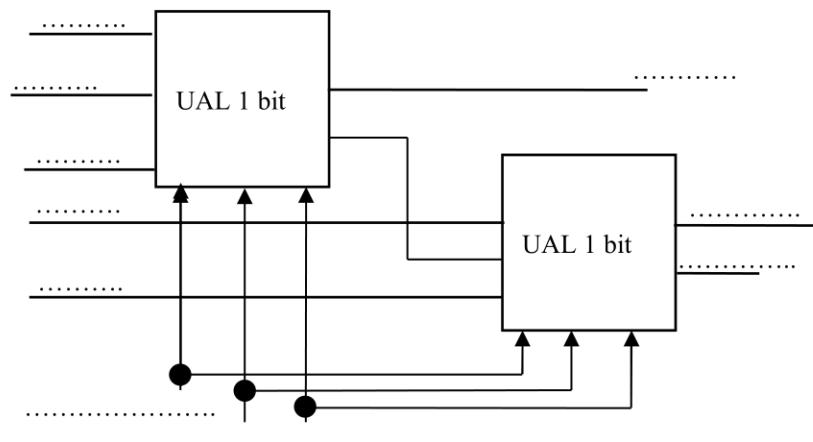


Figure 1. Unité arithmétique et logique 1 bit.

1. Compléter le circuit de la figure suivante de sorte à obtenir une unité arithmétique et logique 2 bits. Placer pour répondre sur la figure ci-dessous :
 - Les lignes de sélection OPÉRATION et COMPLÉMENT.
 - les entrées du circuit : A_0, A_1, B_0, B_1, Re où Re est la retenue en entrée

- les sorties : S_0 , S_1 et R_s où R_s est la retenue en sortie.



2. Proposer une approche permettant de réaliser la soustraction de B à A. Justifier votre réponse.

Exercice 6 : Conception d'un circuit combinatoire (Extrait de l'examen de la session de contrôle 2015-2016).

Soit la fonction booléenne suivante :

$$Z(A, B, C, D, E) = E(C + D) + C(A \oplus B)$$

1. Donner la table de vérité de la fonction booléenne Z.
2. En déduire l'expression de Z selon la forme de somme de Minterms.
3. On souhaite réaliser la fonction Z en utilisant un multiplexeur ayant le nombre minimal de lignes de sélection.
 - a) Quelles sont les caractéristiques de ce multiplexeur ?
 - b) Concevoir Z en utilisant le multiplexeur défini en a.
4. On dispose maintenant de deux types de multiplexeurs : le premier à 8 entrées et le deuxième à 2 entrées. Proposer un circuit réalisant la fonction Z par mise en cascade d'un nombre minimal des multiplexeurs dont on dispose.

Exercice 7 : Circuit de phares d'une automobile (Extrait de l'examen de la session principale 2015-2016 et de la session principale 2022-2023).

On dispose, sur une automobile, des commandes **v**, **c**, **r** et **a** indépendantes permettant la mise sous tensions respectivement des veilleuses (**VE**), de deux phares de croisement (**PC**), de deux phares de la route (**PR**) et de deux phares antibrouillards (**PAB**). Les veilleuses n'étant pas considérées comme des phares, il faut tenir compte des contraintes suivantes :

- Les phares de types différents ne peuvent pas être allumés simultanément.
- Les phares PAB ont une priorité sur les phares PR et PC.
- Les phares PC ont une priorité sur les phares PR.
- Les veilleuses peuvent être allumées seules, mais l'allumage de PAB, PC ou PR entraîne obligatoirement l'allumage des veilleuses.

1. Etablir la table de vérité du circuit des feux d'une automobile selon le principe décrit. Compléter pour répondre la table de vérité suivante :

N°	v	c	r	a	VE	PC	PR	PAB
0	0	0	0	0

N°	v	c	r	a	VE	PC	PR	PAB
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1

2. Trouver les équations logiques simplifiées des sorties VE, PC, PR et PAB en fonction des v, c, r et a.
3. Donner le logigramme représentant le fonctionnement des feux d'une automobile selon le principe décrit.

La réponse à cette question est à reproduire sur une feuille séparée.

4. On désire réaliser la sortie PAB en utilisant un multiplexeur **disposant du minimum de lignes de sélection**.
 - a) Quelles sont les caractéristiques du multiplexeur ?
 - b) Donnez l'expression de la sortie selon la forme de somme de Minterms.
 - c) On dispose d'un ensemble de multiplexeurs de type 4x1 et 2x1. Concevoir la sortie PAB par les mises en cascade d'un **nombre minimal** de ces multiplexeurs.

Code de Gray

Extrait de la session de contrôle 2022-2023

On souhaite concevoir un circuit logique combinatoire qui transforme un nombre codé en binaire vers le code de Gray. Le code de Gray est un système de numérisation non positionnel (non pondéré). Le tableau suivant montre la représentation des nombres décimaux de 0 à 15 selon le code de Gray. Ainsi, les entrées du circuit sont A, B, C, D et les sorties sont : X, Y, Z, T.

Nombre décimal	Code Binaire				Code de Gray			
	A	B	C	D	X	Y	Z	T
0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1
2	0	0	1	0	0	0	1	1
3	0	0	1	1	0	0	1	0
4	0	1	0	0	0	1	1	0
5	0	1	0	1	0	1	1	1
6	0	1	1	0	0	1	0	1
7	0	1	1	1	0	1	0	0
8	1	0	0	0	1	1	0	0

Nombre décimal	Code Binaire				Code de Gray			
	A	B	C	D	X	Y	Z	T
9	1	0	0	1	1	1	0	1
10	1	0	1	0	1	1	1	1
11	1	0	1	1	1	1	1	0
12	1	1	0	0	1	0	1	0
13	1	1	0	1	1	0	1	1
14	1	1	1	0	1	0	0	1
15	1	1	1	1	1	0	0	0

1. Ecrire les sorties (X, Y, Z et T) en fonctions des entrées selon la forme somme de Minterms.

Sortie	Somme des Minterms
X	
Y	
Z	
T	

2. Simplifier les expressions trouvées précédemment.

CD	00	01	11	10
000AB				
00				
01				
11				
10				
X=.....				

CD	00	01	11	10
000AB				
00				
01				
11				
10				
Y==.....				

CD	00	01	11	10
000AB				
00				
01				
11				
10				
Z==.....				

CD	00	01	11	10
000AB				
00				
01				
11				
10				
T==.....				

3. On veut réaliser la sortie Y en utilisant un multiplexeur **disposant d'un nombre minimal de lignes de sélection**. Donner les caractéristiques de ce multiplexeur puis concevoir la sortie Y en utilisant le multiplexeur défini.
4. On dispose maintenant d'un ensemble de multiplexeurs à 2 entrées (de type 2x1). On vous demande de concevoir la sortie Y en utilisant **un nombre minimal** des multiplexeurs disponibles.
5. Peut-on réaliser ce circuit en utilisant un décodeur ? Si oui comment (donner les caractéristiques de ce décodeur et concevoir le circuit désiré) ? Si non pourquoi ?