

ARCHITECTURE DES ORDINATEURS

TD 4 – LE PROCESSEUR

Objectifs : Comprendre les composantes internes du processeur ainsi que le codage interne des instructions et des modes d'adressage.

Exercice 1 : Schéma simplifié d'un processeur.

La figure 1 présente la structure interne d'un processeur. Nommer les différentes composantes de ce processeur en se basant sur vos connaissances en cours.

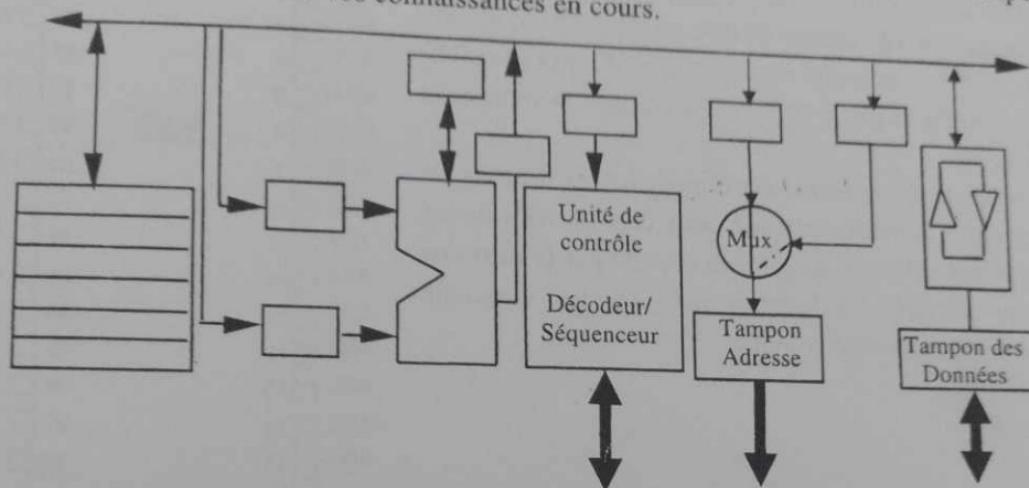


Figure 1 : Structure interne d'un processeur

Exercice 2 : Exécution pas à pas d'un programme.

Un processeur dispose d'un compteur ordinal noté CO, d'un registre d'instruction noté RI et de deux registres de travail notés R0 et R1. Une mémoire centrale est reliée à ce processeur. Le contenu de la mémoire et des registres avant le début d'exécution du programme est présenté par la figure 2.

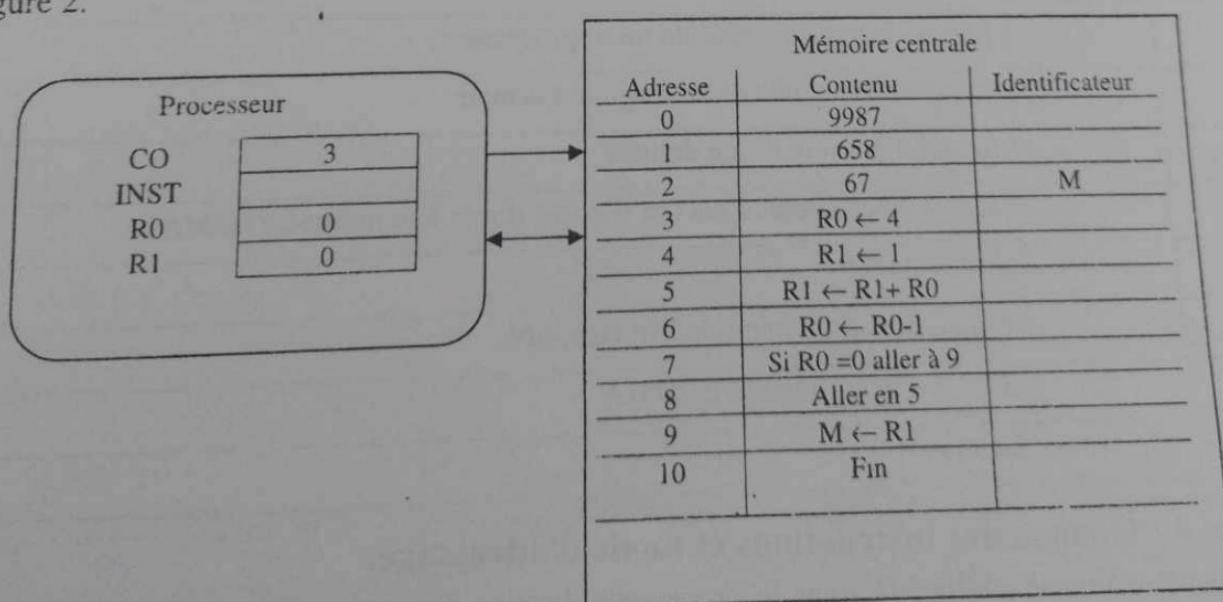


Figure 2 : État des registres et de la mémoire

Remplir le tableau ci-dessous par l'état de la mémoire et des différents registres pendant l'exécution du programme ci-dessus pas à pas.

CO	RI	R0	R1	M
3	R0 ↔ 4	4	-	67
4				
...

Exercice 3 : Broches du 8086

Le microprocesseur Intel 8086 est un microprocesseur 16 bits, apparu en 1978. C'est le premier microprocesseur de la famille Intel 80x86 (8086, 80186, 80286, 80386, 80486, Pentium, ...). Il se présente sous la forme d'un boîtier DIP (Dual In-line Package) à 40 broches comme le montre la figure ci-contre.

L'objet de cet exercice est d'analyser les broches de ce processeur. On vous demande pour cela de remplir les deux premières colonnes du tableau suivant par **le numéro et le nom abrégé** des broches réalisant les fonctions décrites dans la troisième colonne.

Principale 2016-2017

GND	1	40	VCC
AD14	2	39	AD15
AD13	3	38	A16/S3
AD12	4	37	A17/S4
AD11	5	36	A18/S5
AD10	6	35	A19/S6
AD3	7	34	BHE/S7
AD8	8	33	MN/MX
AD7	9	32	RD
AD6	10	31	HOLD
AD5	11	30	HLDA
AD4	12	29	WR
AD3	13	28	M/G
AD2	14	27	DT/R
AD1	15	26	DEN
AD0	16	25	ALE
NMI	17	24	INTA
INTR	18	23	TEST
CLK	19	22	READY
GND	20	21	RESET

N° broches	Nom abrégé	Fonctions
.....	Entrée de remise à zéro du microprocesseur.
.....	Entrée de demande d'interruption normale
.....	Signal d'écriture d'une donnée.
.....	Signal de demande d'accord d'accès direct à la mémoire (DMA)
.....	Alimentation
.....	Signal d'acquittement de l'interruption.
.....	Signal d'acquittement de DMA
.....	La masse

Exercice 4 : Codage des instructions et mode d'adressage.

- 1) On considère une machine M1 dont le processeur dispose d'un compteur ordinal (CO), d'un registre d'état (comportant 6 indicateurs d'états), d'un registre d'instruction (RI), d'un registre d'adresse (RA) et de deux registres de travail (R0 et R1 avec R0 joue le rôle de l'accumulateur).

Le format d'une instruction est à une adresse et le mode d'adressage de la mémoire ne peut d'instruction de la machine comporter 98 codes opérations. La taille d'un mot mémoire est 16 bits.

- a. Proposez un format d'instruction pour cette machine et précisez la taille de chaque champ.
Justifiez votre réponse.

b. Quel est l'espace d'adressage de ce processeur et sa taille mémoire sachant qu'elle est adressable par mot de 2 octets ? Que devient la taille de la mémoire si elle est adressable par octet ?

- c. Remplir, en justifiant votre réponse, le tableau suivant par la taille minimale des registres et des bus indiqués. **Les tailles sont des multiples d'octets.**

Composant	Taille minimale	Justification
Registre d'état	8 bits	...Add et ...Opérat... et ...Acc
Registres temporaires	16 bits	...Add et ...Opérat... et ...Acc
Registres d'adresse	2 bits	...taille... et ...taille... et ...taille... et ...taille...
Compteur ordinal	3 octets	...espace... et ...taille... et ...taille... et ...taille...
Registre d'instruction	2 octets	...taille... et ...taille... et ...taille... et ...taille...
Bus d'adresses	32 bits	...taille... et ...taille... et ...taille... et ...taille...
Bus des données	16 bits	...taille... et ...taille... et ...taille... et ...taille...

2) On considère une machine M2 dont le processeur dispose d'un compteur ordinal (CO), de 2 registres temporaires, d'un registre d'état, d'un registre d'instruction, d'un registre accumulateur, d'un registre d'adresse et de 8 registres de travail. La machine M2 dispose d'une mémoire centrale de taille 32 mégaoctets, **adressable par mot de 2 octets**. Un mot de donnée est sur 4 octets. Une instruction a une taille de 32 bits dont le format est défini par la figure 3 (donnée en annexe). Les modes d'adressage de la machine sont toujours basés avec possibilité d'indirection et/ou indexation. Dans le cas de combinaison de modes d'adresses (indirect et indexé), **le calcul d'adresse se fait en post indexé**.

- a. Remplir, en justifiant votre réponse, le tableau suivant par le nombre maximal d'instructions élémentaires ainsi que le nombre maximal de registres de base et d'index.

Composant	Nombre maximal	Justification
Instructions	128	...taille... et ...taille... et ...taille... et ...taille...
Registres de base	8	...taille... et ...taille... et ...taille... et ...taille...
Registres d'index	8	...taille... et ...taille... et ...taille... et ...taille...

b. En déduire la taille de la mémoire directement adressable.
c. Compléter le tableau suivant par les différents modes d'adressage possibles de la machine M2 ainsi que la formule de calcul d'adresse effective à chaque fois.

X	Mode d'adressage	Formule de calcul d'adresse effective
0	Base	...taille... et ...taille... et ...taille... et ...taille...
0	Base...Indirect	...taille... et ...taille... et ...taille... et ...taille...
1	Base...Indirect	...taille... et ...taille... et ...taille... et ...taille...
1	Base...Indirect	...taille... et ...taille... et ...taille... et ...taille...

3) On considère toujours la machine M2. La figure 4 décrit l'état des différents registres ainsi que le code binaire de quelques instructions de la machine. La figure 5 représente une configuration partielle de la mémoire centrale de M2 (les adresses et les données en mémoire sont en hexadécimales). Ces deux figures sont données dans la feuille jointe en annexe.
Les opérations arithmétiques et logiques se font par défaut sur l'accumulateur (le registre ACC).

a. Compléter le tableau suivant par l'évolution du contenu de l'accumulateur après exécution de la séquence des instructions de la 1^{ère} colonne. L'adresse effective et l'état de l'accumulateur doivent être donné en hexadécimal.

Instruction	Opération	Mode d'adressage	Adresse effective	Accumulateur
828C0024H
D7B00060H
B7780206H
8E1400A6H

b. Y-a-t-il des cellules mémoires qui ont changé d'état ? Préciser le cas échéant l'adresse et le contenu de chaque octet qui a changé d'état.

Bits	Rôle
0 à 6	Code opération
7	Indicateur d'indexation noté X. Si X = 0 l'adressage est non indexé sinon il est indexé.
8 à 10	Numéro du registre d'index noté RX si le bit 7 est à 1
11 à 12	Numéro du registre de base noté RB
13	Indicateur d'indirection noté I. Si I = 0 alors l'adressage est direct sinon il est indirect
14 à 31	Champ déplacement

Figure 3 : Le format des instructions de la machine M2.

Registre	Etat	Registre	Etat	Instruction	Code binaire
RB0	00003008H	RX2	0018H	ADD	1101011B
RB1	000221D8H	RX3	0002H	DIV	1001100B
RB2	00086A00H	RX4	000AH	CMP	1011101B
RB3	00040680H	RX5	0040H	SUB	1110001B
RX0	00000082H	RX6	0004H	MUL	1011011B
RX1	00000002H	RX7	000EH	STORE	1000111B
ACC	00000016H			LOAD	1000001B

Figure 4 : Etat des registres et les codes opérations de la machine M2

Adresse	Contenu	Adresse	Contenu	Adresse	Contenu
000038A4	0000 0084	0004088C	0000 4200	00100BA8	0010 0BAA
	0000 3894		0000 0040		0000 0080
	0022 21CC		0000 A022		0000 1040
	0002 21F8		0000 4511		0000 0A00
	0002 2008	
		0000 31EE	
	0000 4511		0003 0000	
	0000 3890		0002 21F8	
	0000 389C		0010 0BAA	
	0022 0044		0040 088C	
				

Figure 5 : Etat de la mémoire de la machine M2.