

# Examen de Circuits Logiques et Architecture des ordinateurs

Nature de l'épreuve :	DC <input type="checkbox"/> D.S. <input type="checkbox"/> E.F. <input checked="" type="checkbox"/>	Documents :	autorisés <input type="checkbox"/> non autorisés <input checked="" type="checkbox"/>
Date de l'épreuve :	10/01/2024	Calculatrice :	autorisée <input type="checkbox"/> non autorisée <input checked="" type="checkbox"/>
Durée de l'épreuve :	01H30	Session :	principale <input checked="" type="checkbox"/> contrôle <input type="checkbox"/>
Section : LGLSI 1	Barème approximatif : 6-7-7		

**NB :**

- Rédigez soigneusement les solutions en utilisant les mêmes conventions vues en cours. La clarté et la concision des réponses sont des éléments importants d'appréciation.
- Il est strictement interdit d'écrire au crayon noir ou d'utiliser le correcteur.
- Tous les exercices sont indépendants.
- Lire attentivement et entièrement chaque exercice avant de commencer la résolution.
- Numérotter les feuilles de réponse à l'examen.

### Exercice 1 : Représentation interne des réels.

[.../6 points]

Soit les conventions suivantes de représentation interne d'un nombre réel en virgule flottante sur 16 bits :

- L'exposant, biaisé par rapport à 63, est représenté sur les bits de 0 à 6.
- La mantisse, représentée sur les bits 7 à 14, est normalisée sous la forme 1.XXX... Le premier bit est le **bit caché**. Dans le cas où le nombre de bits significatifs de la mantisse est supérieur à la taille de la mantisse, une erreur de troncature est adoptée.
- Le bit 15 (noté  $S_M$ ) est le bit de signe de la mantisse (du réel).
- Le zéro ne peut être représenté, il correspond à une configuration où l'exposant est nul.
- Un réel avec **tous les exposants à 1** correspond à NaN ou NAV.

La figure suivante résume les conventions précédemment décrites :

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
$S_M$	Mantisse								Exposant						

La valeur est ainsi calculée comme suit : Valeur =  $(-1)^{SM} \times 2^{Exposant-63} \times 1.Mantisse$ .

1. Donner la représentation interne de -0.15 selon les conventions ci-dessus. **Donner le résultat final en hexadécimale.**

This image shows a single sheet of white paper with horizontal blue or grey ruling lines. The lines are evenly spaced and run across the width of the page. There is no handwriting or other markings on the paper.



2. Compléter le tableau suivant par les valeurs décimales de deux réels représentés en interne selon les conventions citées ci-dessus respectivement par :

Représentation interne	Signe	Exposant	Mantisse	Valeur décimale
$R_1 = C040H$	.....	.....	.....	.....
$R_2 = 0041H$	.....	.....	.....	.....

3. Calculer le **produit** de deux réels précédents ( $R_1 \cdot R_2$ ) et représenter le résultat selon les conventions citées. Le résultat final doit être donné en hexadécimale.

---

---

---

---

---

---

---

---

4. Compléter le tableau suivant les valeurs adéquates selon les conventions ci-dessus décrites.

	Représentation Hexadécimale	Valeur décimale ( $2^N$ )
Plus grand nombre positif	.....	.....
Plus grand nombre négatif	.....	.....

5. En déduire les plus petits nombres non nuls positif et négatif selon les conventions ci-dessus décrites. Compléter pour répondre le tableau suivant par les valeurs adéquates.

	Représentation Hexadécimale	Valeur décimale ( $2^N$ )
Plus petit nombre positif	.....	.....
Plus petit nombre négatif	.....	.....

### Exercice 2 : Conception d'un circuit combinatoire.

[.../7 points]

Soit la table de vérité ci-dessous relative à la fonction booléenne  $Z$  à 5 variables  $Z(A,B,C,D,E)$  (avec  $A$  est le poids fort et  $E$  est le poids faible):

N°	A	B	C	D	E	Z
0	0	0	0	0	0	0
1	0	0	0	0	1	0
2	0	0	0	1	0	0
3	0	0	0	1	1	1
4	0	0	1	0	0	0
5	0	0	1	0	1	1
6	0	0	1	1	0	0
7	0	0	1	1	1	1
8	0	1	0	0	0	0
9	0	1	0	0	1	0
10	0	1	0	1	0	0
11	0	1	0	1	1	1
12	0	1	1	0	0	1
13	0	1	1	0	1	1
14	0	1	1	1	0	1
15	0	1	1	1	1	1

N°	A	B	C	D	E	Z
16	1	0	0	0	0	0
17	1	0	0	0	1	0
18	1	0	0	1	0	0
19	1	0	0	1	1	1
20	1	0	1	0	0	1
21	1	0	1	0	1	1
22	1	0	1	1	0	1
23	1	0	1	1	1	1
24	1	1	0	0	0	0
25	1	1	0	0	1	0
26	1	1	0	1	0	0
27	1	1	0	1	1	1
28	1	1	1	0	0	0
29	1	1	1	0	1	1
30	1	1	1	1	0	0
31	1	1	1	1	1	1



1. Simplifier la fonction Z en utilisant la méthode graphique (Utiliser le tableau de Karnaugh ci-dessous) :

AB \ CDE	000							
	00							

Expression simplifiée de Z : \_\_\_\_\_

2. Donner l'expression de Z selon la forme de somme de Minterms.

Les réponses aux questions 3, 4 et 5 sont à rédiger sur une feuille séparée.

3. On souhaite réaliser la fonction Z en utilisant un multiplexeur ayant le nombre minimal de lignes de sélection.
- a) Quelles sont les caractéristiques de ce multiplexeur ?
- b) Concevoir Z en utilisant le multiplexeur défini en a. Expliciter toutes les étapes.
4. On dispose maintenant de deux types de multiplexeurs : le premier à 8 entrées et le deuxième à 2 entrées. Proposer un circuit réalisant la fonction Z par mise en cascade d'un nombre minimal des multiplexeurs dont on dispose.
5. Peut-on concevoir la fonction Z moyennant un décodeur ? Si Oui comment Sinon Pourquoi ?

### Exercice 3 : Exécution de bas niveau d'une instruction

[.../7 points]

L'objectif de cet exercice est de trouver les étapes élémentaires nécessaires à l'exécution de l'instruction : **CMP [BX], CX** selon l'état suivant du processeur et d'une partie de la mémoire :

Etat des registres				Etat de la mémoire			
		Adresse	Contenu	Adresse	Contenu	Adresse	Contenu
AX = 1122H	BX = 0026H	20000H	80H	4F020H	00H	FFF00H	FFH
CX = 00ACH	DX = 0000H	20001H	70H	4F021H	02H	FFF01H	A0H
IP = 00FEH	SP = FFEEH	20002H	60H	4F022H	01H	FFF02H	0AH
CS = 10FFH	ES = 2000H	20003H	50H	4F023H	50H	FFF03H	20H
BP = 0010H	SI = 0000H	20004H	40H	4F024H	04H	FFF04H	40H
SS = FFF0H	DI = 0002H	20005H	30H	4F025H	FFH	FFF05H	06H
DS = 4F00H		20006H	20H	4F026H	ACH	FFF06H	03H
		20007H	10H	4F007H	00H	FFF07H	02H
		20008H	09H	4F008H	20H	FFF08H	00H
		...	...	...	...	...	...

L'état du registre des drapeaux est décrit par le tableau suivant :

N° bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Drapeau					OF	DF	IF	TF	SF	ZF		AF		PF		CF
Etat					0	0	1	1	0	1		1		0		1

1. Quel est le mode d'adressage de cette instruction ?
2. Donner les différentes phases et les microcommandes nécessaires pour l'exécution de cette instruction. Préciser à chaque accès à la mémoire l'adresse réelle (physique) de la cellule accédée.



Les réponses aux questions 3, 4, 5 et 6 sont à accomplir sur une feuille séparée.

3. Quel sera l'état des drapeaux OF, CF, ZF, SF après l'exécution de cette instruction ? Justifier votre réponse.
4. Outre le registre des drapeaux, y-a-t-il des registres qui ont changé d'état après l'exécution de cette instruction ? Préciser le cas échéant leurs nouveaux contenus.
5. Y-a-t-il des cellules mémoires qui ont changé d'état après l'exécution de cette instruction ? Préciser le cas échéant leurs adresses et leurs nouveaux contenus.
6. On suppose maintenant que l'instruction est : **CMP M, CX** avec M un mot mémoire (de taille 2 octets, déclaré comme un DW) situé à une adresse relative égal à 38 par rapport au début du segment des données.
  - a. Quel est le nouveau mode d'adressage utilisé ?
  - b. Quelles sont les modifications à apporter aux phases et microcommandes de la réponse précédente pour l'exécution de cette instruction ?
  - c. Y-a-il un changement par rapport aux réponses précédentes concernant l'état des drapeaux OF, CF, ZF, SF après l'exécution de l'instruction ? Prouvez votre réponse.
  - d. Y-a-il un changement par rapport aux réponses précédentes concernant les registres et les cases mémoires qui changent d'état ? Prouvez votre réponse.

✍..... Bon Travail ✍...