

---

Sections : LGSI 1

## ARCHITECTURE DES ORDINATEURS

### TD 3 – LA MEMOIRE

---

#### Exercice 1 : Conversion des tailles mémoire

Remplir les pointillés suivants par les valeurs appropriées des conversions.

1 Giga-octets	= 2 <sup>... </sup> Mégaoctets	= ..... Mégaoctets.
	= 2 <sup>... </sup> Kilooctets	= ..... Kilooctets.
	= 2 <sup>... </sup> Octets	= ..... Octets.
	= 2 <sup>... </sup> Bits	= ..... Bits.

---

#### Exercice 2 : Espace d'adressage d'un processeur.

Soit un processeur qui dispose d'un bus d'adresse de largueur 32 bits, calculer :

1. Le nombre de mots adressables (l'espace d'adressage) si un mot = 1 octet.
2. La plus haute adresse possible pour ces mots de 1 octet.
3. Le nombre de mots adressables si 1 mot = 32 bits.
4. La plus haute adresse possible de ces mots de 32 bits.

---

#### Exercice 3 : Organisation mémoire.

Un processeur est relié à une mémoire de taille 128 Giga-octets qui dispose d'un tampon de taille 16 bits. On désire réserver 8 Giga-octets par des SRAM de type 64 Kx8 disposées à l'adresse basse et 32 Giga-octets par des DRAM de type 1Mx1 disposées à la suite des SRAM et on veut équiper l'espace 64 Mégaoctets par des ROM de type 32 Kx8 dont l'adresse finale sera celle haute du processeur.

1. Quel est le nombre de lignes d'adresse de ce processeur ?
2. Donner l'adresse de début et de fin de la zone SRAM, DRAM, ROM.
3. Donner l'adresse de début et de fin d'un boîtier SRAM, d'un boîtier DRAM et d'un boîtier ROM.
4. Quel est le nombre de puces SRAM, DRAM et ROM ?

---

#### Exercice 4 : Cartographie mémoire

Soit un processeur caractérisé par un bus d'adresses : A<sub>0</sub>-A<sub>15</sub>, un bus de données : D<sub>0</sub>-D<sub>7</sub> et un bus de contrôle (R/W, ...)

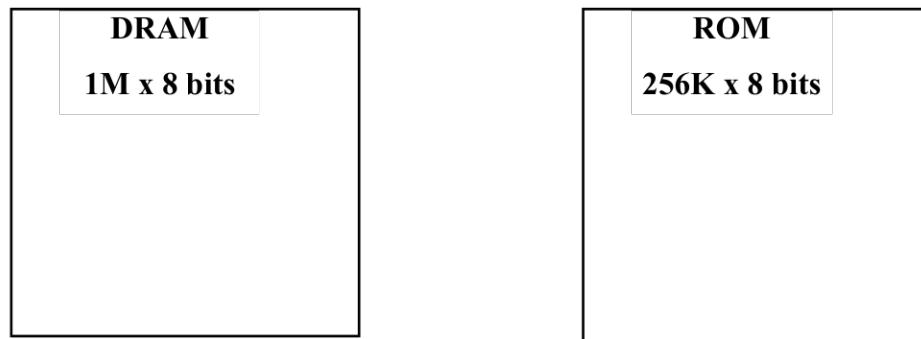
1. Calculer la capacité d'adressage de ce processeur.
2. On utilise des circuits intégrés mémoire RAM de taille 8 Kilooctets. Calculer le nombre de boîtiers mémoire pour remplir un espace mémoire de 64 Kilooctets à partir de l'adresse zéro.
3. Donner les adresses de début et de fin de chaque bloc mémoire.
4. Donner le schéma électronique complet qui réalise le codage des circuits mémoires.

---

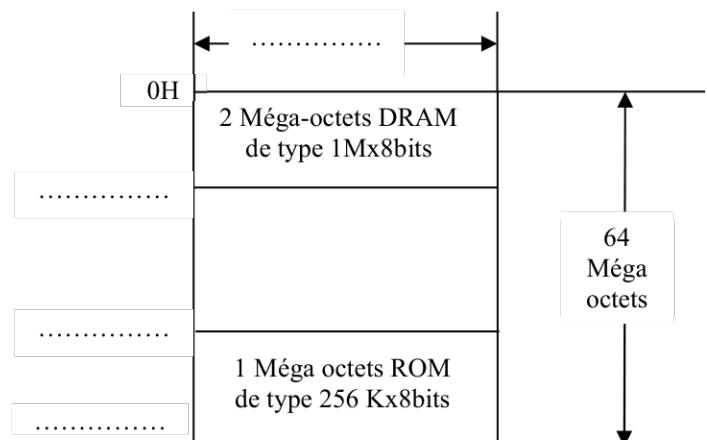
#### Extrait de la session de contrôle 2020-2021: Processeur et organisation de la mémoire.

Soit un processeur disposant d'un bus de données de taille 16 bits et ayant un espace d'adressage global de 64 Mégaoctets. On désire occuper 2 Mégaoctets de cet espace par des DRAM de type 1Méga x 8bits disposé à l'adresse basse et 1 Mégaoctets par des ROM de type 256 Kilo x 8 bits dont l'adresse finale sera l'adresse haute du processeur.

- Déterminer le nombre de lignes d'adresse de ce processeur ainsi que l'adresse fin de son espace d'adressage. **Donner le résultat en hexadécimale.**
- Compléter les schémas de chacune des puces ROM et DRAM par les broches de connexions externes en précisant en particulier les liaisons avec les bus des données, d'adresses et de contrôle.



- Déterminer l'adresse début de la zone ROM et l'adresse fin de la zone DRAM. **Donner le résultat en hexadécimale.**
- En se basant sur vos réponses précédentes, compléter la figure suivante représentant l'espace d'adressage du processeur.



- Déterminer le nombre de puces ROM et DRAM nécessaires. Justifier votre réponse.
- Combien de puces DRAM et de puces ROM sont activées lors d'un accès mémoire ? Justifier votre réponse.

En se basant sur les réponses aux questions précédentes, élaborer un schéma du raccordement des mémoires DRAM et ROM au processeur.