

**电子科技大学数字电路期末考试样题**

**一、填空题**

1．五个变量构成的所有最小项之和等于 ( )。

2．已知某数的二进制原码表示为 ( 110110) 2 , 则其对应的8-bit补码表示为 ( )2。

3．已知，则（ ）。

4．要使D触发器按工作，则D触发器的输入D=（ ）。

5．用移位寄存器产生1101010序列，至少需要（ ）位的移位寄存器。

**二、单项选择题：**

1. 若要将一异或门当作反相器（非门）使用，则输入端A、B端的连接方式是（ ）。

A. A或B中有一个接“0” B. A或B中有一个接“1”

C. A和B并联使用 D. 不能实现

2．组合电路的竞争冒险是由于（ ）引起的。

A. 电路不是最简 B. 电路有多个输出

C. 电路中使用不同的门电路 D. 电路中存在延时

3．某一逻辑函数真值表确定后，下面描述该函数逻辑功能的表达式中，具有唯一性的是（ ）。

A．该逻辑函数的最简与或式 B．该逻辑函数的积之和标准型

C．该逻辑函数的最简或与式 D．该逻辑函数的和之积式

4．若最简状态转换表中，状态数为n，则所需状态变量数K为 （　 ）的整数．

A． B． C．  D． 

000

001

010

011

100

101

110

111

图1

5．某计数器的状态转换图如图1所示，其该计数器的模为（ ）。

A． 八 B. 五 C. 四 D. 三

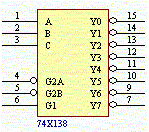
1. **组合电路分析：**

1．求逻辑函数  的最简积之和表达式。

2．已知逻辑函数， 请写出该函数的标准和（最小项之和）表达式：

3．找出逻辑表达式对应的电路的所有静态冒险。

**四、组合电路设计：**



1、试用一片三输入八输出译码器74X138和适当的与非门实现函数：

画出电路连接图。译码器如右图所示。

2、一个多路复用器，具有4个2位输入总线P、Q、R、T，3个选择输入端S2~S0根据表1选定4个输入总线中的一个来驱动2位输出总线Y。如图2所示，可以使用一片74x153（四选一多路复用器）和一个码转换器实现该功能，试写出图2中“码转换器”对应的真值表和逻辑表达式。

表1

|  |  |  |  |
| --- | --- | --- | --- |
| S2 | S1 | S0 | 选择的输入 |
| 0 | 0 | 0 | P |
| 0 | 0 | 1 | P |
| 0 | 1 | 0 | P |
| 0 | 1 | 1 | Q |
| 1 | 0 | 0 | P |
| 1 | 0 | 1 | P |
| 1 | 1 | 0 | R |
| 1 | 1 | 1 | T |

码转

换器

图2

，

**五、** **时钟同步状态机设计：**

1、 写出一个3位同步格雷（GRAY ）码计数器的转移/输出表：

|  |  |  |
| --- | --- | --- |
| Q2Q1Q0 | Q2\*Q1\*Q0\* | Z |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |

2、构造J-K触发器的应用表。已知某状态机的转移/输出表如表2所示，写出针对J-K触发器的激励/输出表。

激励/输出表

|  |  |  |
| --- | --- | --- |
| Q1Q0 | X | |
| 0 | 1 |
| 00 | 0d,1d,0 | 1d,0d,0 |
| 01 | 1d,d0,0 | 0d,d0,0 |
| 11 | d1,d0,1 | d1,d1,0 |
| 10 | d1,1d,0 | d0,1d,0 |
|  | J1K1，J0K0，Z | |

表2：转移/输出表

J-K触发器的应用表

|  |  |  |  |
| --- | --- | --- | --- |
| Q | Q\* | J | K |
| 0 | 0 | 0 | d |
| 0 | 1 | 1 | d |
| 1 | 0 | d | 1 |
| 1 | 1 | d | 0 |

|  |  |  |
| --- | --- | --- |
| Q1Q0 | X | |
| 0 | 1 |
| 00 | 01，0 | 10，0 |
| 01 | 11，0 | 01，0 |
| 11 | 01，1 | 00，0 |
| 10 | 01，0 | 11，0 |
|  | Q1\*Q0\*，Z | |

3、已知某状态机针对D触发器的激励/输出表如表3所示，请导出最小成本激励方程和输出方程。

表3：激励/输出表

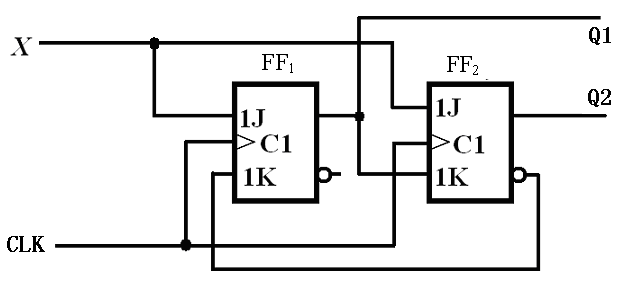
|  |  |  |
| --- | --- | --- |
| Q1Q0 | X | |
| 0 | 1 |
| 0 0 | 0 0 ,0 | 0 1 ,0 |
| 0 1 | 0 0 ,0 | 1 0 ,0 |
| 1 0 | 0 0 ,0 | 1 0 ,1 |
|  | D1D0 , Z | |

，

**六、时钟同步状态机分析：**

图3

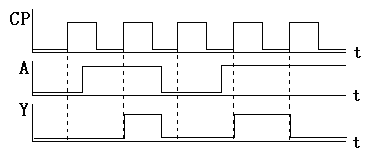
1、已知电路如图3所示，写出电路的激励方程、转移方程并建立转移表



2、已知某时序电路的转移/输出表如表4所示，请画出与输入波形对应的输出Y的波形图（设起始状态为**Q1Q0=00**）。

表4：转移/输出表

|  |  |  |
| --- | --- | --- |
| Q1Q0 | A | |
| 0 | 1 |
| 00 | 01，0 | 00，0 |
| 01 | 01，0 | 11，0 |
| 10 | 01，0 | 00，1 |
| 11 | 01，0 | 00，1 |
|  | Q1\*Q0\*，Y | |



3、构造一个与图4所示状态图等效的状态/输出表。



状态/输出表

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| S | XY | | | | Z |
| 00 | 01 | 10 | 11 |
|  |  |  |  |  |  |
|  |  |  |  |  |  |
|  |  |  |  |  |  |
|  |  |  |  |  |  |
|  | S\* | | | |  |

图4

七、设计一个MEALY型序列检测器，当且仅当输入X是1111或1101时，输出Z为1。允许重叠。写出最简状态/输出表或状态图。

比如：

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| X： | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 |  |
| Z： | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |  |

解：状态/输出表：

|  |  |  |  |
| --- | --- | --- | --- |
| 含义 | S | X | |
| 0 | 1 |
| 未收到1位有效码 | A | A，0 | B，0 |
| 收到1个1 | B | A，0 | C，0 |
| 收到11 | C | D，0 | E，0 |
| 收到110 | D | A，0 | B，1 |
| 收到111 | E | A，0 | E，1 |
|  | | S\*，Z | |

八、74x163为同步清零，同步计数的4位二进制计数器，利用74x163和集成多路选择器74x151构成的序列发生器电路如图5所示。

1. 试分析当M=0和M=1时，电路中Q2Q1Q0的输出序列以及计数器分别工作在几进制。
2. 写出当M=0和M=1输出Y处产生的序列。

图5

解：1）M=0时，Q2Q1Q0的输出序列为：000001010011100101110111 000，为八进制计数器；

M=1时，Q2Q1Q0的输出序列为： 001010011100101110111001，为七进制计数器。

M=1时，输出Y处产生的序列：1011010。