

用 EDA 技术进行电子系统设计的目标是最终完成 ASIC 的设计与实现  
EDA 缩写的含义为 电子设计自动化。

基于查找表技术构造的可编程逻辑器件叫做 FPGA，基于乘积项  
技术构造的可编程逻辑器件叫做 CPLD。

可编程器件分为 CPLD 和 FPGA。

有限状态机分为 Moore 和 Mealy 两种类型。

Verilog 的端口模式有 input、output 和 inout 三种。

大型数字逻辑电路设计采用的 IP 核有 软 IP、固 IP 和 硬 IP。

随着 EDA 技术的不断完善与成熟，自顶向下 的设计方法更多的被应用于  
Verilog HDL 设计当中。

完整的条件语句将产生 组合 电路，不完整的条件语句将产生 时序 电路。

写出下列缩写的含义

LUT: 查找表

HDL: 硬件描述语言

IP: 知识产权核 或模块

ISP: 在系统可编程

SOC: 片上系统

大规模可编程器件主要有 FPGA、CPLD 两类，下列对 FPGA 结构与工作原理的  
描述中，正确的是: B

- A. 采用 EEPROM 工艺
- B. 采用 SRAM 工艺
- C. 集成度比 PAL 和 GAL 低
- D. 断电后配置数据不丢失

IP 核在 EDA 技术和开发中具有十分重要的地位，IP 分软 IP、固 IP、硬 IP；下  
列所描述的 IP 核中，对于固 IP 的正确描述为: D

- A. 提供用 VHDL 等硬件描述语言描述的功能块，但不涉及实现该功能块的具体  
电路
- B. 提供设计的最总产品——模型库

- C. 以可执行文件的形式提交用户，完成了综合的功能块  
D. 都不是

已知 “a=1'b1; b=3'b001;” 那么{a,b}=\_\_\_\_\_ C \_\_\_\_\_

- A. 4'b0011                      B. 3'b001  
C. 4'b1001                      D. 3'b101

下列标识符中，\_\_\_\_\_A\_\_\_\_\_是不合法的标识符。

- A. 9moon      B. State0      C. Not\_Ack\_0      D. signall

下面 always 进程敏感信号的写法，哪种形式是错的\_\_\_\_\_ C \_\_\_\_\_

- A. always@(posedge clk or negedge clr)  
B. always@( negedge clk or posedge clr)  
C. always@( posedge clk or clr )  
D. always@(posedge clk)

下列那个流程是正确的基于 EDA 软件的 FPGA / CPLD 设计流程：\_\_\_\_\_ A \_\_\_\_\_

- A.原理图/HDL 文本输入→功能仿真→综合→适配→编程下载→硬件测试  
B.原理图/HDL 文本输入→适配→综合→功能仿真→编程下载→硬件测试;  
C.原理图/HDL 文本输入→功能仿真→综合→编程下载→→适配硬件测试;  
D.原理图/HDL 文本输入→功能仿真→适配→编程下载→综合→硬件测试

大规模可编程器件主要有 FPGA、CPLD 两类，下列对 CPLD 结构与工作原理的描述中，正确的是：\_\_\_\_\_D\_\_\_\_\_

- A. CPLD 是基于查找表结构的可编程逻辑器件  
B. CPLD 即是现场可编程逻辑器件的英文简称  
C. 早期的 CPLD 是从 FPGA 的结构扩展而来  
D. 在 Xilinx 公司生产的器件中，XC9500 系列属 CPLD 结构

在 verilog 中，下列语句哪个不是分支语句     D    

- A. if-else      B. case      C. casez      D. repeat

下列语句中，不属于并行语句的是：     B    

- A. 进程语句  
B. CASE 语句  
C. 元件例化语句  
D. WHEN...ELSE...语句

在 verilog 语言中整型数据与     C     位寄存器数据在实际意义上是相同的。

- A. 8      B. 16      C. 32      D. 64

时间尺度定义为 timescale 10ns/100ps，选择正确答案     C    

- A. 时间精度 10ns    B. 时间单位 100ps    C. 时间精度 100ps    D. 时间精度不确定

Verilog 连线类型的驱动强度说明被省略时，则默认的输出驱动强度为     B    

- A. supply      B. strong      C. pull      D. weak

下面哪个是可以用 verilog 语言进行描述，而不能用 VHDL 语言进行描述的级别     A    

- A. 开关级    B. 门电路级    C. 体系结构级    D. 寄存器传输级

在 verilog 语言中，a=4b'1011，那么 &a=     D    

- A. 4b'1011      B. 4b'1111      C. 1b'1      D. 1b'0

下列语句中，不属于并行语句的是：     D    

- A. 过程语句      B. assign 语句    C. 元件例化语句    D. case 语句