

基于 FPGA 的乐曲硬件演奏电路的设计*

尹 淑 娟

(包头师范学院 信息学院, 内蒙古 包头 014030)

摘 要: 本文提出了一种基于 FPGA 的乐曲硬件演奏电路的设计方案, 可实现音乐的自动播放、琴键演奏和乐谱显示。

关键词: FPGA; 分频; VHDL

中图分类号: TN41 **文献标识码:** A **文章编号:** 1004 - 1869(2011) 01 - 0042 - 04

1 系统工作原理

乐曲演奏电路广泛地应用于儿童玩具、手机铃声、自动答录装置及智能仪器仪表设备等。一首乐曲由一组音符组成, 按照乐谱依次输出这些音符对应的频率, 就可以在扬声器上连续地发出各个音符的音调。另外, 通过控制音符的持续时间就可以实现按节奏演奏乐曲。

产生各音符的频率通过一个分频电路实现。分频系数必须为整数, 且与时钟频率有关。如果时钟频率过低, 分频系数小, 取整后误差较大; 时钟频率过高会增加分频器的级数, 继而增加系统成本。实际设计中应在尽量减少频率误差的前提下取合适的时钟频率。本设计选取时钟频率为 12MHz, 16 分频得到 0.75MHz 的基准频率, 再次分频得到各音符的频率。各音名对应的分频系数如下表所示:

音名	频率	分频系数	音名	频率	分频系数
低音 1	261.6	1433	高音 1	1045.5	358
低音 2	293.7	1277	高音 2	1174.7	319
低音 3	329.6	1138	高音 3	1318.5	284
低音 4	349.2	1074	高音 4	1396.9	268
低音 5	392	960	高音 5	1568	239
低音 6	440	853	高音 6	1760	213
低音 7	493.9	759	高音 7	1975.5	190
中音 1	523.3	716	中音 2	587.3	638

音符的持续时间根据乐曲的速度及每个音符的节拍数确定。本设计所演奏乐曲最短为 4 分音符, 如果全音符的持续时间为 1 秒, 只需提供一个 4Hz 的时钟频率即可产生四分音符的时长。

2 系统设计思想

本设计采用 VHDL 语言使用模块化的设计方法设计, 可实现如下功能:

- (1) 音乐自动播放模式下, 预存储 2 首歌, 由乐曲选择键选择播放。
- (2) 弹奏模式下, 通过琴键演奏, 含高低 16 个音符。
- (3) 配有 LED 高音指示及乐谱显示。

系统框图如下:

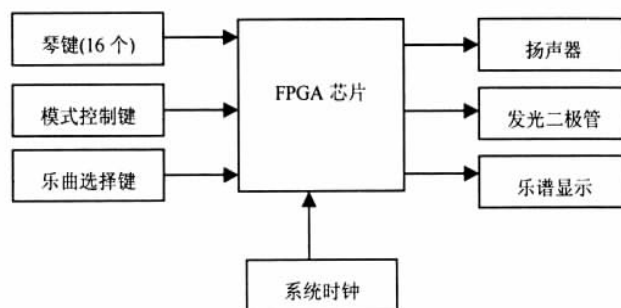


图 1

3 系统模块设计

1、系统顶层设计

系统顶层设计源程序如下, 该设计包括 3 个功能模块, 分别为自动演奏模块 music.vhd, 音阶发生器模块 tone.vhd 和数控分频器模块 speaker.vhd。其中, 自动演奏模块实现按节拍读取内置乐谱或者在弹奏模式下将键盘输入的音符信号输出。音阶发生器模块根据自动演奏模块提供的音符

* 收稿日期: 2010 - 11 - 19

作者简介: 尹淑娟(1982 -), 女, 内蒙古赤峰人, 讲师, 研究方向: 计算机通信。

实现由音符到分频系数、高音指示和音阶译码的输出。数控分频器模块根据音阶发生器模块提供的分频系数产生对应的发音频率,实现乐曲的播放。

该系统有 4 个输入端口: 12MHZ 系统时钟 CLK、电子琴模式控制键 SWITCH、乐曲选择键 SEL、琴键 TONEKEY; 3 个输出端口: 扬声器输出 SPKS、高音指示 HIGH、音符简码显示 LED。

```
LIBRARY ieee;
USE ieee.std_logic_1164.all;

LIBRARY work;
ENTITY songer IS
port( CLK ,SWITCH,SEL: IN STD_LOGIC;
TONEKEY : IN STD_LOGIC_VECTOR( 15 downto 0) ;
SPKS,HIGH: OUT STD_LOGIC;
LED : OUT STD_LOGIC_VECTOR( 6 downto 0) );
END songer;
ARCHITECTURE bdf_type OF songer IS
component music
PORT( Clk ,Switch,Sel : IN STD_LOGIC;
Tonekey : IN STD_LOGIC_VECTOR( 15 downto 0) ;
Tonekey_0 : OUT STD_LOGIC_VECTOR( 15 downto 0) );
end component;
component tone
PORT( Index : IN STD_LOGIC_VECTOR( 15 downto 0) ;
High : OUT STD_LOGIC;
Code : OUT STD_LOGIC_VECTOR( 6 downto 0) ;
Toneout : OUT STD_LOGIC_VECTOR( 10 downto 0) );
end component;
component speaker
PORT( Clk1 : IN STD_LOGIC;
Tone1 : IN STD_LOGIC_VECTOR( 10 downto 0) ;
Spks : OUT STD_LOGIC);
end component;
```

```
signalSYNTHESIZED_WIRE_0 : STD_LOGIC_VECTOR
( 15 downto 0) ;
signalSYNTHESIZED_WIRE_1 : STD_LOGIC_VECTOR
( 10 downto 0) ;
BEGIN
b2v_inst : music
PORT MAP( Clk => CLK, Switch => SWITCH, Sel
=> SEL, Tonekey => TONEKEY,
Tonekey_0 => SYNTHESIZED_WIRE_0);
b2v_inst1 : tone
PORT MAP( Index => SYNTHESIZED_WIRE_0, High
=> HIGH, Code => LED,
Toneout => SYNTHESIZED_WIRE_1);
b2v_inst2 : speaker
PORT MAP( Clk1 => CLK, Tone1 => SYNTHESIZED
_WIRE_1, Spks => SPKS);
END bdf_type;
```

2、自动演奏模块

自动演奏模块如图 2 所示。该模块内置 2 首乐曲,分别为梁祝和 ABC,由二选一数据选择器选择播放。在弹奏模式下,将琴键输入的音符输出。模块内部包含 3 个元件,由元件例化语句实现,增加和更改乐曲非常方便。根据不同的仿真条件,自动播放乐曲和弹奏模式下的仿真波形如下:

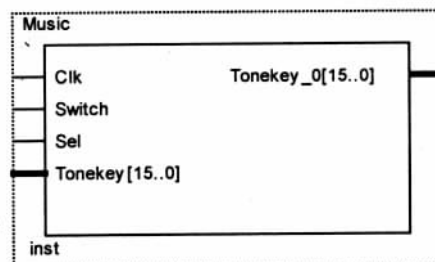


图 2

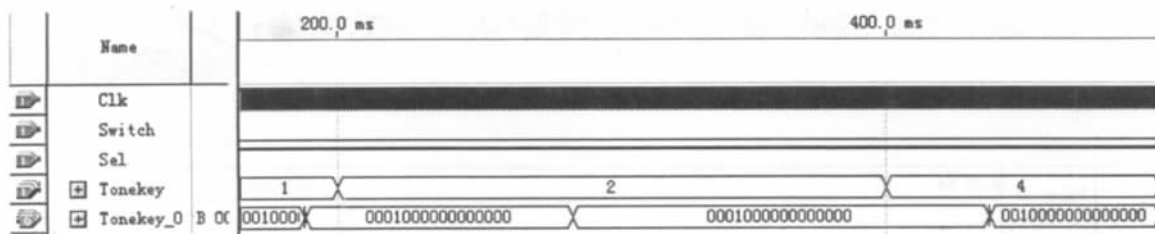


图 3: switch = 0, sel = 1, 自动播放第二首乐曲——字母歌, tonekey _0 输出为乐谱

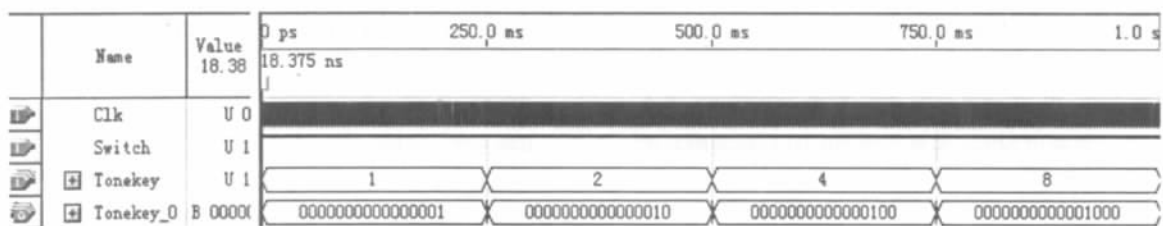


图 4: switch = 1, 弹奏模式, tonekey_0 输出为琴键 tonekey 输入的音符

3、音阶发生器模块

音阶发生器模块如图 5 所示。音符输入信号 index 是 16 位矢量, 它既可以是键盘弹奏输入, 也可以是预存储的音符数据。最终实现分频系数 toneout、高音指示 high 和音符简码对应 LED 译码 code 的输出。仿真波形如下:

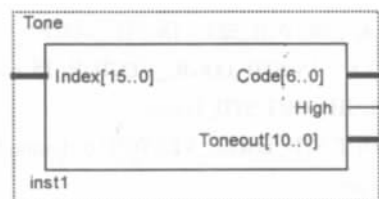


图 5

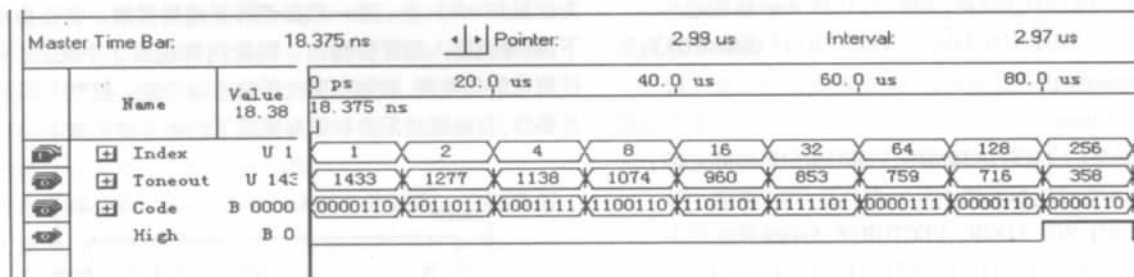


图 6: 音阶发生器仿真波形

4、数控分频器模块

数控分频器模块如图 7 所示。首先对系统时钟进行 16 分频, 得到 0.75MHz 的时钟信号 PreClk, 再按照 tone1 输入的分频系数对 PreClk 进行分频, 得到所要的发音频率 Full-Spks。由于数控分频器的输出波形是脉冲极窄的脉冲波, 需要均衡占空比才能更好地驱动扬声器发声, 因此对 FullSpks 进行二分频, 从而生成所需要的对称方波 Spks。仿真波形如下所示:

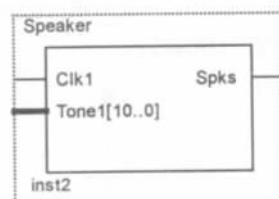


图 7

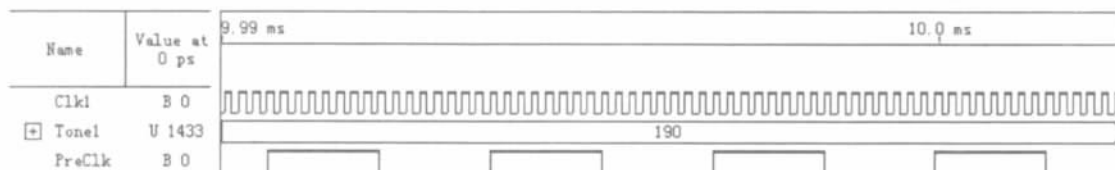


图 8: 16 分频的仿真输出

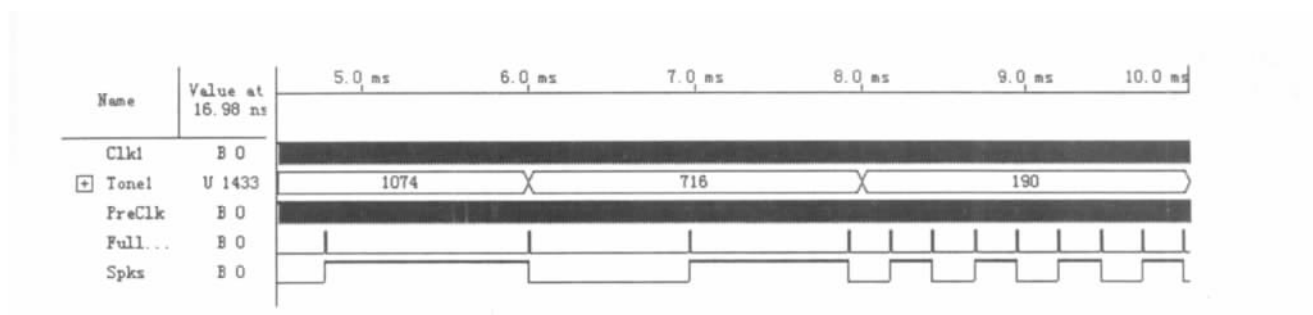


图 9: 数控分频器仿真输出

4 硬件测试与实现

该设计目标器件选用美国 ALTERA 公司 Cyclone 系列 FPGA 器件中的 EP1C6 芯片,通过 EDA 开发工具 QuartusII 对各个模块的 VHDL 源程序及顶层电路进行引脚分配、逻辑综合、适配、编译、及仿真等各种测试工作,最终将设计编译的数据下载到芯片中,经实际电路测试验证,达到了设计的要求。

该设计中的内置乐曲通过 VHDL 程序实现,实际应用中亦可通过定制 LPM_ROM 元件实现,只需要增加乐谱存储元件的数目即可实现播放等多首乐曲。通过 VHDL 层次化和模块化设计方法,不必变化顶层文件架构即可随意变更或增加乐曲,更好的优化了乐曲演奏电路的设计。另外,将乐曲硬件演奏电路的核心部分集成在 FPGA 芯片上,大大简化了

外围电路,有效地提高了设计的灵活性,具有体积小、功耗低、可靠性高的特点,可降低设计成本,缩短设计周期,具有广阔的应用前景。

(参考文献)

- [1] 潘松,黄继业. EDA 技术实用教程(第二版) [M]. 北京: 科学出版社 2004.
- [2] 聂小燕,鲁才. 数字电路 EDA 设计与应用 [M]. 北京: 人民邮电出版社,2010.
- [3] 褚振勇,翁木云. FPGA 设计及应用 [M]. 西安: 西安电子科技大学出版社,2002.

Design of Music Playing Circuit Based on FPGA

YIN Shu - juan

(Department of Information Science , Baotou Teachers College; Baotou 014030)

Abstract: This article presents a design of music playing circuit based on FPGA, which can realize the auto-matic playback, playing music with the keys, and chords yards LED display.

Key words: FPGA; Frequency; VHDL