



重慶理工大學

实验报告

实验课堂表现			实验报告成绩	实验总成绩
A ()	B ()	C ()		

实验名称: 门电路测试及组合逻辑电路设计

专业班级: _____

学 号: _____

姓 名: _____

联系电话: _____

指导老师: _____

实验时间: _____

电气与工程学院 电工电子技术实验中心

【成绩】

【教师签名】

【实验目的】

- ① 熟悉集成门电路的逻辑功能和测试方法。
- ② 了解 TTL, CMOS 集成门电路的特点和使用规则。
- ③ 根据任务设计出组合逻辑电路。
- ④ 由实验方案, 选用仪器设备验证所设计的组合逻辑电路的正确性。

【实验原理及内容】

(1) 常见的组合逻辑电路常常使用中、小规模集成电路来设计。

设计组合电路的一般步骤是: ① 根据设计任务的要求, 列出真值表。② 用卡诺图或代数法求出最简的逻辑表达式。③ 根据逻辑表达式, 画出逻辑图, 用标准器件构成电路。④ 最后用实验来验证设计的正确性。

(2) 组合逻辑电路设计举例:

用“与非”门设计一个电路。当有 4 个输入端中有 3 个或 4 个为“1”时, 输出端为“1”。

设计步骤:

① 作出真值表与卡诺图。

A	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
B	0	0	0	0	1	1	1	0	0	0	0	1	1	1	1
C	0	0	1	1	0	0	1	0	0	1	1	0	0	1	1
D	0	1	0	1	0	1	0	1	0	1	0	1	0	1	1
Z	0	0	0	0	0	0	0	1	0	0	0	1	0	1	1

AB \ CD	00	01	11	10
00				
01				
11			1	1
10			1	1

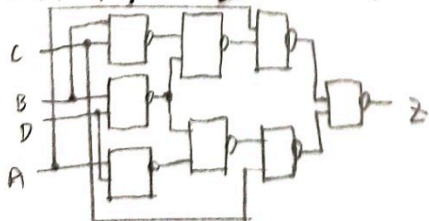
② 由卡诺图得出逻辑表达式, 并化简为“与非”形式。

$$Z = ABC + ABD + ACD + BCD$$

$$= A \cdot \overline{BC} \cdot \overline{BD} \cdot C \cdot \overline{AD} \cdot \overline{BD}$$

④ 用实验验证

③ 画出“与非门”构成的逻辑电路。



【实验设备】

① 计算机, Multisim 软件

② 数字万用表

③ 数字电路实验箱

④ 74LS00 (CC4011) 74LS20 (CC4013) 74LS86 (CC4030) 74LS08 (CC4081)
74LS54 (CC4085) 74LS02 (CC4001) 74LS138

【实验方案及步骤】

(1) 测试“非门”逻辑功能。① 按电路图连接好电路 ② 打开电源开始仿真并记录数据

输入	输出
0	1
1	0

(2) 用 74LS00 设计一个 4 人表决电路, 多数赞成通过。

① 根据要求列出相对应的真值表, 再由卡诺图得出逻辑表达式 $Z = ABC + ABD + ACD + BCD$

② 将逻辑表达式简为与非“形式” $Z = [(A(BC)'(BD))' (C(AD)'(BD))']'$

③ 画出电路图, 利用 Multisim 对其进行仿真。

④ 记录输入与输出, 进行二次验证

(3) 用 74LS00 设计一个半加器

① 由要求列出相对应的真值表, 由卡诺图得出逻辑表达式。

A	B	C	S
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

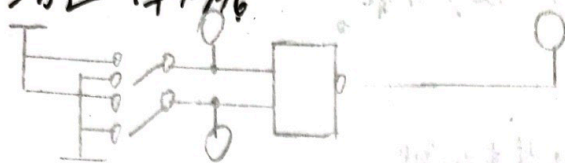
$$\text{逻辑表达式} \begin{cases} C = AB \\ S = [(AB)'(AB)]' \end{cases}$$

③ 画出电路图, 利用 Multisim 对其进行仿真。

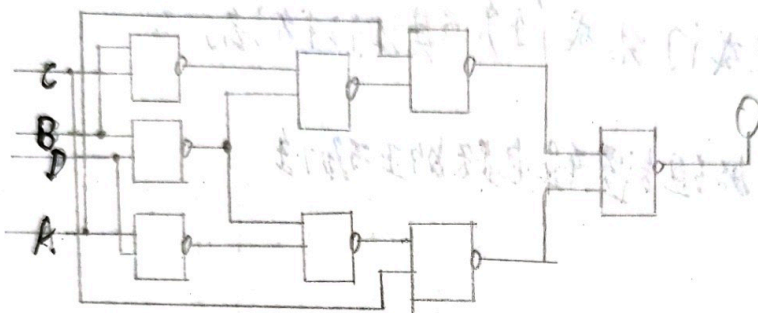
④ 记录输入与输出, 进行二次验证。

【实验电路图】

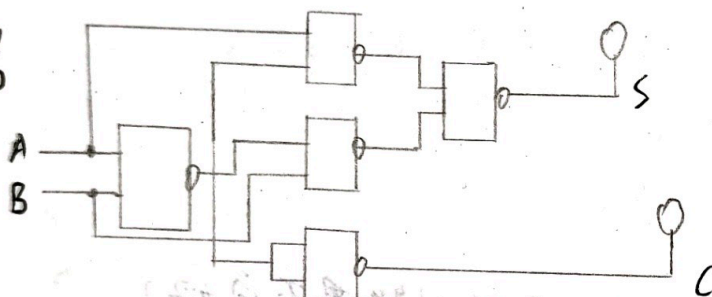
(1) 测试门电路逻辑功能



(2) 四人表决电路



(3) 半加器



【实验数据处理及分析】

(1) “与非”逻辑功能

输入	输出
0 0	1
0 1	1
1 0	1
1 1	0

(3) 半加器

A	B	C	S
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

(2) 四人表决电路

A	B	C	D	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0
0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1
0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
1	0	0	0	0	0	0	0	1	0	0	0	1	0	0	1	1	1	1

分析：将测试结果与原理图结果对比，完全一致，即所设计的电路能完成任务。

【实验结论】

(1) 掌握并应用了设计组合电路的一般步骤。

(2) 初步了解了 74LS00, 74LS20 等的基本功能。

(3) 学会了使用 TTL CMOS 集成门电路及其测试方法。

(4) 成功验证了所设计的组合逻辑电路的正确性。

【思考题】

(1) 如何用最简单的方法验证“与非门”的逻辑功能是否完好？

与非门“全0出1，有1出0”，所以在一端接高电平1，另一端接低电平0时，输出高电平1，接高电平1时，输出低电平0。

(2) “与”“与非”“或”“或非”门，多余输入端分别应如何处理？“与或非”门中当某一组“与”端不用时，应如何处理？

“与”“与非”门 多余输入端接高电平。

“或”“或非”门 多余输入端接地电平或接地。

“与或非”门 当某一组“与”端不用时，TTL门悬空，CMOS则接地。

【原始记录】

(1)

0 0 1

0 1 1

1 0 1

1 1 0

(2)

A 0 0 0 0 0 0 0 0 1 1 1 1 1 1 1 1

B 0 0 0 0 1 1 1 1 0 0 0 0 1 1 1 1

C 0 0 1 1 0 0 1 1 0 0 1 1 0 0 1 1

D 0 1 0 1 0 1 0 1 0 1 0 1 0 1 0 1

2. 0 0 0 0 0 0 0 1 0 0 0 1 0 1 1 1

(3)

A B C S

0 0 0 0

0 1 0 1

1 0 0 1

1 1 1 0