文章编号:1008-0570(2007)11-2-0298-03

EDA设计乐曲硬件演奏电路

Using EDA to design music player circuit hardware.

(首都师范大学)饶 敏 邱德慧 符字同 RAO MIN QIU DEHUI FU YUTONG

摘要:与利用微处理器(CPU或 MCU)来实现乐曲演奏相比,以纯硬件完成乐曲演奏电路的逻辑要复杂得多,如果不借助于功能强大的 EDA 工具和硬件描述语言,仅凭传统的数字逻辑技术,即使最简单的演奏电路也难以实现。本文重点介绍用杭州康芯电子有限公司生产的 GW48 系列 EDA 实验系统,利用数控分频器设计硬件乐曲演奏电路 (电子琴),使读者初步了解VHDL硬件描述语言和 Quartus II 开发环境。

关键词:EDA; VHDL; 数控分频器; 硬件乐曲演奏电路中图分类号:TP273 文献标识码:B

Abstract:compared with using CPU or MPU to play music, using complete hardware implementation to achieve playing music is much more complicated. It is very demanding to design even the most simplest player circuit just by using traditional digital logic technologies, without the help from a powerful EDA tool or hardware description language.??In this paper, we introduce the GW48 serials EDA system from HongZhou KongXin electronic Inc, and explain how to design a music player circuit using a digital frequency multiplex system. The readers can get familiar with VHDL hardware description language and Quartus II developing environment.

Key words: EDA, VHDL, digital frequency multiplex system, music player circuit hardware.

1 引言

EDA是英文 'Electronics Design Automation(电子设计自动化)'的缩写。EDA 技术是近几年迅速发展起来的计算机软件、硬件和微电子交叉的现代电子设计学科,是现代电子工程领域的一门新技术。它是以可编程逻辑器件(PLD)为物质基础,以计算机为工作平台,以 EDA 工具软件为开发环境,以硬件描述语言(HDL)作为电子系统功能描述的主要方式,以电子系统设计为应用方向的电子产品自动化设计过程。

VHDL 是常用的 HDL, 它的英文全名是 VHSIC 'Very High Speed Integrated Circuit Handware Description Language (高速集成电路硬件描述语言)",VHDL 语言具有很强的电路描述和建模能力,能简化硬件设计任务,提高设计的效率和可靠性。

Quartus II 是 Altera 提供的 FPGA 'Field Programmable Gate Array (现场可编程门阵列)"和 CPLD 'Complex programmable Logic Device(复杂可编程逻辑器件)'的开发集成环境, Altera 是世界最大可编程逻辑器件供应商之一。Altera 的 Quartus II 提供了完整的多平台设计环境, 能满足各种特定设计的需要, 也是单芯片可编程系统(SOPC)设计的综合性环境和 SOPC 开发的基本设计工具, 并为 Altera DSP 开发包进行系统模型设计提供了集成综合环境。

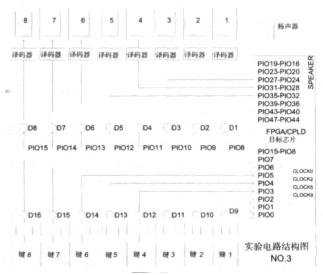
2 设计原理

本文通过利用数控分频器设计硬件乐曲演奏电路(电子琴)的设计实例, 使读者初步了解 VHDL 硬件描述语言和 Quartus II 开发环境。本设计是在 Altera 的 FPGA 芯片 CycloneEP1C6 和杭

饶 敏: 副教授

基金项目:北京市科技新星计划(2006B58)

州康芯电子有限公司生产的 GW48 系列 EDA 实验系统基础上完成的, 硬件测试用实验系统的电路模式 3, 特点是有 8 个琴键式键控发生器, 可用于设计八音琴等电路系统, 也可以产生时间长度可控的单次脉冲。该电路有 8 个译码输出显示的数码管, 以显示目标芯片的 32 位输出信号, 且 8 个发光管也能显示目标器件的 8 位输出信号。时钟为 50MHz. 输出接扬声器。



主系统 TONETABA.VHD 和 SPEAKER.VHD 2 个模块组成:

- (1) 音符的频率可以由 SPEAKER 获得, 这是一个数控分频器。由其 clk 端输入一具有较高频率(这里是 12MHZ)的信号, 通过 SPEAKERA 分频后由 SPKOUT 输出。
- (2) 音符的持续时间须根据乐曲的速度及每个音符的节拍数决定,模块 TONETABA 的功能是为 SPEAKERA 提供决定所

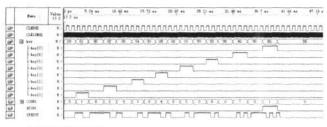
0010"; HIGH <=' 0' ;-- 912; 2 键

发音的分频预置值, 而此数在 SPEAKERA 输入口停留的时间即 WHEN "00000100" => Tone<="10000001100" : CODE<=' 为此音符的节拍值, 0011"; HIGH <=' 0' ;--1036; 3 键 when "00001000" => Tone<="10001000110"; CODE<=" 0100"; HIGH <=' 0' ;--1094 4键 WHEN "00010000" => Tone<="10010101101"; CODE<=" 0101": HIGH <=' 0' :- - 1197: 5 键 WHEN "00100000" => Tone<="10100001010"; CODE<=" 0110"; HIGH <=' 0' ;--1290; 6 键 乐曲演奏电路的 VHDL 逻辑描述如下: LIBRARY IEEE; -- 硬件演奏电路顶层设计 WHEN "01000000" => Tone<="10101011100"; CODE<=" 0111"; HIGH <=' 0' ;- - 1372; 7 键 USE IEEE.STD_LOGIC_1164.ALL; **ENTITY Songer IS** WHEN "10000000" => Tone<="10110000010": CODE<=" PORT (CLK12MHZ: IN STD_LOGIC; 1000"; HIGH <=' 1' ;--1410; 8 键 音调频率信号 WHEN OTHERS => NULL: ToneIndex : IN STD_LOGIC_VECTOR(7 DOWNTO 0); END CASE: 8 个按键输入 CODE1 : OUT END PROCESS: STD LOGIC VECTOR (3 DOWNTO 0):-- 简谱码输出显示 END; 模块 SPEAKERA: HIGH1: OUT STD_LOGIC; -- 高 8 度指示 SPKOUT : OUT STD LOGIC); -- 声音输出 ARCHITECTURE one OF ToneTaba IS END: ARCHITECTURE one OF Songer IS **BFGIN** COMPONENT ToneTaba PROCESS(Index) PORT (Index: IN STD_LOGIC_VECTOR (7 DOWNTO 0); **BEGIN** 8个按键输入 CASE Index IS -- 译码电路, 查表方式, 控制音调的预 CODE: OUT STD_LOGIC_VECTOR (3 DOWNTO 0); 置数 WHEN "0000" => Tone<="1111111111" : CODE<="0000": HIGH: OUT STD LOGIC; Tone: OUT STD_LOGIC_VECTOR (10 DOWNTO 0)); HIGH <=' 0' ;- - 2047 END COMPONENT; WHEN "0001" => Tone<="01100000101": CODE<="0001": COMPONENT Speakera HIGH <=' 0' :-- 773; PORT (clk: IN STD_LOGIC; WHEN "0010" => Tone<="01110010000"; CODE<="0010"; Tone: IN STD_LOGIC_VECTOR (10 DOWNTO 0); HIGH <=' 0' ;-- 912; SpkS: OUT STD_LOGIC); WHEN "0011" => Tone<="10000001100"; CODE<="0011"; END COMPONENT; HIGH <=' 0' ;--1036; SIGNAL Tone: STD_LOGIC_VECTOR (10 DOWNTO 0); WHEN "0101" => Tone<="10010101101"; CODE<="0101"; **BEGIN** HIGH <=' 0' :- - 1197: u2: ToneTaba PORT MAP (Index=>ToneIndex,Tone=>Tone, WHEN "0110" => Tone<="10100001010"; CODE<="0110"; CODE=>CODE1,HIGH=>HIGH1); HIGH <=' 0' :- - 1290: u3: Speakera PORT MAP (clk=>CLK12MHZ,Tone=>Tone, WHEN "0111" => Tone<="10101011100"; CODE<="0111"; SpkS=>SPKOUT); HIGH <=' 0' :-- 1372; END: WHEN "1000" => Tone<="10110000010"; CODE<="0001"; 模块 TONETABA: HIGH <=' 1' :-- 1410; WHEN "1001" => Tone<="10111001000"; CODE<="0010"; ARCHITECTURE one OF ToneTaba IS HIGH <=' 1' :-- 1480; **BEGIN** WHEN "1010" => Tone<="11000000110"; CODE<="0011"; PROCESS(Index) HIGH <=' 1' ;- - 1542; **BEGIN** WHEN "1100" => Tone<="11001010110"; CODE<="0101"; CASE Index IS -- 译码电路, 查表方式, 控制音调的预 HIGH <=' 1' ;- - 1622; 置数 WHEN "1101" => Tone<="11010000100"; CODE<="0110"; WHEN "00000000" => Tone<="11111111111"; CODE<=" HIGH <=' 1' :- - 1668: 0000"; HIGH <=' 0' ;- - 2047 WHEN "1111" => Tone<="11011000000"; CODE<="0001"; WHEN "00000001" => Tone<="01100000101"; CODE<=" HIGH <=' 1' :-- 1728; 0001"; HIGH <=' 0' ;-- 773; 1 键 WHEN OTHERS => NULL; WHEN "00000010" => Tane<="01110010000"; CODE<=" END CASE;

END PROCESS;

END:

3 逻辑时序仿真



引脚绑定如下:

100	To	Location	I/O Benk	1/O Standard	General Function	Special Function
1	CIKI2MH2	PIN_28		TALLE	Gear, Med Conf.	distribution of
25.33	€ CODEI(D)	PIN_13		LVTTL		
1	€# COOE1[1]	PIN_14		LVTTL		
•	€ CODE![2]	PIN_15		LYTTL		
5	€ COOE1[3]	PIN,16	1	LVTTL		
6	GHGH)	P0N_1	11	LYTTL		A VOIL HE TIME SCR
2	saf sprout	PIN_174	3 1 100	LYTTL	Basin I/O	TRICOMOSSAT
8	salf-ToneIndex[0]	PIN 233	- 12	LYTTL	Congressity	F-0319/5-0104
9.	suir ToneIndex[1]	P9N_234	2	LYTTL		AV561800/X5915
10	sill*ToneIndex(2)	PIN_235	12	LYTTL	**sp#11**	AV0313/JD0014
it	szir fonetridex(3)	PSN_236	2	LYTTL	Catalog 200	100017850017
12	salt ToneIndex(4)	PSN_237	2	LYTTL	CHARDS	
13	gap ToneIndex(5)	PIN_236	2	LVTTL	CHARGO DO	
14	salt ToneIndex(6)	P1N_239	2	LVTTL.	Course (65)	INTERSTITEV DE
15	sili-ToneIndex[7]	PSN_240	2	LYTTL	Linkson Triv	
16	(Crewa)	C CTYPN 'S , I				

4 结论

本文作者创新点是基于 FPGA 完成乐曲演奏电路,在 AItera Quartus II 环境下,用 VHDL 语言实现电子琴演奏音乐的设计实例,设计者根据 VHDL 的语法规则,对系统的逻辑行为进行描述,然后通过综合工具进行电路结构的综合、编译、优化,用仿真,可在短时间内设计出高效、稳定、符合设计要求的电路。本设计还可扩展为多个音阶的电子琴,并利用 FPGA 内部的ROM 装上多首歌曲,可用手动或自动选择歌曲。与利用微处理器(CPU 和 MCU)来实现乐曲演奏相比,可以很简单的设计出多种演奏电路,具有高性能,高可靠性等优点,在性能价格比方面优于同类产品,有着广泛的应用前景和使用价值。

参考文献

[1]潘松,黄继业.EDA 技术与 VHDL[M] .清华大学出版社 2005 [2]边计年.用 VHDL 设计电子线路[M] .清华大学出版社 2005 [3]冯江,王晓燕.IC 设计中的 VHDL 语言应用研究[J]微计算机信息,2006,1:249-251。

作者简介:饶敏(1961-),女(汉),北京人,首都师范大学信息工程学院副教授,从事计算机应用的教学和科研工作;邱德慧(1975-),女(汉),四川人,首都师范大学信息工程学院讲师,从事计算机应用的教学和科研工作;符宇同(1984-),男(汉),北京市,首都师范大学信息工程学院学生。

Biography: Rao Min (1961-), female (Han nationality), Beijing, Associate professor of College of Information Engineering Capital Normal University. Engaged in teaching and research work in computer application.

(100037 北京 首都师范大学)饶敏 邱德慧 符宇同 通讯地址:(100037 北京 北京西三环北路 56 号北京 801 信箱) 饶敏

(收稿日期:2007.8.23)(修稿日期:2007.10.15)

(上接第308页)

Biography: Chen Xing, female, han, Master Degree. Research: digital signal process, communication system; Wang Zhaoba,

male, han, PHD. Research: signal process and re-structure (030051 山西太原 中北大学)陈星 王召巴

(North University of China, Taiyuan Shanxi 030051, China) Chen Xing Wang Zhaoba

通讯地址: (030051 山西太原 中北大学)陈星

(收稿日期:2007.8.23)(修稿日期:2007.10.15)

(上接第 312 页)

达到稳定状态所用的时间是很长的,大约是 10 分钟,这主要是因为所用的半导体制冷器 TEC是小功率的。从上面的结果可以看出,本文设计的温度控制系统能够被用来稳定激光器的工作温度。

本文设计的激光温度控制器具有适应性强、温度控制精度高、操作简单直观等优点。是一种比较可行的激光温度控制器方案,与当前普遍采用分立元件设计相比,简化了80%的设计。

本文作者的创新点:摆脱了以往用分立元件设计电路的方法,不仅简化了设计的难度,而且还提高了温度控制的精度。提高了整个系统的稳定性。

参考文献:

[1] N. Niltawach and J. T. Johnson, "Implementation of a Temperature Monitoring Circuit," May 6, 2003.

[2] 彭祖林 ,用于测量体温的无线实时测量系统的设计与实现 , 微计算机信息[J] ,2005 ,1(21) ,59- 60

作者简介: 闫晓梅(1979-), 女(汉族), 山西省阳泉市人, 太原科技大学助教, 中北大学研究生, 主要从事信号与信息处理方面的研究。电子信箱: yanxm7980@sina.com.张记龙(1964-),男(汉族),山西临汾人,中北大学教授,博士生导师,主要从事光电探测与应用研究。

Biography: Yan Xiaomei born in 1979, Shanxi province yangquan city. Taiyuan University Of Science & Technology Ccollege assistant, She is a post-graduate student, applying for the master's degree, the research direction is signal and information manage.

(太原科技大学)闫晓梅

(030051 山西 太原 中北大学光电信息技术研究所) 闫晓梅 张记龙 徐振峰

通讯地址:(030051 山西 太原 中北大学光电信息技术研究所) 闫晓梅

(收稿日期:2007.8.10)(修稿日期:2007.10.15)

《现场总线技术应用200例》

现场总线技术是现代工厂、商业设施、楼宇、公共设施运行、 生产过程中的现场设备、仪表、执行机构与控制室的监测、控制装 置及管理与控制系统之间的数字式、多点通信互连的,数据总线式 智能底层控制网络。

现场总线技术保证了现代工厂、商业设施、智能楼宇、公共设施(自来水、污水处理、输变供电、燃气管道、自动抄表、交通管理等),高可靠、低成本、安全绿色生产运行,同时易于改变生产工艺,多品种生产过程。

本书 200 个应用案例,介绍了 profibus、FF、CANbus、DeviceNET、WorldFIP、INTERbus、CC-Link、Lo-nWorks 及 OPC、工业以太网、TCP/IP 在石油、化工、电力、冶金、铁路、制烟、造酒、制药、水泥、电力传动、机械、交通、设备管理、消防、自来水厂、电解铜、电解铝、继电保护、粮仓及储运、汽车检测、油库管理、造纸、气象、远程抄表、电缆生产、暖通空调、电梯、楼宇自动化及安防、

本书是工程设计人员、设备维护人员、设备采购人员、技术领导干部、大、中专学校教员的案头参考书,同时也是大专院校本科生、研究生做课题、搞毕业设计的必备参考书。有志向有兴趣的高中以上文化水平的人均为本书读者。

本书已出版。大 16 开, 每册定价 110 元(含邮费)。 预购者请将书款及邮寄费通过邮局汇款至

地址:北京海淀区皂君庙 14 号院鑫雅苑 6 号楼 601 室 微计算机信息 编辑部 邮编:100081

电话: 010-62132436 http://www.autocontrol.com.cn E-mail:editor@autocontrol.com.cn 010-62192616(T/F) http://www.autocontrol.cn E-mail:control-2@163.com