

Logica combinatorial - MSI

OdC 2025

Escala de Integración Media (MSI)

A medida que la tecnología de integración se fue desarrollando, cada vez fue posible incluir más transistores en la misma área de silicio.

Esto hizo que puedan fabricarse circuitos más complejos que integran circuitos de utilidad específica, como:

- Multiplexores
- Decodificadores / Codificadores
- Sumadores binarios
- etc.

Ejercicio 8: Decodificadores

Un DECODIFICADOR es un circuito combinacional que convierte información binaria de 'N' entradas codificadas (**A**), a ' 2^N ' salidas únicas (**X**). Esto quiere decir que sólo una salida **X** está activa y representa el valor de las señales de entrada **A**.

Considere un Decodificador activo por bajo (salida activa = '0') con $N=2$ y $2^N=4$ (deco 2 x 4).

- a - Expresar las tablas de verdad de las cuatro salidas X_0 , X_1 , X_2 y X_3 .
- b - Encontrar las expresiones de X_0 , X_1 , X_2 y X_3 como suma de minitérminos y como producto de maxitérminos.
- c - Encontrar expresiones minimizadas de X_0 , X_1 , X_2 y X_3 utilizando el método de Karnaugh o un método algebraico.
- d - Implementar las expresiones anteriores a través del uso de compuertas lógicas.
- e - Repetir el punto (d) agregando una entrada de HABILITACIÓN (**E**) activa por bajo, de tal forma que cuando **E**='1' ninguna señal de salida permanezca habilitada.

Ejercicio 8: Decodificadores

Un DECODIFICADOR es un circuito combinacional que convierte información binaria de 'N' entradas codificadas (**A**), a ' 2^N ' salidas únicas (**X**). Esto quiere decir que sólo una salida **X** está activa y representa el valor de las señales de entrada **A**.

Considere un Decodificador activo por bajo (salida activa = '0') con $N=2$ y $2^N=4$ (deco 2 x 4).

a - Expresar las tablas de verdad de las cuatro salidas X_0 , X_1 , X_2 y X_3 .

A_1	A_0	X_3	X_2	X_1	X_0

Ejercicio 8: Decodificadores

Un DECODIFICADOR es un circuito combinacional que convierte información binaria de 'N' entradas codificadas (**A**), a '2^N' salidas únicas (**X**). Esto quiere decir que sólo una salida **X** está activa y representa el valor de las señales de entrada **A**.

Considere un Decodificador activo por bajo (salida activa = '0') con N=2 y 2^N=4 (deco 2 x 4).

b - Encontrar las expresiones de X₀, X₁, X₂ y X₃ como suma de minitérminos y como producto de maxitérminos.

A ₁	A ₀	X ₃	X ₂	X ₁	X ₀
0	0	1	1	1	0
0	1	1	1	0	1
1	0	1	0	1	1
1	1	0	1	1	1

Suma de miniterminos

$$X_0 = (A_1'.A_0)+(A_1.A_0')+(A_1.A_0)$$

$$X_1 = (A_1'.A_0')+(A_1.A_0')+(A_1.A_0)$$

$$X_2 = (A_1'.A_0')+(A_1'.A_0)+(A_1.A_0)$$

$$X_3 = (A_1'.A_0')+(A_1'.A_0)+(A_1.A_0')$$

Producto de maxiterminos

$$X_0 = (A_1+A_0)$$

$$X_1 = (A_1+A_0')$$

$$X_2 = (A_1'+A_0)$$

$$X_3 = (A_1'+A_0')$$

Ejercicio 8: Decodificadores

Un DECODIFICADOR es un circuito combinacional que convierte información binaria de 'N' entradas codificadas (**A**), a '2^N' salidas únicas (**X**). Esto quiere decir que sólo una salida **X** está activa y representa el valor de las señales de entrada **A**.

Considere un Decodificador activo por bajo (salida activa = '0') con N=2 y 2^N=4 (deco 2 x 4).

c - Encontrar expresiones minimizadas de X₀, X₁, X₂ y X₃ utilizando el método de Karnaugh o un método algebraico.

A ₁	A ₀	X ₃	X ₂	X ₁	X ₀
0	0	1	1	1	0
0	1	1	1	0	1
1	0	1	0	1	1
1	1	0	1	1	1

X₀

		A ₁	
		0	1
A ₀	0		1
	1	1	1

X₁

		A ₁	
		0	1
A ₀	0	1	1
	1		1

X₂

		A ₁	
		0	1
A ₀	0	1	
	1	1	1

X₃

		A ₁	
		0	1
A ₀	0	1	1
	1	1	

$$X_0 = (A_1 + A_0)$$

$$X_1 = (A_1 + A_0')$$

$$X_2 = (A_1' + A_0)$$

$$X_3 = (A_1' + A_0')$$

Ejercicio 8: Decodificadores

Un DECODIFICADOR es un circuito combinacional que convierte información binaria de 'N' entradas codificadas (**A**), a '2^N' salidas únicas (**X**). Esto quiere decir que sólo una salida **X** está activa y representa el valor de las señales de entrada **A**.

Considere un Decodificador activo por bajo (salida activa = '0') con N=2 y 2^N=4 (deco 2 x 4).

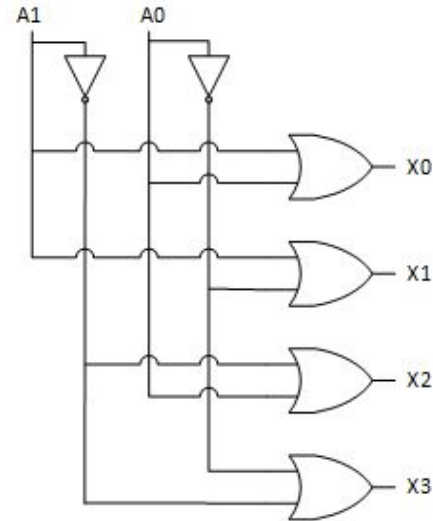
d - Implementar las expresiones anteriores a través del uso de compuertas lógicas.

$$X_0 = (A_1 + A_0)$$

$$X_1 = (A_1 + A_0')$$

$$X_2 = (A_1' + A_0)$$

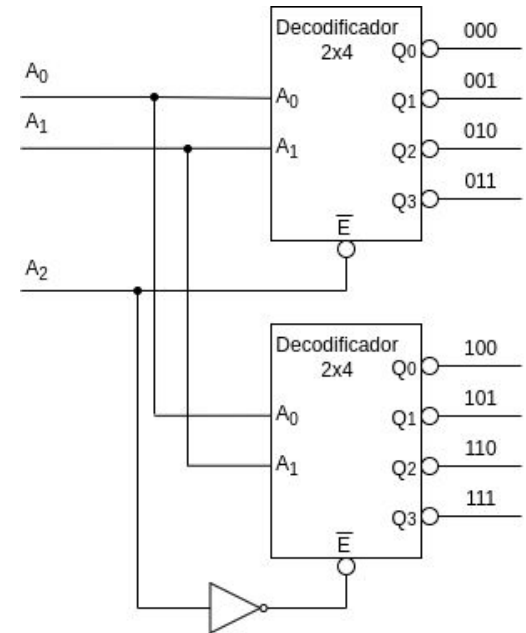
$$X_3 = (A_1' + A_0')$$



Ejercicio 9: Decodificadores (3x8 y 4x16)

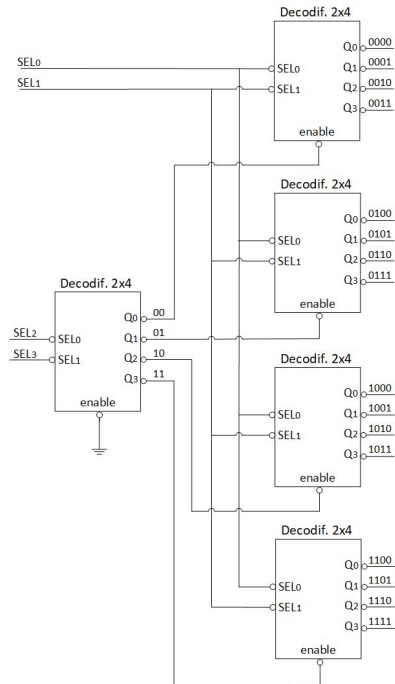
Implementar un decodificador de 3 x 8 y otro de 4 x 16 a partir de decodificadores 2 x 4 activos por bajo, con entrada de habilitación (**E**) activa por bajo y compuertas lógicas.

A ₂	A ₁	A ₀	X ₆	X ₆	X ₅	X ₄	X ₃	X ₂	X ₁	X ₀
0	0	0	1	1	1	1	1	1	1	0
0	0	1	1	1	1	1	1	1	0	1
0	1	0	1	1	1	1	1	0	1	1
0	1	1	1	1	1	1	0	1	1	1
1	0	0	1	1	1	0	1	1	1	1
1	0	1	1	1	0	1	1	1	1	1
1	1	0	1	0	1	1	1	1	1	1
1	1	1	0	1	1	1	1	1	1	1



Ejercicio 9: Decodificadores (3x8 y 4x16)

Implementar un decodificador de 3 x 8 y otro de 4 x 16 a partir de decodificadores 2 x 4 activos por bajo, con entrada de habilitación (**E**) activa por bajo y compuertas lógicas.



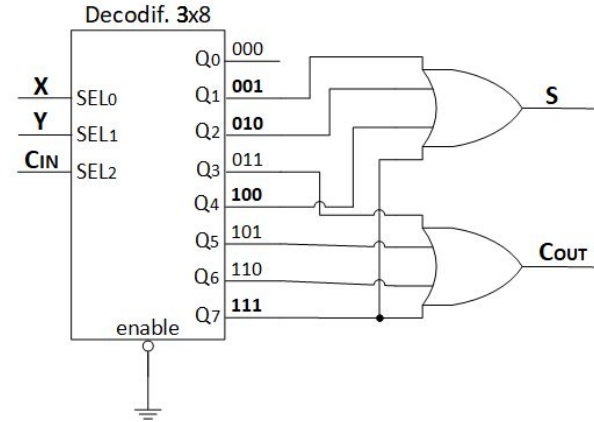
Ejercicio 10: Sumador

- a - Diseñar un circuito SUMADOR COMPLETO (3 entradas: X , Y , C_{IN} ; 2 salidas: S , C_{OUT}) mediante el uso de un Decodificador de salida activa por alto y compuertas OR.
- b - Diseñar un sumador completo usando dos semisumadores y una compuerta.

Ejercicio 10: Sumador

a - Diseñar un circuito SUMADOR COMPLETO (full adder) de 3 entradas: **X**, **Y**, **C_{IN}** y 2 salidas: **S**, **C_{OUT}** mediante el uso de un Decodificador de salida activa por alto y compuertas OR.

C_{in}	X	Y	C_{out}	S
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

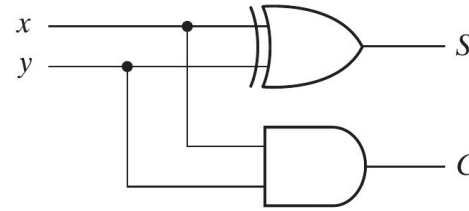


Ejercicio 10: Sumador

b - Diseñar un sumador completo usando dos semisumadores y una compuerta.

Semisumador (half adder)

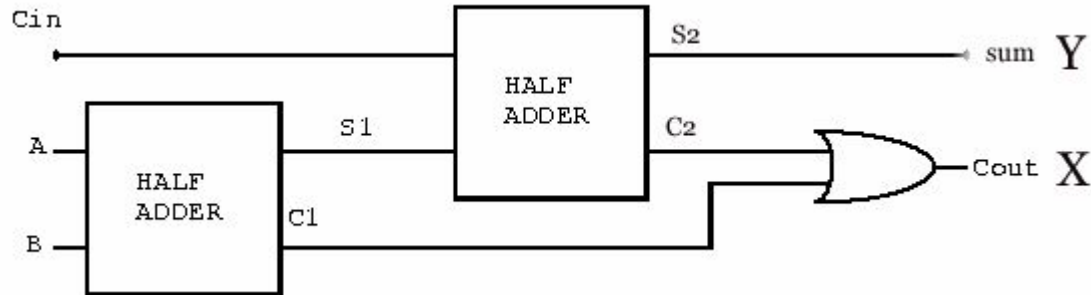
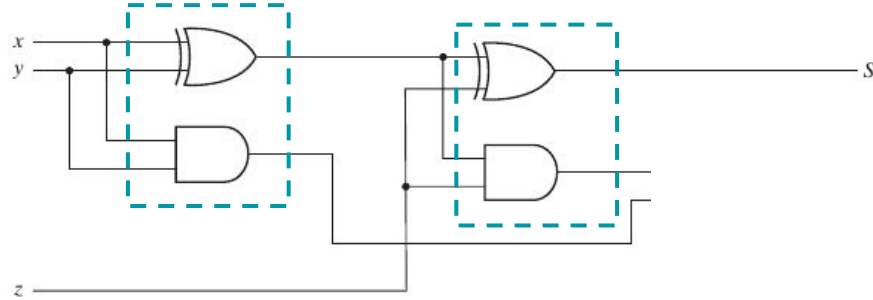
x	y	C	S
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0



$$S = x \oplus y$$
$$C = xy$$

Ejercicio 10: Sumador

b - Diseñar un sumador completo usando dos semisumadores y una compuerta.



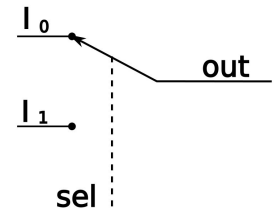
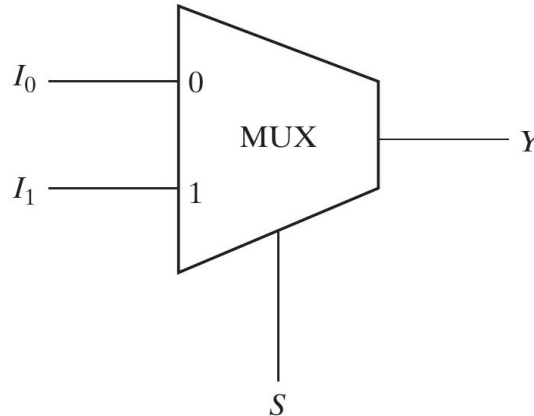
Ejercicio 11: Multiplexores

Un MULTIPLEXOR (MUX) es un circuito combinacional que selecciona información binaria de muchas entradas y la dirige a una única salida (Y), conforme al estado de las señales de selección. Si un MUX posee ' 2^N ' entradas de información (**D**) requiere '**N**' señales de selección (**S**).

- Expresar la tabla de verdad de un MUX de 2 entradas y una salida, y su implementación mediante el uso de compuertas lógicas (AND, OR, NOT, NOR, NAND, etc.)
- Mostrar cómo se puede usar un MUX para obtener una compuerta NOT.
- ¿Cómo obtener un MUX de 4 entradas (y una salida) en base a multiplexores de 2 entradas?
- ¿Cómo obtener un multiplexor de '**N**' entradas con multiplexores de 2 entradas?

Ejercicio 11: Multiplexores

Un MULTIPLEXOR (MUX) es un circuito combinacional que selecciona información binaria de muchas entradas y la dirige a una única salida (Y), conforme al estado de las señales de selección. Si un MUX posee ' 2^N ' entradas de información (**D**) requiere '**N**' señales de selección (**S**).



Ejercicio 11: Multiplexores

Un MULTIPLEXOR (MUX) es un circuito combinacional que selecciona información binaria de muchas entradas y la dirige a una única salida (Y), conforme al estado de las señales de selección. Si un MUX posee ' 2^N ' entradas de información (**D**) requiere '**N**' señales de selección (**S**).

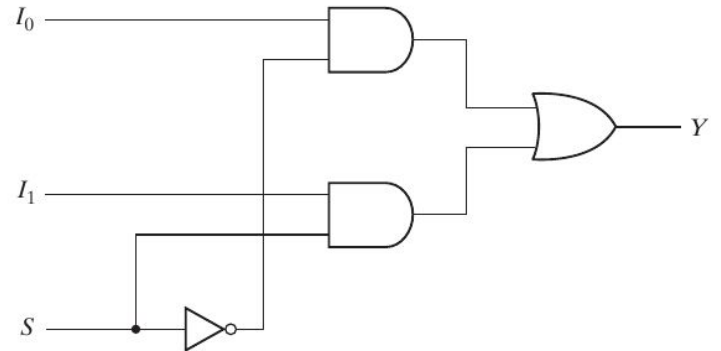
a - Expresar la tabla de verdad de un MUX de 2 entradas y una salida, y su implementación mediante el uso de compuertas lógicas (AND, OR, NOT, NOR, NAND, etc.)

S	I ₁	I ₀	Y

=

S	Y
0	I ₀
1	I ₁

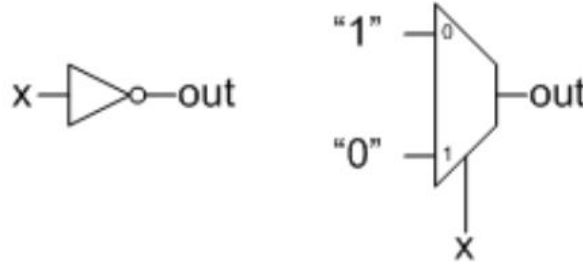
$$Y = I_0 S' + I_1 S$$



Ejercicio 11: Multiplexores

Un MULTIPLEXOR (MUX) es un circuito combinacional que selecciona información binaria de muchas entradas y la dirige a una única salida (Y), conforme al estado de las señales de selección. Si un MUX posee ' 2^N ' entradas de información (**D**) requiere ' N ' señales de selección (**S**).

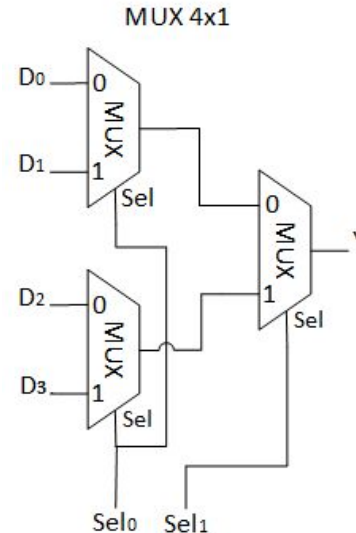
b - Mostrar cómo se puede usar un MUX para obtener una compuerta NOT.



Ejercicio 11: Multiplexores

Un MULTIPLEXOR (MUX) es un circuito combinacional que selecciona información binaria de muchas entradas y la dirige a una única salida (Y), conforme al estado de las señales de selección. Si un MUX posee ' 2^N ' entradas de información (**D**) requiere ' N ' señales de selección (**S**).
c - ¿Cómo obtener un MUX de 4 entradas (y una salida) en base a multiplexores de 2 entradas?

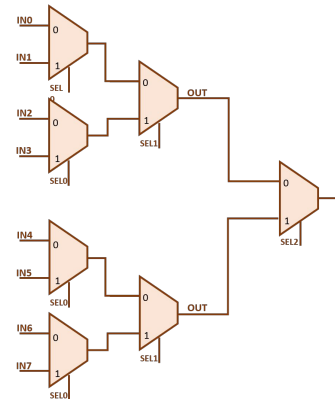
s_1	s_0	Y
0	0	I_0
0	1	I_1
1	0	I_2
1	1	I_3



Ejercicio 11: Multiplexores

Un MULTIPLEXOR (MUX) es un circuito combinacional que selecciona información binaria de muchas entradas y la dirige a una única salida (Y), conforme al estado de las señales de selección. Si un MUX posee ' 2^N ' entradas de información (**D**) requiere '**N**' señales de selección (**S**).
d - ¿Cómo obtener un multiplexor de '**N**' entradas con multiplexores de 2 entradas?

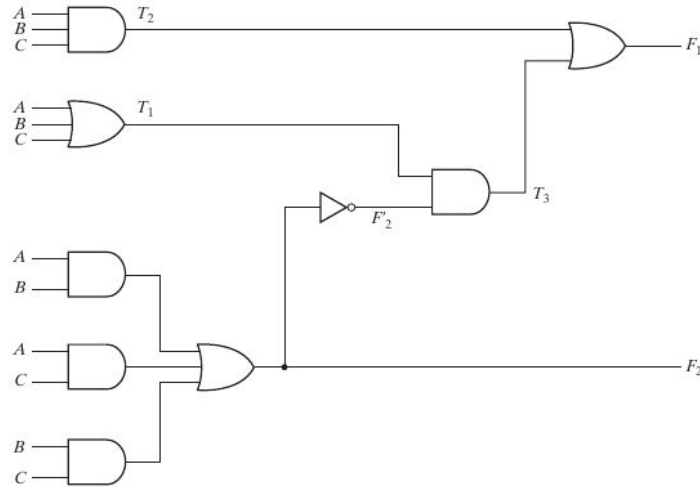
- 1 - Se debe poner una primer columna de multiplexores (MUXes de la izquierda) hasta obtener la cantidad de entradas requeridas.
 - 2 - Luego una segunda columna de multiplexores compuesta por la mitad de multiplexores que la columna anterior.
 - 3 - Repetir esta secuencia, hasta obtener una última columna de MUX (columna de derecha) compuesta de un solo multiplexor.
- Todas las líneas de selección (Sel) de los MUX de una misma columna deben conectarse juntas, tomando el menos significativo para la primer columna de la derecha, e incrementándose hacia la derecha



Ejercicio 6

Analizar los circuitos de lógica combinacional de la figura. Para cada uno:

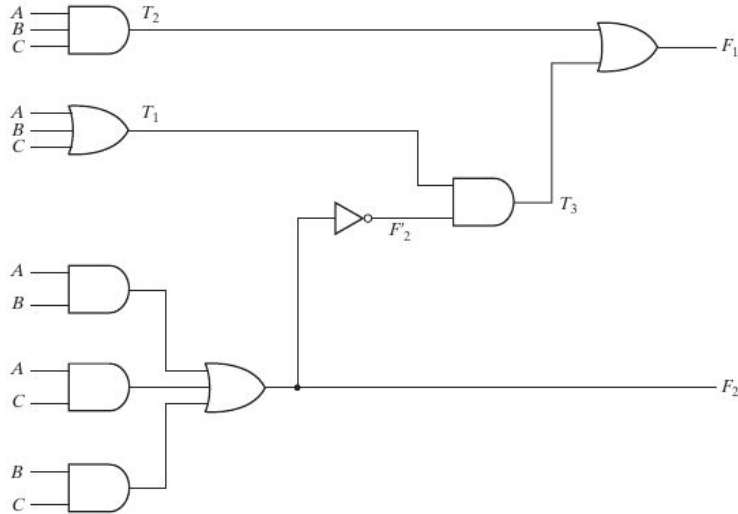
- Escribir la función booleana correspondiente.
- Encontrar la tabla de verdad para la función obtenida.
- Obtener la función minimizada como suma de productos a partir del mapa de Karnaugh.
- Dibujar el circuito de lógica combinacional resultante del punto (c).



Ejercicio 6

Analizar los circuitos de lógica combinacional de la figura. Para cada uno:

- Escribir la función booleana correspondiente.



$$F_2 = AB + AC + BC$$

$$T_1 = A + B + C$$

$$T_2 = ABC$$

$$T_3 = F_2' T_1$$

$$F_1 = T_3 + T_2$$

$$\begin{aligned} F_1 &= T_3 + T_2 = F_2' T_1 + ABC = (AB + AC + BC)'(A + B + C) + ABC \\ &= (A' + B')(A' + C')(B' + C')(A + B + C) + ABC \\ &= (A' + B'C')(AB' + AC' + BC' + B'C) + ABC \\ &= A'BC' + A'B'C + AB'C' + ABC \end{aligned}$$