

数字逻辑实验报告

学 期	2020-2021 学年第 1 学期		实验日期	学生填写	
学 院	学生填写		专 业	学生填写	
班 级	学生填写	学 号	学生填写	姓 名	学生填写
组 号	学生填写	学 号	学生填写	姓 名	学生填写
评 阅 内 容此栏内容由教师填写					
实验预习	实验原理	详细设计	实验结果	成 绩	
题 目	实验 1: <u>XXXXXX</u> (根据具体实验修改)				
<p>一. 实验目的 (参考实验指导书撰写)</p> <p>1. 掌握计数器的工作原理</p> <p>2. 掌握利用集成器件设计计数器的方法</p> <p>二. 实验任务及要求 (参考实验指导书撰写)</p> <p>任务: 设计一个十进制计数器</p> <p>要求: 1、输入端包括: 时钟端、清零端、计数控制端。</p> <p>输出端包括: 4 位计数输出端和 1 位进位输出端。</p> <p>2、课前编写好程序。</p> <p>3、Quartus II 13.0 软件进行编辑、编译、仿真。</p> <p>4、根据实验平台进行引脚分配并下载演示实验结果。</p> <p>三. 实验原理</p> <p>图 1 为十进制计数器原理框图, 本次实验共涉及三个模块。其中输入信号可由拨动开关提供, 显示模块可以由直接由 LED 显示或通过七段译码电路送数码管显示, 计数器模块包括计数逻辑和清零逻辑, 其中计数逻辑完成计数器加 1 的功能, 清零逻辑在计数到 9 时输出清零信号, 在下一个时钟到来时完成计数器清零。</p>					

报告部分, 尽量格式、字体统一, 减少不要的空行; 各部分要有相应的文字描述, 不能只有图没有文字。

数字逻辑实验报告

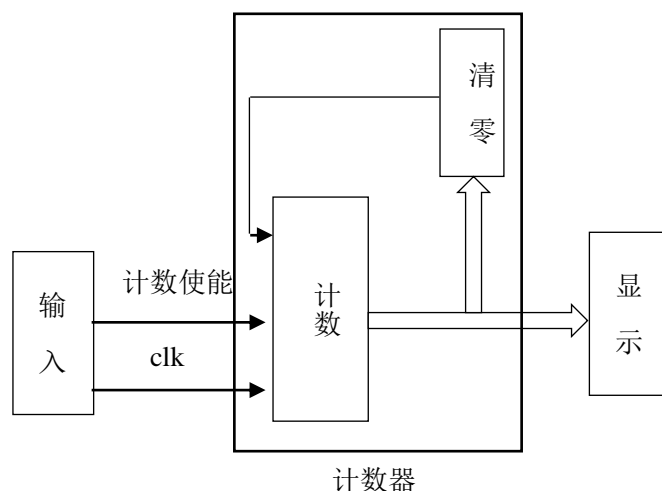


图 1 十进制计数器原理框图

四. 详细设计 (根据原理框图进行设计, 要有文字性描述并给出电路原理图或代码。如涉及到有关真值表、化简、状态图等内容, 也需要列出。)

1、电路实现

根据要求需采用集成计数器实现, 可选用 74163 十六进制加法计数器 (也称四位二进制计数器)。图 2 为该器件的符号图, 表 1 为该器件的功能表。可以看出该器件具有同步清零或置数功能, 且输入端已包含时钟端、清零端、计数控制端, 输出端包含 4 位计数输出端和 1 位进位输出端。由于 74163 器件在 ENT、ENP、LDN 和 CLRN 均为“1”时, 输出端 Y3、Y2、Y1 和 Y0 在时钟 CLK 作用下按 0000、0001、...1111、0000 规律循环变化。因此只需提供一个时钟和计数使能信号就可以实现计数器加 1 的功能; 若要完成 1001 跳转至 0000, 只要增加一个与非门并有效利用其同步清零或同步置数功能就可以实现。

电路实现如图 3 所示。置数端始终接至高电平; Y3、Y1 的输出通过一个与非门接至 74163 的 CLRN 端 (CLRn 端为电平有效), 当输出端 QD、QC、QB、QA 为 1001 时, 利用清零端 CLRn 为“0”使其输出为 0000。

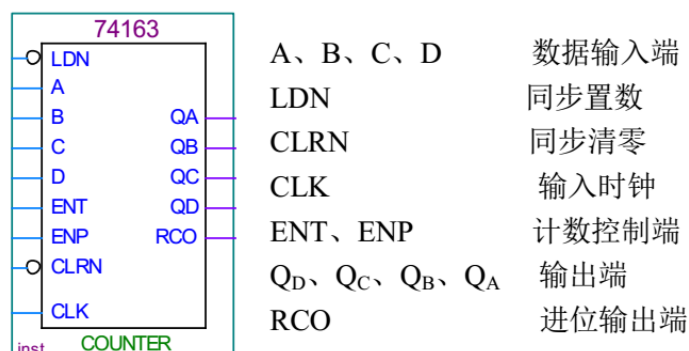


图 2 74163 符号图

数字逻辑实验报告

表 1 74163 功能表

输入控制端					功能
CLR _N	LD _N	EN _P	EN _T	CLK	
0	X	X	X	↑	清零
1	0	X	X	↑	置数（接收输入端 ABCD 数据）
1	1	0	X	X	保持
1	1	X	0	X	保持
1	1	1	1	↑	计数器加 1

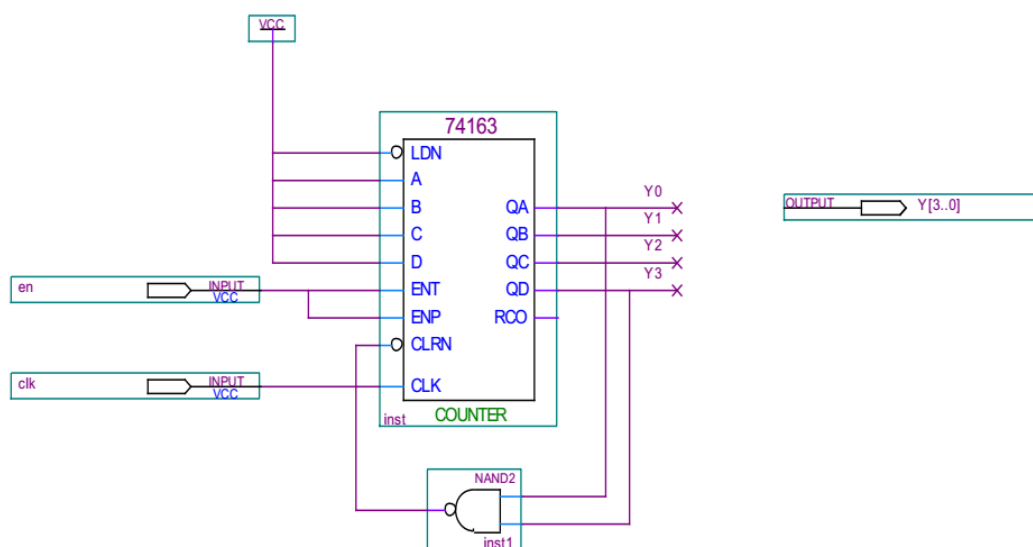


图 3 用 74163 同步清零功能实现的十进制加法计数器

2、仿真（对于主要波形需有文字性描述或解释）

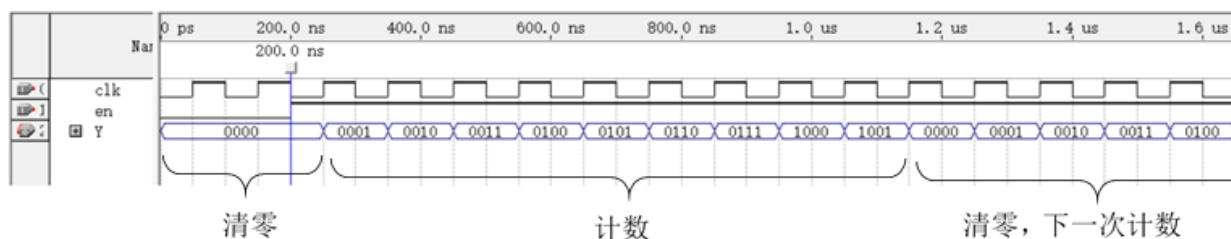
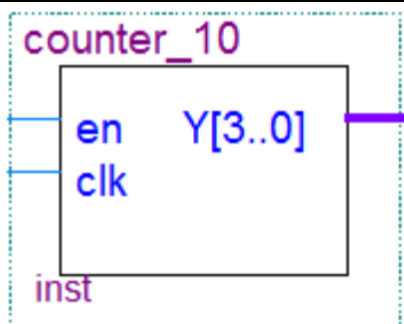


图 4 十进制计数器仿真波形

从仿真波形图上可以看到，en 为低电平时计数器不计数，en 为高电平时进入计数状态，clk 每一个上升沿，计数器加 1；当计数器从 0000 计数到 1001 时，计数器清 0，从波形上可以验证本电路设计符合要求。

3、封装图

数字逻辑实验报告



输入端: en 使能信号
 clk 工作时钟
 输入端: y[3..0] 计数值

五. 实验结果

1、引脚分配 (说明输入输出分别连接到实验台上的哪些部件, 如开关, LED、数码管等。)

输入端 en 接拨动开关。

输入端的时钟信号 clk, 选择 EXTEND-MODULE1 中 FPGA_EA2 上的 PIN_P20;

4 个输出连接红色信号指示灯 D4~D0。

具体引脚分配见表 2。

表 2 十进制计数器所选平台端口及对应引脚编号

平台端口	SW1	EA2	LED1	LED2	LED3	LED4
引脚号	PIN_N18	PIN_P20	PIN_U12	PIN_V12	PIN_V15	PIN_W13
输出端名称	en	clk	y[3]	y[2]	y[1]	y[0]

参考表 2, 在 Quartus II 中进行引脚分配并锁定, 如图 5 所示

	From	To	Assignment Name	Value	Enabled
1		clk	Location	PIN_P20	Yes
2		en	Location	PIN_N18	Yes
3		Y	Location		Yes
4		Y[0]	Location	PIN_W13	Yes
5		Y[1]	Location	PIN_V15	Yes
6		Y[2]	Location	PIN_V12	Yes
7		Y[3]	Location	PIN_U12	Yes
8	<<new>>	<<new>>	<<new>>		

图 5 引脚分配图

2、实验现象 (根据输入, 记录下观察到的现象; 也可用表的形式将现象记录下来)

下载后, 将 en 拨至下, 四个 LED 灯全亮 (实验台上 LED 低电平时点亮), 处于保持状态; 将 en 拨至上, 可以看到四个 LED 灯按照计数值依次点亮。

Quantus II - D:\Study\newtest\counter\counter160 - counter160 - (counter_10.bdf)

File Edit View Project Assignments Processing Tools Window Help

Project Navigator counter160 counter_10.bdf

Entity Logic Calls
Cyclone: A100
counter_10 11 (1)

Tests
Full Design

Taskbar
Start Project
Adaptors
Create Design
Assign Constraints
Compile Design
Analysis & Synthesis
Filter (Place & Route)
Assembler (Generate program)
Classic Timing Analysis
EDA Toolset Writer
Edit Settings
View Report

Program Device (Open Programmer)
Verify Design
Simulate Design
On-chip Debugging
PowerPlay Power Analyzer
Engineering Change Order (ECO)
Export Database
Archive Project

Type Message

System Processing Extra Info Info Warning Critical Warning Error Suppressed Flag
Message Location

for Help, press F1

counter_10.bdf

74163

LDN
A
B
C
D
ENT
CLR
RCD
OA
OB
OC
OD
Y0
Y1
Y2
Y3

en
clk

Y3.0

COUNTER

Y3.0

附图：顶层模块