

توجه: امکان انتخاب چند جواب برای یک سوال وجود دارد. به ازای گزینه درست ۳ امتیاز مثبت و به ازای هر گزینه غلط یک امتیاز منفی در نظر گرفته خواهد شد.

سوال ۱.

در یک پردازنده آدرس‌ها ۳۲ بیتی هستند. اگر این پردازنده یک حافظه نهان با گنجایش ۸ مگابایت داشته باشد که به صورت 4-Way Set Associative سازماندهی شده باشد، میزان سربرار حافظه نهان چند MBit است؟ (توجه داشته باشید که هر خانه حافظه یک کلمه ۴ بیتی است.)

(۱) ۲۸ (۳) ۳۲

(۲) ۳۰ (۴) ۳۶

سوال ۲.

یک حافظه نهان 4-Way Set Associative با حجم ۸۱۹۲ بایت را در نظر بگیرید. هر بلوک حافظه نهان شامل ۴ کلمه ۴ بیتی است. طول میدان‌های offset و set در آدرس به ترتیب از راست به چپ چند بیت هستند؟

(۱) ۴ و ۶ (۳) ۲ و ۸

(۲) ۴ و ۷ (۴) ۲ و ۹

سوال ۳.

نرخ برخورد (Hit ratio) برای حافظه نهان و حافظه اصلی در یک سیستم رایانه‌ای شامل این دو حافظه و هارد دیسک، به ترتیب زیر همراه با زمان‌های دسترسی هر یک داده شده است:

$$h_c = 0.95, t_c = 1ns \quad h_{mm} = 0.9, t_{mm} = 10ns \quad t_D = 0.1ms$$

زمان متوسط دسترسی به حافظه در این سیستم چند نانوثانیه است؟

(۱) ۱۱ (۳) ۱۰۱/۴

(۲) ۱/۴ (۴) ۵۰۱/۴

سوال ۴.

مزیت و کاستی نگاشت انجمن مجموعه‌ای (Set associative mapping) حافظه نهان نسبت به نگاشت مستقیم کدام است؟

(۱) مزیت: امکان بیشتر یافتن جا در مجموعه‌های حافظه نهان برای بلوک‌های حافظه اصلی

کاستی: پیچیده‌تر شدن جابه‌جایی و جایگزینی بلوک‌ها در هر مجموعه

(۲) مزیت: داشتن فضای بیشتر ذخیره‌سازی داده‌های پرمصرف

کاستی: کاهش نرخ برخورد

(۳) مزیت: افزایش احتمال جایابی در حافظه نهان

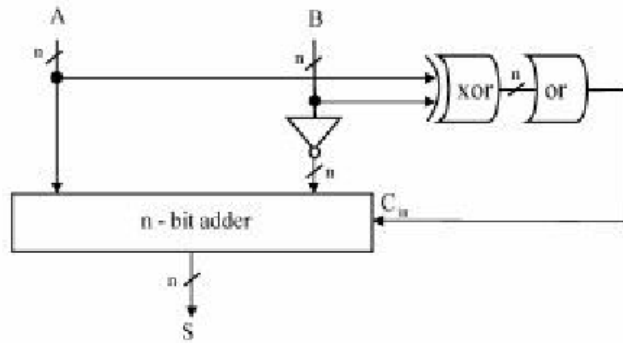
کاستی: کاهش نرخ برخورد

(۴) مزیت: افزایش نرخ برخورد

کاستی: کاهش تعداد بلوک‌های قربانی

سوال ۵.

کدام گزینه نشان دهنده مقدار خروجی S در مدار زیر است؟



if  $A = B$  then  $S = A - B - 1$  (۱)

else  $S = -1$

if  $A \neq B$  then  $S = A - B$  (۲)

else  $S = -1$

if  $A < B$  then  $S = A - B$  (۳)

else  $S = 1$

if  $A = \bar{B}$  then  $S = A - B - 1$  (۴)

else  $S = 1$

سوال ۶.

در ضرب دو عدد ۸ بیتی مکمل ۲ به روش Booth با فرض توزیع یکنواخت مقادیر اعداد ورودی، احتمال اینکه عمل ضرب با فقط یک تفریق انجام شود، کدام است؟

(۱) ۰/۰۴

(۲) ۰/۰۳

(۳) ۰/۰۲

(۴) ۰/۰۱

سوال ۷.

کدام عملیات را می توان با فقط یک جمع کننده دودویی ۸ بیتی انجام داد؟

(۱) پنج برابر کردن یک عدد BCD سه رقمی (و تولید حاصل دهمی ۴ رقمی)

(۲) محاسبه مقدار  $3A + 132$  (یک عدد دودویی بدون علامت ۷ بیتی است)

(۳) جمع سه عدد دودویی بدون علامت ۴ بیتی

(۴) جمع دهمی دو رقم BCD

سوال ۸.

در ضرب دو عدد ۸ بیتی A و B با الگوریتم Booth چهار عمل جمع انجام شده است. محاسبه ضرب همین دو عدد A و B با روش Add & Shift، چه تعداد عمل جمع نیاز دارد؟

(۱) ۴

(۲) ۶

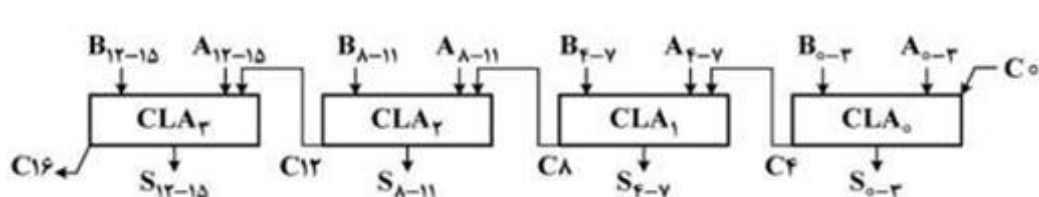
(۳) ۸

(۴) ۱۰

(۴) با این اطلاعات قابل تعیین نیست و بستگی به مقادیر A و B دارد.

سوال ۹.

یک جمع کننده ۱۶ بیتی مطابق شکل زیر از اتصال ۴ جمع کننده CLA (Carry Lookahead Adder) ۴ بیتی تشکیل شده است. اگر زمان تأخیر هر گیت منطقی AND، OR و NOT را یک  $\Delta$  بدانیم، مشخص کنید تأخیر رقم نقلی خروجی جمع کننده ۱۶ C چه تأخیری نسبت به زمان عرضه داده ها به ورودی دارد؟



(۱)  $12\Delta$

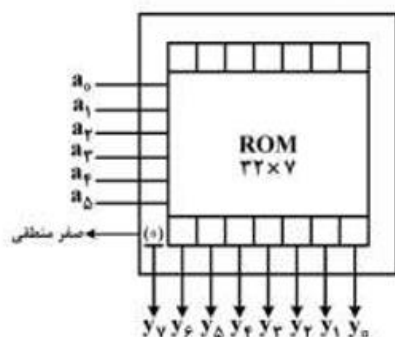
(۲)  $11\Delta$

(۳)  $10\Delta$

(۴)  $9\Delta$

سوال ۱۰.

مدار زیر به کمک یک ROM با حجم  $32 \times 7$ ، اعداد باینری ۶ بیتی را به نمایش BCD دو رقمی تبدیل می‌کند. محتویات آدرس ۱۰ و ۶۰ از حافظه ROM به ترتیب از راست به چپ کدام است؟



(۱) ۰۰۰۱۱۰۰ - ۰۰۰۰۰۱۰۰

(۲) ۰۰ ۱۱۰۰۰ - ۰۱۰۰۰۰۰۰

(۳) ۰۱۱۰۰۰۰ - ۰۰۰۱۰۰۰

(۴) ۱۱۰۰۰۰۰ - ۰۰۱۰۰۰۰

سوال ۱۱.

کدام عبارات در خصوص روش‌های I/O، درست هستند؟

الف) روش programmed I/O در مورد پردازنده‌های با امکان دریافت وقفه (interrupt) هم قابل استفاده است.

ب) روش DMA پردازنده را درگیر عمل تبادل داده با دستگاه I/O می‌کند.

ج) روش interrupted I/O پردازنده را درگیر تبادل داده با دستگاه I/O می‌کند.

(۱) الف - ب (۲) ب - ج (۳) الف - ج (۴) الف - ب - ج

سوال ۱۲.

در یک سیستم رقمی که مدار کنترل آن به صورت ریز برنامه‌سازی شده طرح شده است، تعداد ۱۹۷ سیگنال کنترل وجود دارد. حجم ریز حافظه  $2^{17}$  ریزدستور است. اگر الگوی متفاوت از فعالیت سیگنال‌های کنترل داشته باشیم، و از تکنیک نانوحافظه (nano-memory) برای کاهش حجم ریز حافظه استفاده کنیم، حجم بیتی ریز حافظه به ۱۰٪ کاهش می‌یابد. طول فیلد micro-OpCode در قالب ریزدستورات چند بیت است؟

(۱) ۳ (۲) ۴

(۳) ۵ (۴) با این اطلاعات قابل تعیین نیست.

سوال ۱۳.

در چارت عملیاتی یک سیستم سخت افزاری با ۲۵۰ سیگنال کنترل، ۶۰ جعبه عملیاتی (جعبه محاسبه/انتقال داده) و ۱۵ جعبه شرطی داریم. اگر مدار کنترل سیستم به روش سیم بندی شده (hardwired) طرح شده باشد، حداقل تعداد فلیپ فلاپ مورد استفاده در واحد کنترل، کدام است؟

(۱) ۶ (۲) ۸

(۳) ۹ (۴) ۷

سوال ۱۴.

مکمل ۲ و مکمل ۱۰، عدد دهدهی ۵۶۸۷ به ترتیب در نمایش مبنای ۱۶ و مبنای ۱۰ کدام است؟

(۱)  $(E9\ c8)_{16}$  و  $(54\ 22)_{10}$  (۲)  $(E9\ c8)_{16}$  و  $(43\ 12)_{10}$

(۳)  $(E9\ c9)_{16}$  و  $(43\ 13)_{10}$  (۴)  $(E9\ c9)_{16}$  و  $(43\ 12)_{10}$

در یک سیستم دیجیتال با واحد کنترل ریز برنامه سازی شده، حجم ریز حافظه حاوی ریز برنامه لازم  $N$  ریز دستور، تعداد سیگنال‌های کنترل سیستم  $n$  و تعداد جعبه‌های عملیاتی (محاسبه/انتقال داده) در چارت عملیاتی سیستم  $m$  است ( $N > m$ ). در صورت استفاده از تکنیک نانو حافظه (nano-memory) برای کاهش حجم ریز حافظه، حداقل چند بیت در ریز حافظه صرفه جویی می‌شود؟

$$\begin{aligned} (۱) \quad & N \times \lceil \log_2 m \rceil \\ (۲) \quad & N \times \lceil \log_2 n \rceil \\ (۳) \quad & N \times (n - \lceil \log_2 m \rceil) \\ (۴) \quad & N \times (n - \lceil \log_2 N \rceil) \end{aligned}$$

معمار یک کامپیوتر ادعا می‌کند که در طراحی واحد کنترل با به‌کارگیری nano-memory توانسته است حجم بیتی ریز حافظه را به یک پنجم تقلیل دهد. اگر تعداد microOPCODEهای متفاوت ریز معماری  $10^6$  عدد باشد و تعداد الگوهای متفاوت فعالیت سیگنال‌های کنترل در ریز برنامه واحد کنترل  $10^3$  باشد، تعداد سیگنال‌های کنترل سیستم کدام است؟

$$\begin{aligned} (۱) \quad & ۵۶ \\ (۲) \quad & ۶۶ \\ (۳) \quad & ۷۶ \\ (۴) \quad & \text{با این اطلاعات قابل تعیین نیست.} \end{aligned}$$

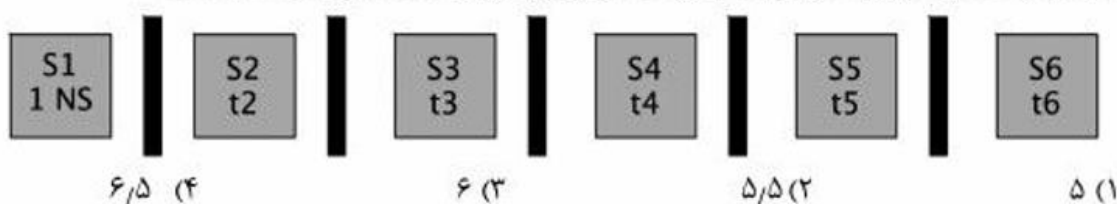
در یک برنامه  $30\%$  درصد دستورات از نوع  $A$  و  $20\%$  درصد دستورات از نوع  $B$  هستند. کدام موارد درست است؟  
الف- در این برنامه تعداد دستورات نوع  $A$  برابر با تعداد دستورات نوع  $B$  نیست.  
ب- تسریع اجرای برنامه در حالتی که دستورات نوع  $A$  دو برابر سریع‌تر اجرا شوند و حالتی که دستورات نوع  $B$  سه برابر سریع‌تر اجرا شوند یکسان است.  
ج- اگر دستورات نوع  $A$  و نوع  $B$  دو برابر سریع‌تر اجرا شوند و زمان اجرای برنامه بیش از  $70\%$  درصد زمان اجرای اولیه خواهد بود.

$$\begin{aligned} (۱) \quad & \text{الف - ب} \\ (۲) \quad & \text{الف - ج} \\ (۳) \quad & \text{ب - ج} \\ (۴) \quad & \text{الف - ب - ج} \end{aligned}$$

با فرض داشتن دستورات  $2$  آدرس و تعداد opcode برابر  $150$  و حافظه‌ای  $1$  مگابایتی، به ترتیب تعداد بیت‌های ثبات‌های داخلی و طول دستورات کدام است؟ (آدرس‌دهی به حافظه از طریق ثبات‌های داخلی به تعداد  $64$  تا است که در کلمه دستور مشخص شده است.)

$$\begin{aligned} (۱) \quad & 20, 20 \\ (۲) \quad & 20, 6 \\ (۳) \quad & 19, 20 \\ (۴) \quad & 16, 12 \end{aligned}$$

شکل زیر یک پردازنده پایپ‌لاین با  $6$  مرحله (Stage) را نشان می‌دهد. اگر مجموع زمان تمام مراحل برابر  $11$  نانوثانیه باشد، بیشترین تسریعی که از پیاده‌سازی پایپ‌لاین به دست می‌آید، کدام است؟



سوال ۲۰.

یک نمایش ممیز شناور با قالب زیر داده شده است: S: بیت علامت (۱ بیت)  
 E: بیت نما که به صورت مکمل ۲ نمایش داده می شود (۴ بیت)  
 F: قسمت اعشاری مانتیس =  $1.F$  (F: ۱۱ بیت)

- (۱)  $2^{-8}, 2^8$   
 (۲)  $2^{-8}, 2^7(2 - 2^{-11})$   
 (۳)  $2^{-7}, 2^8(2 - 2^{-11})$   
 (۴)  $2^{-7}, 2^7(2 - 2^{-11})$

سوال ۲۱.

در یک کامپیوتر با مشخصات جدول زیر، ۵۰٪ از دستورات Integer به اجرای یک دستور Load و یک دستور Store نیاز داشتند. حال دستور جدید ترکیبی با تعداد کلاک ۵ به مجموعه دستورات اضافه کردیم تا جایگزین آن نوع دستورات باشد. متوسط تعداد کلاک هر دستور (CPI) در حالت جدید کدام است؟

| نوع دستور      | درصد از کل دستورات | تعداد کلاک |
|----------------|--------------------|------------|
| Load           | ۲۰                 | ۳          |
| Store          | ۲۰                 | ۳          |
| Floating Point | ۲۰                 | ۱۰         |
| Integer        | ۳۰                 | ۵          |
| Jump           | ۱۰                 | ۲          |

- (۱)  $5/4$   
 (۲)  $4/4$   
 (۳)  $4/88$   
 (۴)  $4/9$