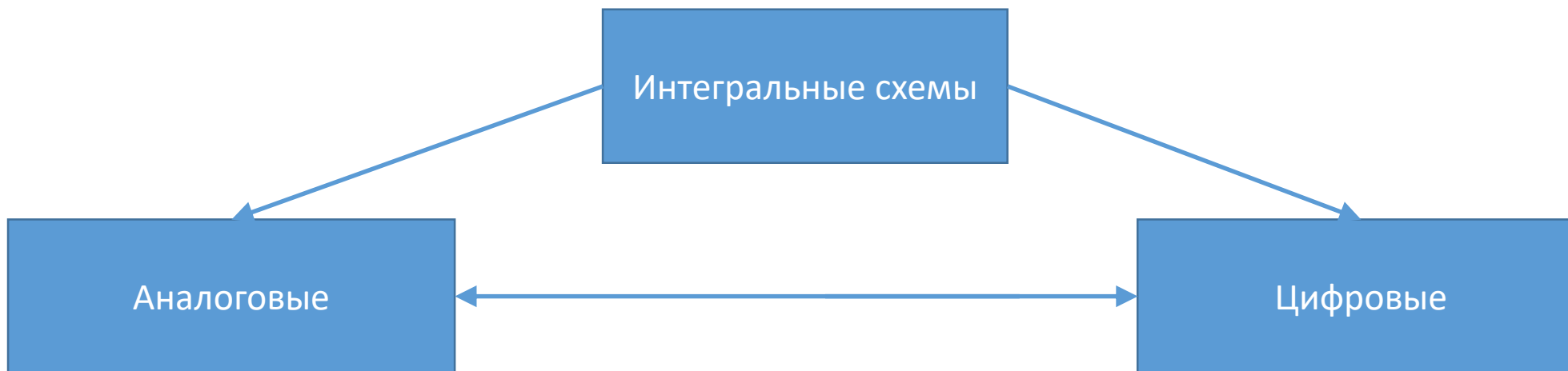


# Введение в цифровую электронику

# Чем мы будем заниматься

- Изучаемый инструмент – ПЛИС типа FPGA
- Область исследования – цифровая электроника



# Цифровая электроника

- Оперирует логическим нулем и единицей
- Реализуется при помощи CMOS транзисторов на физическом уровне
- Описывается логическими функциями:

Конъюнкция

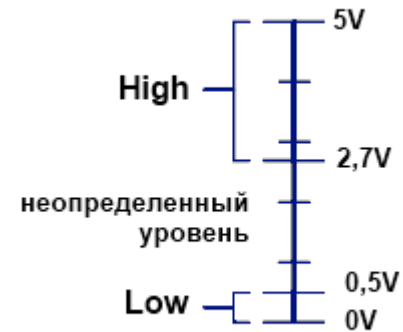
$a$	$b$	$a \wedge b$
0	0	0
0	1	0
1	0	0
1	1	1

Дизъюнкция

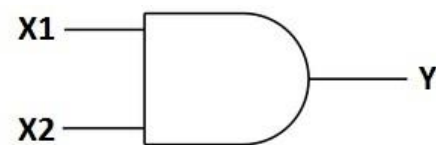
$a$	$b$	$a \vee b$
0	0	0
0	1	1
1	0	1
1	1	1

Сложение по модулю

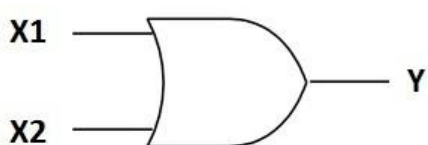
$a$	$b$	$a \oplus b$
0	0	0
0	1	1
1	0	1
1	1	0



# Логические элементы AND и OR

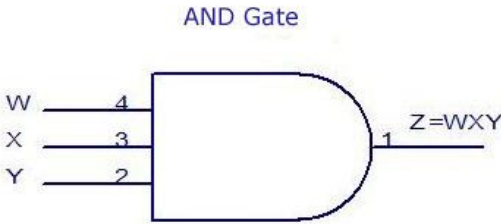


Вход X1	Вход X2	Выход Y
0	0	0
1	0	0
0	1	0
1	1	1



Вход X1	Вход X2	Выход Y
0	0	0
1	0	1
0	1	1
1	1	1

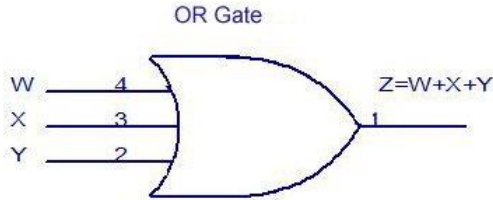
3 Input AND Gate



TRUTH TABLE

INPUTS			OUTPUT
W	X	Y	Z
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

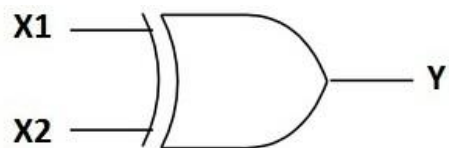
3 Input OR Gate



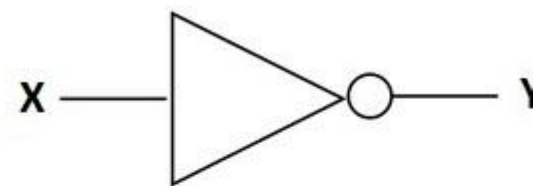
TRUTH TABLE

INPUTS			OUTPUT
W	X	Y	Z
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

# Логические элементы XOR, INV и BUF



Вход $x_1$	Вход $x_2$	Выход $y$
0	0	0
1	0	1
0	1	1
1	1	0



Вход $x$	Выход $y$
0	1
1	0

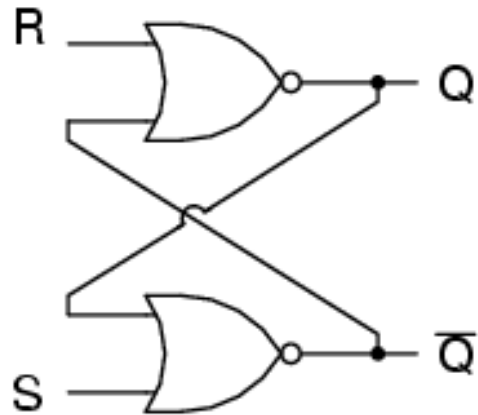


Input	Output
0	0
1	1

# Типы логических элементов

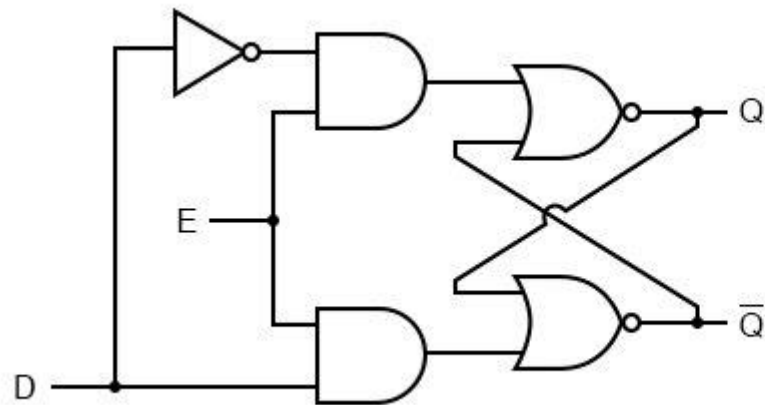
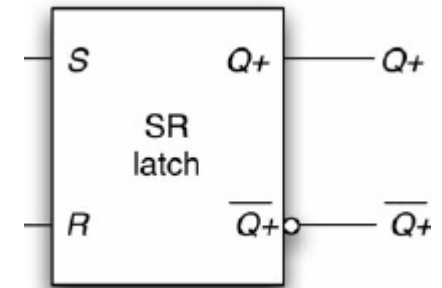
- Комбинационные: AND, OR, XOR, INV, BUF, NAND, NOR
- Последовательностные (триггеры): FLIP-FLOP, LATCH

# SR-LATCH и D-LATCH

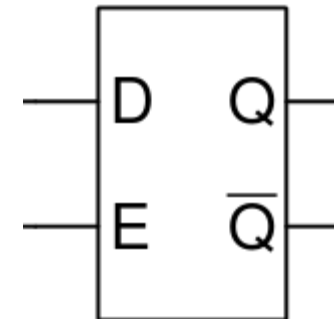


S	R	Q	$\overline{Q}$
0	0	latch	latch
0	1	0	1
1	0	1	0
1	1	0	0

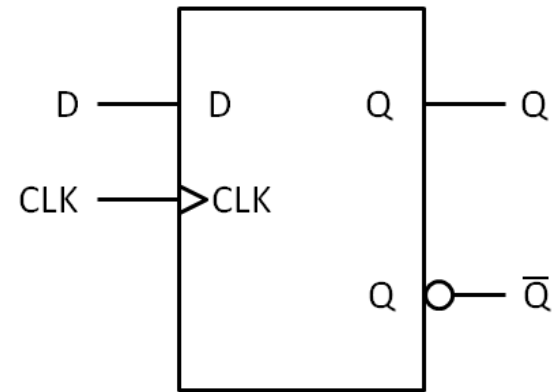
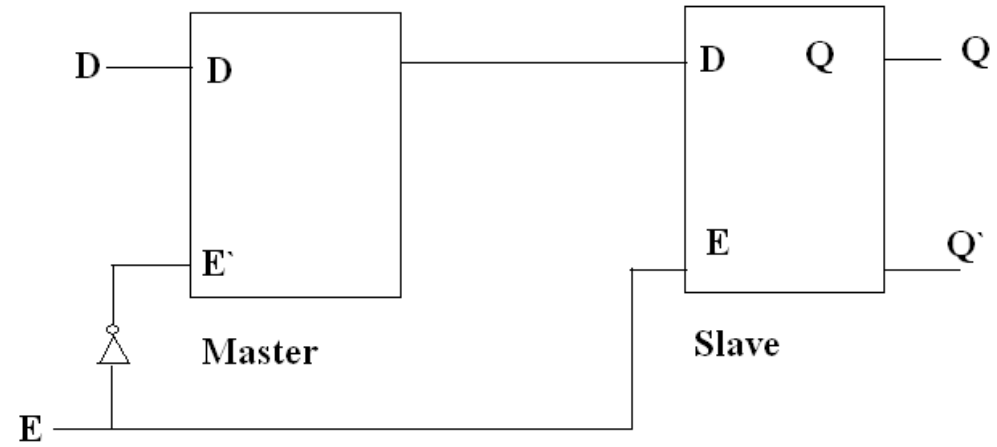
- INVALID



E	D	Q	$\overline{Q}$
0	0	latch	latch
0	1	latch	latch
1	0	0	1
1	1	1	0



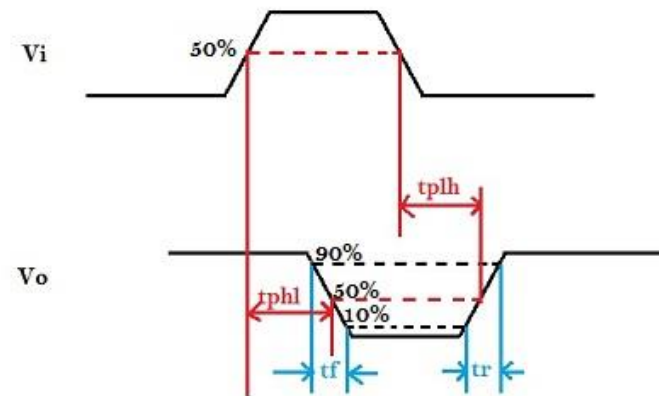
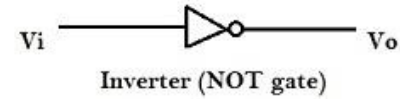
# D-FLIP-FLOP



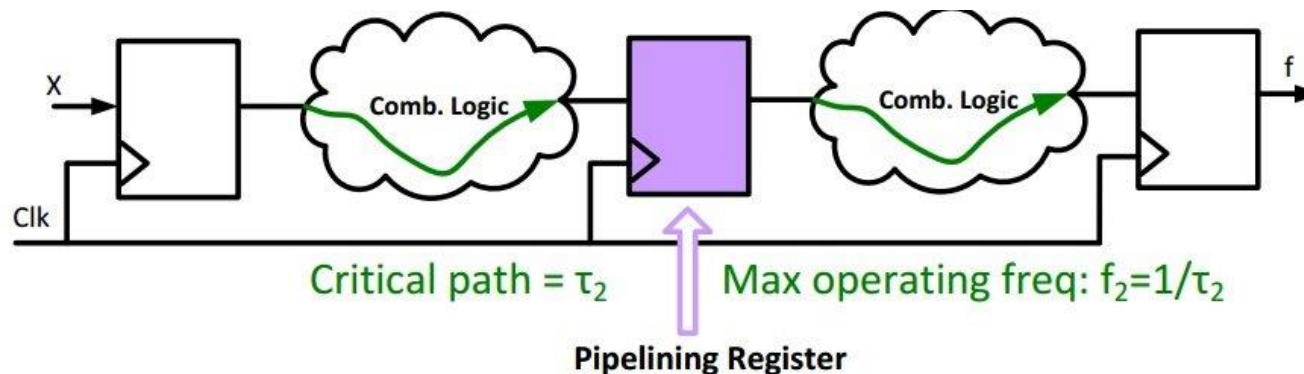


# Критические пути

- У комбинационной логики есть задержка между изменением значения на входе и на выходе и изменение значения происходит за конечное время

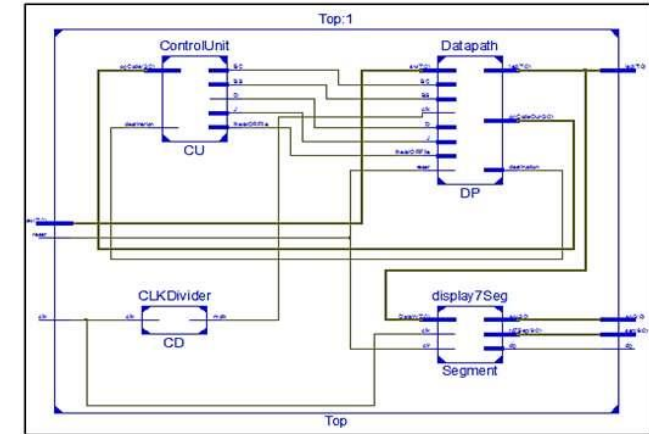
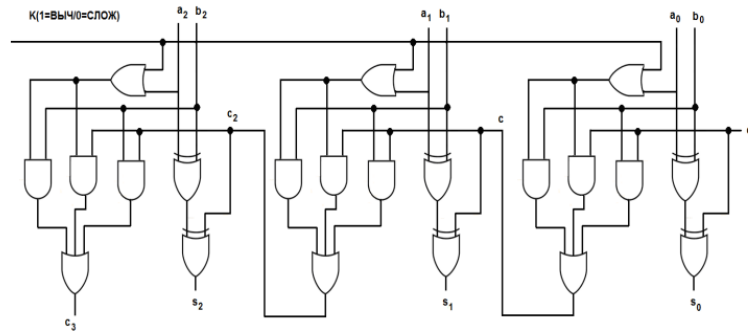
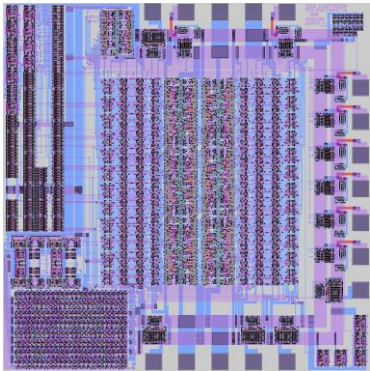


tr = Rise transition time  
tf = Fall transition time  
tphiL = Propagation delay high-low  
tphiH = Propagation delay low-high



Что такое ПЛИС

# Этапы разработки ИС



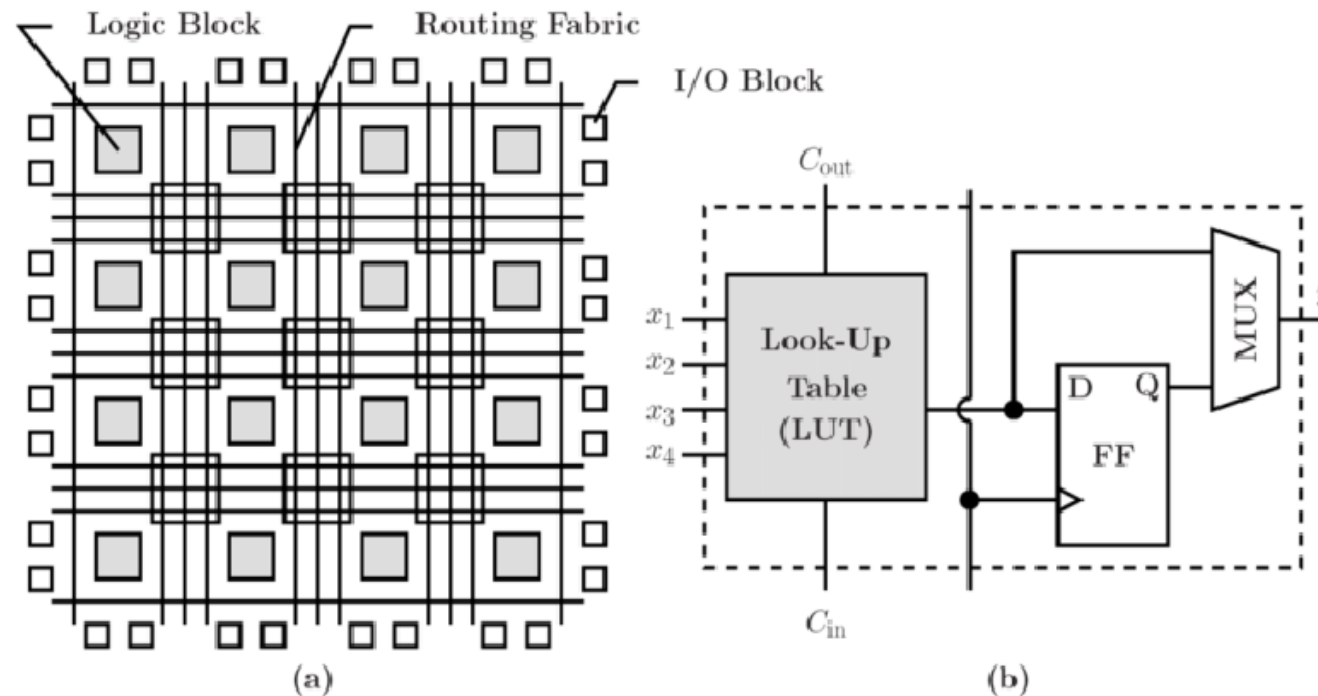
- САПР – система автоматизации производства
- HDL – hardware description language
- RTL – register transfer level
- Синтез – этап преобразования RTL в gate-level netlist
- PLACEMENT – этап расположения физических примитивов на кристалле
- ROUTING – этап соединения физических примитивов

Задержки элементов

Задержки распространения

# ПЛИС

- ПЛИС – (PLD) программируемая логическая интегральная схема
- FPGA – (ППВМ) field programmable gate array, программируемая пользователем вентильная матрица



# Зачем

- Используют в конечных продуктах, разработка ИС для которых не оправдана.
  - Быстрее чем МК.
- Прототипирование будущих ИС.