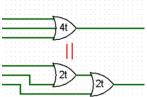


1) Задержка на критическом пути (один из вариантов приведен на рисунке слева):

$$T_{crit} = 2t \cdot 4 + 4t \cdot 3 = 20t$$

2) Минимально возможный период синхросигнала:

$$T_{clk} = T_{crit} + T_{pd} + T_{setup} + T_{hold}$$
$$= 20t + t + 2t + 3t = 26t$$



Эквивалентная схема ОR с тремя входами из двух OR с двумя входами