**HW3**

**Due: Oct 26, before class**

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **Questions** | **1** | **2** | **3** | **4** | **5** | **6** |
| **Points** | **10** | **15** | **15** | **15** | **20** | **20** |

**Question 1:**

2. 已知某64 位机主存采用半导体存储器，其地址码为26 位，若使用4M X8 位的DRAM 芯片组成该机所允许的最大主存空间，并选用内存条结构形式，问：

(1) 若每个内存条为16M X 64 位，共需几个内存条？

(2) 每个内存条内共有多少DRAM 芯片？

(3) 主存共需多少DRAM 芯片? CPU 如何选择各内存条？

**Question 2:**

设存储器容量为64M, 字长为64 位，模块数m =8 , 分别用顺序和交叉方式进行组织。存储周期T = 120 ns, 数据总线宽度为64 位，总线传送周期r= 40 ns 。求：顺序存储器和交叉存储器的带宽各是多少？

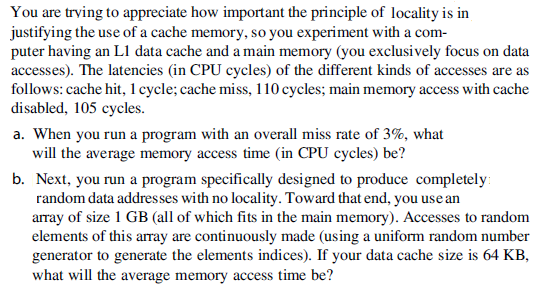
**Question 3:**

假设主存容量32M X 32 位， cache 容量64K X 32 位，主存与cache 之间以每块4 X 32 位大小传送数据，请确定直接映射方式的有关参数，并画出主存地址格式。

**Question 4:**

一个组相联cache 由64 个行组成，每组4 行。主存储器包含32K 个块，每块128 字。请表示内存地址的格式。

**Question 5:**



**Question 6:**

Whereas larger caches have lower miss rates, they also tend to have

longer hit times. Assume a direct-mapped 8 KB cache has 0.22 ns hit time and miss rate m1; also assume a 4-way associative 64 KB cache has 0.52 ns hit time and a miss rate m2.

a. If the miss penalty is 100 ns, when would it be advantageous to use the smaller cache to reduce the overall memory access time?

b. Repeat part (a) for miss penalties of 10 and 1000 cycles. Conclude

when it might be advantageous to use a smaller cache.