**HW4**

**Due: Nov 2, before class**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **Questions** | **1** | **2** | **3** | **4** | **5** |
| **Points** | **20** | **15** | **15** | **20** | **30** |

**Question 1:**

一个组相联cache 由64 个行组成，每组4 行。主存储器包含4K 个块，每块128 字。请表示内存地址的格式。

**Question 2:**

有一个处理机，主存容量1MB, 字长1B, 块大小16B, cache 容量32KB, 若cache 采用直接映射式，请给出2 个不同标记的内存地址，它们映射到同一个cache 行。

**Question 3:**

某虚拟存储器采用页式存储管理，使用LRU 页面替换算法。若每次访问在一个时间单位内完成，页面访问的序列如下： 1, 8, 2, 1, 8, 2, 7, 2, 7, 8, 3, 8, 2, 1, 3, 2, 7, 1, 3, 7 。已知主存只允许存放4 个页面，初始状态时4 个页面是全空的，则页面失效次数是多少次？

**Question 4:**

某计算机的存储系统由cache 、主存和磁盘构成。cache 的访问时间为15ns; 如果被访问的单元在主存中但不在cache 中，需要用60ns 的时间将其装入cache, 然后再进行访问；如果被访问的单元不在主存中，则需要lOms 的时间将其从磁盘中读入主存，然后再装入cache 中并开始访问。若cache 的命中率为95%, 主存的命中率为80%, 求该系统中访问一个字的平均时间。

**Question 5:**

For a direct-mapped cache design with a 64-bit address, the following bits of

the address are used to access the cache.

Tag Index Offset

63–10 9–5 4–0

1） What is the cache block size (in words)?

2） How many blocks does the cache have?

3）Beginning from power on, the following byte-addressed cache references are recorded.

Address

Hex 00 04 10 84 E8 A0 400 1E 8C C1C B4 884

Dec 0 4 16 132 232 160 1024 30 140 3100 180 2180

For each reference, list (1) its tag, index, and offset, (2) whether it is a hit or a miss, and (3) which bytes were replaced (if any).