|  |  |
| --- | --- |
|  | logo293 (positivo) |

Práctica 4: Captura, simulación e implementación en CPLD

de un sistema secuencial

Electrónica Digital

**Universidad de Alcalá**

**Curso Académico 2019/2020**

**Curso2º – Cuatrimestre 2º**

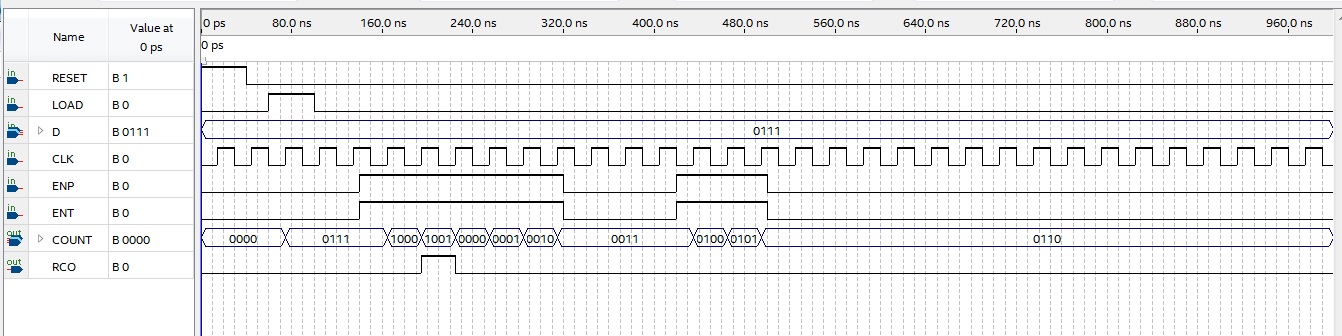
**NOTA: En este documento se incluyen sólo las cuestiones que los alumnos deberán completar. En algunas de las cuestiones se podrá cortar y pegar capturas de pantalla de las simulaciones. Este documento se deberá subir a la *blackboard.***

|  |  |  |
| --- | --- | --- |
| **Alumno(s)** | **Grupo** | **Puesto** |
|  |  |  |
|  |

* + 1. *Módulo Contador.*

|  |
| --- |
| ***Cuestión 3.***   1. *Atendiendo al cronograma de la Figura 4 indique si las siguientes entradas son síncronas o asíncronas, justificando la respuesta.*   *CLRN*  *Clrn es una señal Asincrona ya que en el cronograma cambia de nivel indiferentemente de la señal clk*  *LDN*  *LDN es una señal sincrona ya que esta señal sólo cambia respecto los flancos de reloj.* |

|  |
| --- |
| ***Cuestión 4***   1. *Cree un nuevo esquemático (File –> New ->Design Files > Block Diagram/Schematic File) cargue el símbolo del 74162 y salve el fichero con el nombre* ***counter\_bcd.bdf****.* 2. *Utilizando inversores cambie el nivel activo de la señal de carga (LDN) y de clear (CLRN) tal y como se muestra en la Figura 5.* 3. *Realice la simulación funcionaldel contador, con los inversores,creando un fichero de simulación* ***counter\_bcd.vwf[[1]](#footnote-2)****, mediante la opción de UniversityProgram VWF (Vector Waveform File) y complete el diagrama de formas de onda de la Figura 6(COUNT y RCO) en la que tendrá que comprobar el correcto funcionamiento del contador.* |



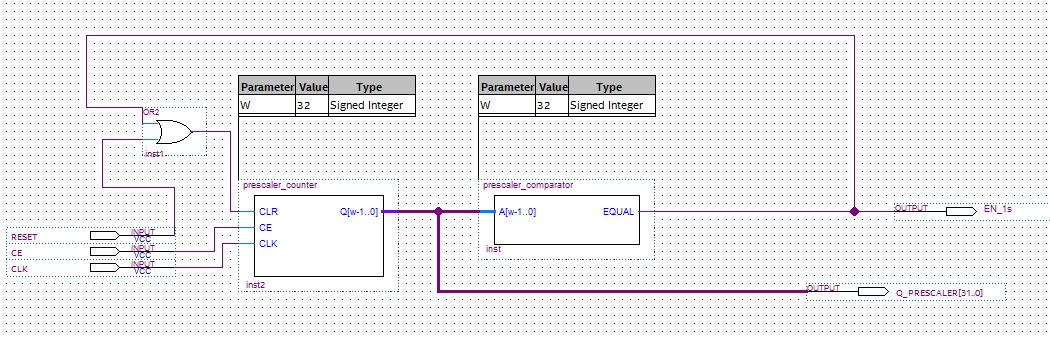
*Figura 6* .-Diagrama de formas de ondas para la simulación del contador BCD.

* + 1. *Módulo Prescaler.*

|  |
| --- |
| ***Cuestión 5***   1. *Indique cuál debe ser el valor de* ***N****para que la señal EN\_1s tenga un periodo de 1 s. Justifique la respuesta e indique el valor tanto en decimal como en hexadecimal.*   ***1=(1/20\*10^-9)/N***  ***N = 50000000*** |
|  |

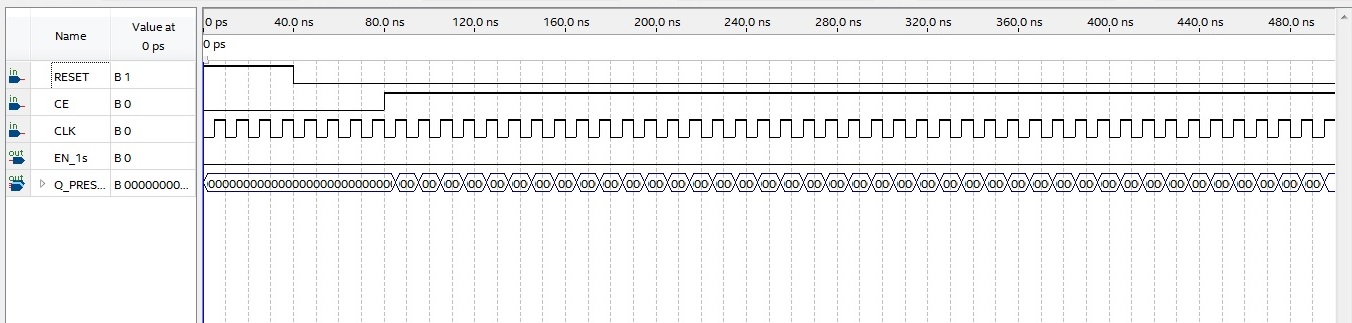
|  |
| --- |
| ***Cuestión 6***   1. *Indique cuál debería ser el número mínimo de bits que se deberían utilizar para representar el valor de* ***N****. Justifique la respuesta.*   El número mínimo de bit para representar 50000000 es 26. |

|  |
| --- |
| ***Cuestión 7***   1. *Cree un nuevo esquemático (File –> New ->Design Files > Block Diagram/Schematic File) tal y como se muestra en laFigura 8, cargandolos símbolosprescaler\_counter.bsf* y *prescaler\_comparator.bsf y sustituyendo el bloque CC por un circuito combinacionalpara que el Prescaler funcione correctamente. Justifique el diseño del bloque CC. Por último, salve el fichero con el nombre* ***prescaler.bdf****.* |



*Figura 8.*Esquema de funcionamiento del módulo *Prescaler*.

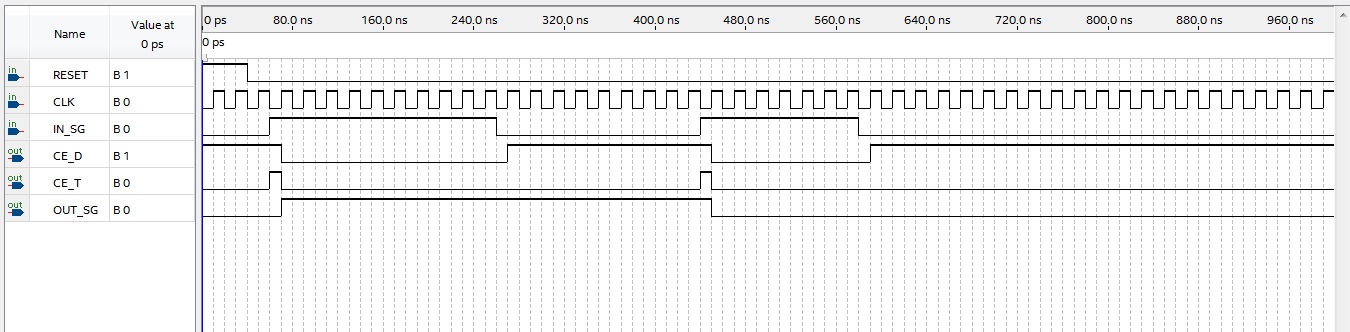
|  |
| --- |
| ***Cuestión 8***   1. *Realice una simulación funcional del Prescalercreando un fichero de simulación* ***prescaler.vwf****, mediante la opción de UniversityProgram VWF (Vector Waveform File) y complete el diagrama de formas de onda de laFigura 9 ( EN\_1s y Q\_PRESCALER) en la que tendrá que comprobar el correcto funcionamiento.* |



*Figura 9*. Diagrama de formas de onda para la simulación del módulo*Prescaler*.

* + 1. *Módulo Marcha-Paro.*

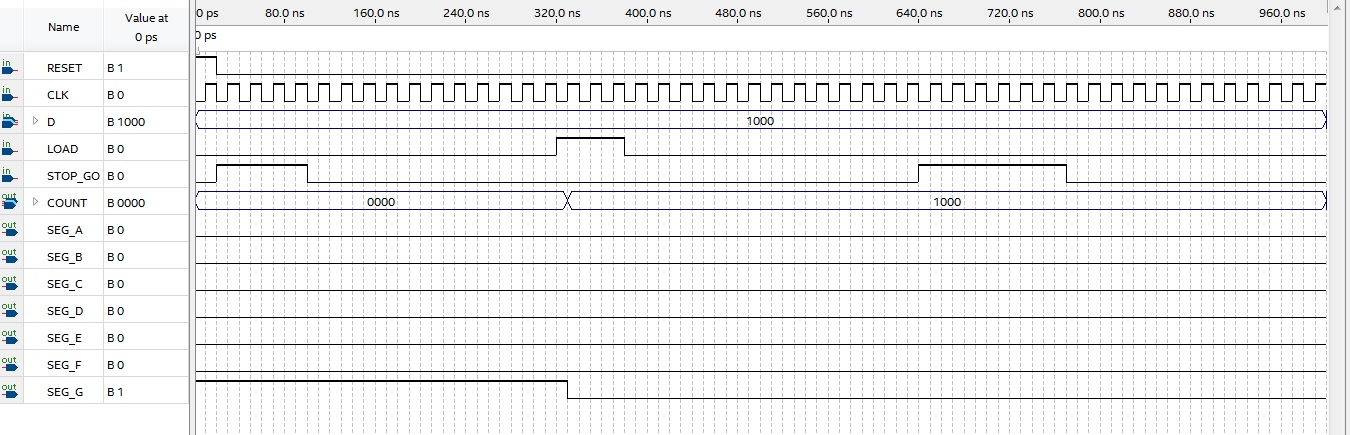
|  |
| --- |
| ***Cuestión 9***   1. *Añada los ficheros****flipflop\_D.vhd*** *y* ***flipflop\_T.vhd****, incluidos en la práctica, al proyecto (Project ->Add/Remove Files in Project…) y cree para cada uno su símbolo correspondiente.* 2. *Cree un nuevo esquemático (File –> New ->Design Files > Block Diagram/Schematic File) tal y como se muestra en laFigura 10, incluyendo los símbolos de los biestables creados anteriormente, y salve el fichero con el nombre* ***stop\_go.bdf****.* 3. *Realice una simulación temporaldel funcionamiento del módulo Marcha-Parocreando un fichero de simulación* ***stop\_go.vwf****, mediante la opción de UniversityProgram VWF (Vector Waveform File) y complete el diagrama de formas de onda de laFigura 11( QN\_D, CE\_T y OUT) en la que tendrá que comprobar el correcto funcionamiento.* |



*Figura 11*. Diagrama de formas de onda para la simulación del módulo *Marcha-Paro*.

* + 1. *Diseño Completo. Esquema Final.*

|  |
| --- |
| ***Cuestión 10***   1. *Completeel esquema de laFigura 13para que implemente la funcionalidad del diseño completo. El nombre del fichero que almacena el esquema debe ser* ***PR4\_GRPX\_PY.bdf.*** 2. *Complete el cronograma de laFigura 14 (COUNT, SEG\_A, SEG\_B, SEG\_C, SEG\_D, SEG\_E, SEG\_F y SEG\_G) correspondiente a la simulación funcional del diseño completo. Guarde el fichero* ***vwf*** *con el nombre* ***PR4\_GPRX\_PY.vwf****. Recuerda que, en los nombres anteriores,* ***X*** *representa el nombre del grupo de laboratorio e* ***Y*** *el identificador del puesto dentro del laboratorio.* |



*Figura 14*. Diagrama de formas de ondas del diseño final.

1. Para que la simulación no genere problemas con el nuevo nombre hay que restaurar los valores por defecto (*Restore Defaults*) en la ventana de opciones de simulación (*Simulation ->SimulationOptions*) y salvar tanto la configuración como el fichero *.vwf* antes de lanzar la simulación. [↑](#footnote-ref-2)