**附件一：**

山东大学计算机科学与技术学院

数字逻辑课程实验报告

|  |  |  |  |
| --- | --- | --- | --- |
| 学号：201700301147 | 姓名： 杜瀛川 | | 班级： 17.4 |
| 实验题目：异步模8加1计数器 | | | |
| 实验学时：4 | | 实验日期： 2019.5.17 | |
| 实验目的：  （1）学习异步时序电路的设计方法；  （2）了解异步计数器的工作原理和设计方法；  （3）熟悉EDA工具软件的使用方法。 | | | |
| 硬件环境：  （1）操作系统为WINDOWS XP的计算机一台；  （2）数字逻辑与计算机组成原理实验系统一台；  （3）D触发器和非门电路若干。 | | | |
| 软件环境：  quartus II WINDOWS | | | |
| 实验步骤与内容：  本实验要求设计一个异步模8加1计数器，其中CLK为计数脉冲输入，CLR为复位输入，q2-q0为计数器的输出。  图1为异步模8加1计数器的原理图。  4、实验步骤  （1）原理图输入：根据图1电路，采用图形输入法完成实验电路的原理图输入。  （2） 管脚定义：将原理图中的计数脉冲CLK定义在单脉冲键上；CLR定义在k0上；计数的输出端分别定义在LD2－0上。  （3）原理图编译、适配和下载：在QuartusⅡ环境中选择**EP2C8Q208C8器件，**进行原理图的编译和适配，无误后完成下载。  （4）功能测试：  按一次单脉冲键（132脚），计数器加1，由LED2-0显示计数值。  将计数脉冲定义在连续脉冲上（131脚），则计数器循环计数LED2-0循环显示。  调整连续时钟脉冲插座上短路块的位置（见图2.2）改变连续脉冲频率，则LED闪烁频率将随之改变。  （5）生成元件符号。  实验原理图    图1  实验验证数据   |  |  | | --- | --- | | clr | output | | 0 | 000 | | 1 | 000-001-010-011-100-101-110-111-000-001-010-011-100-101-110-111 | | | | |
| 扩展实验：   1. 使用RS触发器实现异步模8加1计数器     图2    S = D R = NOT(D)  实验验证数据   |  |  | | --- | --- | | clr | output | | 0 | 000 | | 1 | 000-001-010-011-100-101-110-111-000-001-010-011-100-101-110-111 |  1. 实现异步模8减1计数器   实验原理图    图2  实验验证数据   |  |  | | --- | --- | | clr | output | | 0 | 000 | | 1 | 111-110-101-100-011-010-001-000-111-110-101-100-011-010-001-000 |   结论分析与体会：  在本次实验中，我复习了D触发器、RS触发器的工作原理，继续提高自己的组合电路设计能力。利用课本所学的知识，完成了异步模8加1计数器的设计，加深了自己对异步时序逻辑电路的理解和设计能力。  在扩展实验中，仿照基本实验，利用已学过的触发器转换的相关知识，使用RS触发器实现了异步模8加1计数器。利用数字逻辑知识，设计实现了异步模8减1计数器，通过本次实验，加深巩固了数字逻辑的相关知识，为今后的学习和实验打下了坚实的基础。  同时，使用了试验台连续脉冲，提高了自己的动手操作能力。 | | | |