**附件一：**

山东大学计算机科学与技术学院

数字逻辑课程实验报告

|  |  |  |  |
| --- | --- | --- | --- |
| 学号：201700301147 | 姓名：杜瀛川 | | 班级： 17.4 |
| 实验题目：十进制数加法器 | | | |
| 实验学时：4 | | 实验日期： 2019.4.12 | |
| 实验目的：  （1）学习组合电路的设计方法；  （2）了解余三码的构成和十进制数加法器的构成和工作原理；  （3）熟悉EDA工具软件的使用方法。 | | | |
| 硬件环境：  （1）操作系统为WINDOWS 的计算机一台；  （2）数字逻辑与计算机组成原理实验系统一台；  （3）4位二进制并行加法器74283和六非门7404。 | | | |
| 软件环境：  quartus II WINDOWS | | | |
| 实验步骤与内容：  本实验要求在掌握四位并行加法器74283使用方法和理解余3码运算法则的基础上，利用4位二进制并行加法器74283和六非门7404设计一个用余三码编码的1位十进制数加法器，并通过发光二极管显示加法结果。余三码编码的1位十进制数加法器原理图如图3.6所示，其中A4-A1和B4-B1为两个余三码编码表示的加数，CIN为低位来的进位，SUM4-SUM1为余三码编码表示的和数，COUT为向高位的进位。  余三码（余3码）是由[8421BCD码](https://baike.baidu.com/item/8421BCD%E7%A0%81" \t "https://baike.baidu.com/item/%E4%BD%99%E4%B8%89%E7%A0%81/_blank)加上0011形成的一种无权码，由于它的每个字符编码比相应的8421码多3，故称为余三码。    余3码加法原则：   1. 两个十进制数的余3码相加，按逢二进一原则进行。 2. 若其和没有进位，则减3（1101）矫正。 3. 若其和有进位，则加3（0011）矫正。   实验步骤  （1）原理图输入：根据图3.6电路，采用图形输入法在计算机上完成实验电路的原理图输入。  （2）管脚定义：根据图3.1硬件实验平台资源示意图和附录一 平台资源和FPGA引脚连接表完成原理图中输入、输出管脚的定义。  （3）原理图编译、适配和下载：在QuartusⅡ环境中选择**EP2C8Q208C8器件，**进行原理图的编译和适配，无误后完成下载。  （4）加法器的调试： 根据余三码的运算规则，使用输入开关在余三码编码的1位十进制数加法器的输入端赋值，观察输出和数SUM及向高位进位COUT的值是否正确。  拓展实验  假设有一种编码叫做余四码，余四码就是8421BCD码加上0100得到的，余四码加上1100可以恢复成8421BCD码，现在我们要求使用余四码8个数来表示0到7这8个数。根据本实验必做题的实验原理，利用4位二进制并行加法器74283和六非门7404设计一个用余四码编码的1位八进制数加法器。其中A4-A1和B4-B1为两个余四码编码表示的加数，CIN为低位来的进位，SUM4-SUM1为余四码编码表示的和数，COUT为向高位的进位。  例如  输入CIN为0，A为7的余四码1011，B为6的余四码1010，输出：COUT为1，SUM为5的余四码1001。   |  |  | | --- | --- | | 8421BCD码 | 余四码 | | 0000 | 0100 | | 0001 | 0101 | | 0010 | 0110 | | 0011 | 0111 | | 0100 | 1000 | | 0101 | 1001 | | 0110 | 1010 | | 0111 | 1011 |   余4码加法原则：  1.两个八进制数的余4码相加，按逢二进一原则进行。  2.若其和没有进位，则减4（1100）矫正。  3.若其和有进位，则加4（0100）矫正。  实验原理图    拓展实验原理图    实验验证数据   |  |  |  |  |  |  |  |  |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | | Ci | A4 | A3 | A2 | A1 | B4 | B3 | B2 | B1 | CO | S4 | S3 | S2 | S1 | | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 1 |   扩展实验数据   |  |  |  |  |  |  |  |  |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | | CI | A4 | A3 | A2 | A1 | B4 | B3 | B2 | B1 | C0 | S4 | S3 | S2 | S1 | | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | | | | |
| 结论分析与体会：  在本次实验中，我首先复习了余3码的表示及相关性质，同时查阅了余3码十进制加法的相关运算方法，设计并通过仿真软件模拟出余3码的10进制加法器。  在扩展实验中，仿照余3码的相关性质，设计出余4码的八进制加法器。总结出余4码的加法运算规则，并通过仿真软件进行测试。  通过本次实验，加深巩固了数字逻辑的相关知识，为今后的学习和实验打下了坚实的基础。 | | | |