**附件一：**

山东大学计算机科学与技术学院

数字逻辑课程实验报告

|  |  |  |  |
| --- | --- | --- | --- |
| 学号：201700301147 | 姓名： 杜瀛川 | | 班级：17.4 |
| 实验题目：全加器 | | | |
| 实验学时：4 | | 实验日期：2019.4.12 | |
| 实验目的：  （1）学习组合电路的设计方法；  （2）了解全加器的构成和工作原理；  （3）熟悉EDA工具软件的使用方法。 | | | |
| 硬件环境：  （1）操作系统为WINDOWS的计算机一台；  （2）数字逻辑与计算机组成原理实验系统一台；  （3）二输入四与非门74LS00 和二输入四异或门74LS86。 | | | |
| 软件环境：quartus II WINDOWS | | | |
| 实验步骤与内容：  本实验要求利用两输入与非门和异或门设计一个1位二进制全加器，其中a为被加数、b为加数，ci为低位来的进位，s为本位和，co为向高位的进位，1位二进制全加器的框图如图1所示。    图1  4、实验步骤  （1）原理图输入：根据图1电路，采用图形输入法在计算机上完成实验电路的原理图输入。  （2）管脚定义：根据图1硬件实验平台资源示意图和附录一 平台资源和FPGA引脚连接表完成原理图中输入、输出管脚的定义。  （3）原理图编译、适配和下载：在QuartusⅡ环境中选择**EP2C8Q208C8器件，**进行原理图的编译和适配，无误后完成下载。  （4）全加器的调试： 根据全加器的真值表，使用输入开关为全加器输入赋值，观察输出本位和S及向高位进位CO的值是否正确。  （5）生成元件符号。  扩展实验  设计一个逻辑电路来判断四位BCD码中“1”的个数是否为奇数，是奇数输出结果为“1”，是偶数输出结果为“0”。  根据多项异或的性质，将4位数字作为输入，归并异或，如果数字中1的个数为奇数，则结果为1，否则为0。  实验原理图：    拓展实验原理图：    实验验证数据   |  |  |  |  |  | | --- | --- | --- | --- | --- | | a | b | cin | s | cout | | 1 | 1 | 1 | 1 | 1 | | 0 | 1 | 0 | 1 | 0 | | 1 | 0 | 0 | 1 | 0 | | 1 | 1 | 0 | 0 | 1 | | 1 | 0 | 1 | 0 | 1 | | 0 | 1 | 1 | 0 | 1 | | 0 | 0 | 1 | 1 | 0 |   扩展实验数据   |  |  |  |  |  | | --- | --- | --- | --- | --- | | a | b | c | d | out | | 0 | 0 | 0 | 0 | 0 | | 0 | 0 | 0 | 1 | 1 | | 0 | 0 | 1 | 0 | 1 | | 0 | 1 | 0 | 0 | 1 | | 1 | 0 | 0 | 0 | 1 | | 0 | 0 | 1 | 1 | 0 | | 0 | 1 | 1 | 1 | 1 | | 1 | 1 | 1 | 0 | 1 | | 1 | 1 | 0 | 0 | 0 | | 1 | 1 | 1 | 1 | 0 | | 1 | 0 | 0 | 1 | 0 | | | | |
| 结论分析与体会：  在本次实验中，通过使用二输入四与非门74LS00 和二输入四异或门74LS86，实现了一位全加器，不仅学以致用了课本有关的逻辑电路知识，还加强了在仿真软件上进行电路设计的能力。  同时，进行了拓展实验，通过学习掌握的二输入四异或门74LS86原理，实现了对输入四位BCD码中“1”的个数的奇偶判断。为以后更深层次得学习数字逻辑知识打下了坚实的基础。 | | | |