**附件一：**

山东大学计算机科学与技术学院

数字逻辑课程实验报告

|  |  |  |  |
| --- | --- | --- | --- |
| 学号：201700301147 | 姓名： 杜瀛川 | | 班级： 17.4 |
| 实验题目：八位触发器 | | | |
| 实验学时：4 | | 实验日期： 2019.4.26 | |
| 实验目的：  （1）学习基本时序电路的设计方法；  （2）了解寄存器的工作原理和构成；  （3）熟悉EDA工具软件的使用方法。 | | | |
| 硬件环境：  （1）操作系统为WINDOWS XP的计算机一台；  （2）数字逻辑与计算机组成原理实验系统一台；  （3）基本D触发器8个。 | | | |
| 软件环境：  quartus II WINDOWS | | | |
| 实验步骤与内容：  本实验要求采用D触发器设计一个8位的寄存器，其中d7—d0、q7—q0分别为寄存器的输入和输出，cp为寄存器的时钟脉冲。  图1为8位寄存器的框图。    图1  实验步骤  （1）原理图输入：根据图3.10电路，采用图形输入法在计算机上完成实验电路的原理图输入。  （2）管脚定义：根据图3.1硬件实验平台资源示意图和附录一 平台资源和FPGA引脚连接表完成原理图中输入、输出管脚的定义。  将寄存器的输出q7－q0分别锁定在LD7－0上。  将寄存器的输入d7－d0分别锁定在K7－0上。  将寄存器的输入脉冲cp锁定在单脉冲上。  （3）原理图编译、适配和下载：在QuartusⅡ环境中选择**EP2C8Q208C8器件，**进行原理图的编译和适配，无误后完成下载。  （4）功能测试：改变K7－0的状态，按动一次单脉冲键，LD7－0的显示将与K7－0相对应，若有错则重新调试。  （5）生成元件符号。  图2电路为8位寄存器的电路原理图。    图2  实验结果   |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 | Q7 | Q6 | Q5 | Q4 | Q3 | Q2 | Q1 | Q0 | | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 |   IMG_0495  IMG_0496  扩展实验  通过结合译码器实验和本次实验，实现了扩展实验，电路图如下。    通过3译码输入和cp控制，实现寄存器。   |  |  |  |  |  |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | | I2 | I1 | I0 | O7 | O6 | O5 | O4 | O3 | O2 | O1 | O0 | | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |   IMG_0490  IMG_0491 | | | |
| 结论分析与体会：  在本次实验中，我了解了D触发器的工作原理，继续提高自己的组合电路设计能力。利用课本所学的知识，完成了D触发器的设计，完成译码功能。  在扩展实验中，仿照基本实验，利用已学过的数据逻辑知识，译码器和触发器的灵活运用。通过本次实验，加深巩固了数字逻辑的相关知识，为今后的学习和实验打下了坚实的基础。 | | | |