**附件一：**

山东大学计算机科学与技术学院

数字逻辑课程实验报告

|  |  |  |  |
| --- | --- | --- | --- |
| 学号：201700301147 | 姓名：杜瀛川 | | 班级： 17.4 |
| 实验题目：节拍发生器 | | | |
| 实验学时：4 | | 实验日期： 2019.5.17 | |
| 实验目的：  （1）了解节拍发生器的工作原理和设计过程；  （2）学习采用层次化进行数字电路设计的方法；  （3）熟悉EDA工具软件的使用方法。 | | | |
| 硬件环境：  （1）操作系统为WINDOWS XP的计算机一台；  （2）数字逻辑与计算机组成原理实验系统一台；  （3）前述实验中生成的译码器和模8计数器元件符号。 | | | |
| 软件环境：  quartus II WINDOWS | | | |
| 实验内容及说明：  本实验采用层次化的方法进行设计，在顶层电路中直接调用实验7、实验4中完成的计数器元件符号和译码器元件符号作为底层电路元件使用，图1是该节拍发生器的顶层电路原理图。  所采用元件的原理图如下：    实验7原理图    实验4原理图  实验步骤：  （1）原理图输入：根据图3.14电路，直接调用实验3、实验4中完成的计数器元件符号和译码器元件符号完成节拍发生器的顶层电路原理图设计。  （2）管脚定义：根据图3.1中的管脚连接示意图完成原理图中输入、输出的管脚定义。  将计数器的计数脉冲端cp接入连续脉冲上。  将计数器的复位端re接入k0上。  将译码器的输出分别定义在LD7－0上。  （3）原理图编译、适配和下载：在QuartusⅡ环境中选择**EP2C8Q208C8器件，**进行原理图的编译和适配，无误后完成下载。  （4）功能测试：若连接无误，则LD7－0将依次循环点亮。用跨接线改变计数脉冲，节拍的显示频率将被改变。  （5）生成元件符号。  实验原理图    图1  实验验证数据   |  |  | | --- | --- | | clr | output | | 0 | 00000001 | | 1 | 00000001-00000010-00000100-00001000-00010000-00100000-01000000-10000000-00000001-00000010-00000100-00001000-00010000-00100000-01000000-10000000 |   扩展实验：  反向节拍发生器  实验原理图：    扩展实验电路图    异步模8减1计数器电路图    3-8译码器电路图  实验验证数据   |  |  | | --- | --- | | clr | output | | 0 | 00000001 | | 1 | 00000001-10000000-01000000-00100000-00010000-00001000-00000100-00000010-00000001-10000000-01000000-00100000-00010000-00001000-00000100-00000010-00000001 | | | | |
| 结论分析与体会：  在本次实验中，我复习了D触发器、RS触发器的工作原理，继续提高自己的组合电路设计能力。利用课本所学的知识，完成了节拍发生器的设计，加深了自己对异步时序逻辑电路的理解和设计能力。  同时，再次练习了自己的层次化设计能力和对封装元件的使用，为今后更复杂的数字逻辑设计打下基础。  在扩展实验中，仿照基本实验，设计实现了反向节拍发生器，通过本次实验，加深巩固了数字逻辑的相关知识，为今后的学习和实验打下了坚实的基础。  同时，使用了试验台连续脉冲，提高了自己的动手操作能力。 | | | |