山东大学计算机科学与技术学院

数字逻辑课程实验报告

|  |  |  |  |
| --- | --- | --- | --- |
| 学号：201700301147 | 姓名： 杜瀛川 | | 班级： 17.4 |
| 实验题目：同步模4可逆计数器 | | | |
| 实验学时： 4 | | 实验日期： 2019.5.5 | |
| 实验目的：  （1）学习同步时序电路的设计方法；  （2）了解可逆计数器的工作原理和设计实现；  （3）熟悉EDA工具软件的使用方法。 | | | |
| 硬件环境：  （1）操作系统为WINDOWS XP的计算机一台；  （2）数字逻辑与计算机组成原理实验系统一台；  （3）双D触发器 74LS74、二输入二与非门74LS00、三输入三与非门74LS10和二输入四异或门74LS86。 | | | |
| 软件环境：  quartus II WINDOWS | | | |
| 实验步骤与内容：  在掌握同步时序逻辑电路设计方法的基础上，要求采用D触发器、二输入与非门、三输入与非门和异或门设计一个可逆模4计数器，其框图如图3.11所示，其中CP为计数脉冲输入端，CON为可逆计数器的控制端（CON=1进行加计数，CON=0进行减计数），Q2Q1位计数输出端，Z为进位端。同步模4可逆计数器原理图如图1所示。    图1 同步模4可逆计数器框图  4、实验步骤  （1）原理图输入：根据图2电路，采用图形输入法在计算机上完成实验电路的原理图输入。  （2）管脚定义：根据硬件实验平台资源示意图和附录一 平台资源和FPGA引脚连接表完成原理图中输入、输出管脚的定义。  将可逆计数控制端CON锁定在K0上。LD7－0上。  将计数脉冲输入端CP锁定在单脉冲上。  计数脉冲输出Q2Q1可锁定在LD1和LD0上，进位输出Z可锁定在LD2上。  （3）原理图编译、适配和下载：在QuartusⅡ环境中选择**EP2C8Q208C8器件，**进行原理图的编译和适配，无误后完成下载。  （4）功能测试：按动单脉冲键，LD1－0应该按00-01-10-11或11-10-01-00的规律显示，LD2显示进位输出，如有错则检查电路并按上述步骤重新进行。  实验原理图    图2  实验数据   |  |  | | --- | --- | | con | output | | 1 | 000-001-010-011-100-101-110-111-000-001-010-011-100-101-110-111 | | 0 | 111-110-101-100-011-010-001-000-111-110-101-100-011-010-001-000 |   扩展实验  利用JK触发器设计一个可逆模4计数器。  利用触发器转换的相关知识，将JK触发器转换为D触发器。    实验原理图    实验数据   |  |  | | --- | --- | | con | output | | 1 | 000-001-010-011-100-101-110-111-000-001-010-011-100-101-110-111- | | 0 | 111-110-101-100-011-010-001-000-111-110-101-100-011-010-001-000 | | | | |
| 结论分析与体会：  在本次实验中，我复习了D触发器的工作原理，继续提高自己的组合电路设计能力。利用课本所学的知识，完成了同步模4可逆计数器（带进位）的设计。  在扩展实验中，仿照基本实验，利用已学过的触发器转换的相关知识，使用JK触发器实现了同步模4可逆计数器（带进位）。通过本次实验，加深巩固了数字逻辑的相关知识，为今后的学习和实验打下了坚实的基础。 | | | |