**附件一：**

山东大学计算机科学与技术学院

数字逻辑课程实验报告

|  |  |  |  |
| --- | --- | --- | --- |
| 学号：201700301147 | 姓名：杜瀛川 | | 班级： 17.4 |
| 实验题目：译码器 | | | |
| 实验学时：4 | | 实验日期：2019.4.19 | |
| 实验目的：  （1）学习组合电路的设计方法；  （2）了解译码器的工作原理和构成；  （3）熟悉EDA工具软件的使用方法。 | | | |
| 硬件环境：  （1）操作系统为WINDOWS XP的计算机一台；  （2）数字逻辑与计算机组成原理实验系统一台；  （3）三输入与门和非门电路若干。 | | | |
| 软件环境：  quartus II WINDOWS | | | |
| 实验步骤与内容：  本实验要求完成一个3线－8线译码器的设计。其中i2-i0为译码器输入端，y7-y0为译码器输出端。图3.7为三线―八线译码器的框图，下图给出了三线―八线译码器的原理图。    4、实验步骤  （1）原理图输入：根据上图电路，采用图形输入法完成实验电路的原理图输入。  （2）管脚定义：根据硬件实验平台资源示意图和附录一 平台资源和FPGA引脚连接表完成原理图中输入、输出管脚的定义。  将译码器的三个输入端分别定义在K2-0上。  将译码器的三个输出端分别定义在LD7-0上。  （3）原理图编译、适配和下载：在QuartusⅡ环境中选择**EP2C8Q208C8器件，**进行原理图的编译和适配，无误后完成下载。  （4）功能测试：改变K2-0的状态，译码器的输出则相应改变。  （5）生成元件符号。  实验原理     |  |  |  |  | | --- | --- | --- | --- | | I2 | I1 | I0 |  | | 0 | 0 | 0 | Y0 | | 0 | 0 | 1 | Y1 | | 0 | 1 | 0 | Y2 | | 0 | 1 | 1 | Y3 | | 1 | 0 | 0 | Y4 | | 1 | 0 | 1 | Y5 | | 1 | 1 | 0 | Y6 | | 1 | 1 | 1 | Y7 |   电路由反相器和与门实现，实现译码功能。  实验原理图    实验数据     |  |  |  |  | | --- | --- | --- | --- | | I2 | I1 | I0 |  | | 0 | 0 | 0 | Y0 | | 0 | 0 | 1 | Y1 | | 0 | 1 | 0 | Y2 | | 0 | 1 | 1 | Y3 | | 1 | 0 | 0 | Y4 | | 1 | 0 | 1 | Y5 | | 1 | 1 | 0 | Y6 | | 1 | 1 | 1 | Y7 |   扩展实验  仿照3线－8线译码器的设计，设计4-16译码器。器件同样使用非门和与门。   |  |  |  |  |  | | --- | --- | --- | --- | --- | | I3 | I2 | I1 | I0 |  | | 0 | 0 | 0 | 0 | Y0 | | 0 | 0 | 0 | 1 | Y1 | | 0 | 0 | 1 | 0 | Y2 | | 0 | 0 | 1 | 1 | Y3 | | 0 | 1 | 0 | 0 | Y4 | | 0 | 1 | 0 | 1 | Y5 | | 0 | 1 | 1 | 0 | Y6 | | 0 | 1 | 1 | 1 | Y7 | | 1 | 0 | 0 | 0 | Y8 | | 1 | 0 | 0 | 1 | Y9 | | 1 | 0 | 1 | 0 | Y10 | | 1 | 0 | 1 | 1 | Y11 | | 1 | 1 | 0 | 0 | Y12 | | 1 | 1 | 0 | 1 | Y13 | | 1 | 1 | 1 | 0 | Y14 | | 1 | 1 | 1 | 1 | Y15 |     扩展实验数据   |  |  |  |  |  | | --- | --- | --- | --- | --- | | I3 | I2 | I1 | I0 |  | | 0 | 0 | 0 | 0 | Y0 | | 0 | 0 | 0 | 1 | Y1 | | 0 | 0 | 1 | 0 | Y2 | | 0 | 0 | 1 | 1 | Y3 | | 0 | 1 | 0 | 0 | Y4 | | 0 | 1 | 0 | 1 | Y5 | | 0 | 1 | 1 | 0 | Y6 | | 0 | 1 | 1 | 1 | Y7 | | 1 | 0 | 0 | 0 | Y8 | | 1 | 0 | 0 | 1 | Y9 | | 1 | 0 | 1 | 0 | Y10 | | 1 | 0 | 1 | 1 | Y11 | | 1 | 1 | 0 | 0 | Y12 | | 1 | 1 | 0 | 1 | Y13 | | 1 | 1 | 1 | 0 | Y14 | | 1 | 1 | 1 | 1 | Y15 | | | | |
| 结论分析与体会：  在本次实验中，我了解了译码器的工作原理，继续提高自己的组合电路设计能力。利用课本所学的知识，完成了3-8译码器的设计，完成译码功能。  在扩展实验中，仿照基本实验，利用已学过的数据逻辑知识，完成4-16译码器的设计，基本结构和原理和3-8译码器相似。  通过本次实验，加深巩固了数字逻辑的相关知识，为今后的学习和实验打下了坚实的基础。 | | | |