

MD6601
(Mixed Signal MCU 製品)最終設計レビュー
FDR (Final DR)
資料

顧客名	(超L)自主開発汎用品
内容	アナログ付加機能付き汎用 Micro Control Unit LSIの開発
製品(LSI)型名	MD6601
DR 開催回数	第1回: <input type="checkbox"/> 第2回: <input type="checkbox"/> 第3回: <input checked="" type="checkbox"/> 第(5)回:
DR 区分	<input type="checkbox"/> 設区 V1:基本設計完了前 DR <input type="checkbox"/> 設区 V2:詳細設計完了前 DR <input checked="" type="checkbox"/> 設区 V4:ES 認定完了前 DR
開発責任部署	MS本／L製設
顧客窓口	新開/(當谷)

来歴

Rev.	日付	内容	作成／審査／承認
0. 0	2012/12/13	新規作成	児玉／今井／山崎
1. 0	2012/12/18	表紙 DR 開催回数 4→5 誤記修正	児玉／今井／山崎
		3 章 図 3-1 OPAMP 右の(PGA)誤記のため削除	
		3.2 章 全体仕様 Package 0.5mm→Package 0.5mm ピッチ誤記修正	
		7 章 特認見解 1/4 2) 動作周波数下限 下限=6.25→6.25MHz 誤記修正	
		7 章 特認見解 2/4 動作電圧範囲 4)VCC 動作上限 判定欄 ○追加	
		7 章 特認見解 2/4 入出力特性 2)出力特性 16mA-buffer VoH スペック(2.83V)→(2.3V)誤記修正	
		7 章 特認見解 2/4 アナログ特性 3)12bit_DAC DAC 選別値 ±50LSB→ ±60LSB 誤記修正	
		8章 電気的特性⇔テスト仕様チェックリスト1/6 2.Recommended Operating Conditions Ta_FLASH Test specifications ー→ 26°C誤記修正	
		8章 電気的特性⇔テスト仕様チェックリスト3/6 10.12bit DAC ABS_DAC12 Test specifications ±50.0LSB→±60.0LSB	
		9 章 表 9-1 リスクアセスメント(PSPR)判定表「火災 No3 リスクインデックス」14→17 判定値誤記修正	
		12 章 法令・規制(コンプライアンス・契約等)チェックシート誤記修正	
		13 章 表 13-1 Beake→Bake スペル誤記修正	
		13 章 表 13-1 TSMC_0.35um プロセス→TSMC_0.18um プロセス誤記修正	

目次

1. 適用	4
2. 目的	5
3. 製品仕様	5
3.1. ブロック・ダイアグラム	5
3.2. 全体仕様概要	6
3.3. P I N配置	7
3.4. 型名と出荷形態	7
4. 開発計画	8
5. 量産立ち上げ計画	9
6. 量産フロー	10
7. 特性認定結果	11
8. 電気的特性・テスト仕様チェック	15
9. 製品リスクアセスメント	22
10. 環境アセスメント	25
11. ES 認定の事前検討	25
12. 関連する法規制への対応	27
13. テスティング設計	29
13.1. 選別工程	29
13.2. テスト環境	30
14. DR のフォローアップ	31

1. 適用

本資料は、MD6601 の開発における FDR に適用する。

本資料は、デザインレビュー実施基準（規格番号：D00-0097(R.3)）の規定に基づき作成されたもので、

図 1-1LSI 設計・開発フローに示す V3～V4 の設区において、最終設計レビューとして定義されるデザインレビューに用いる。

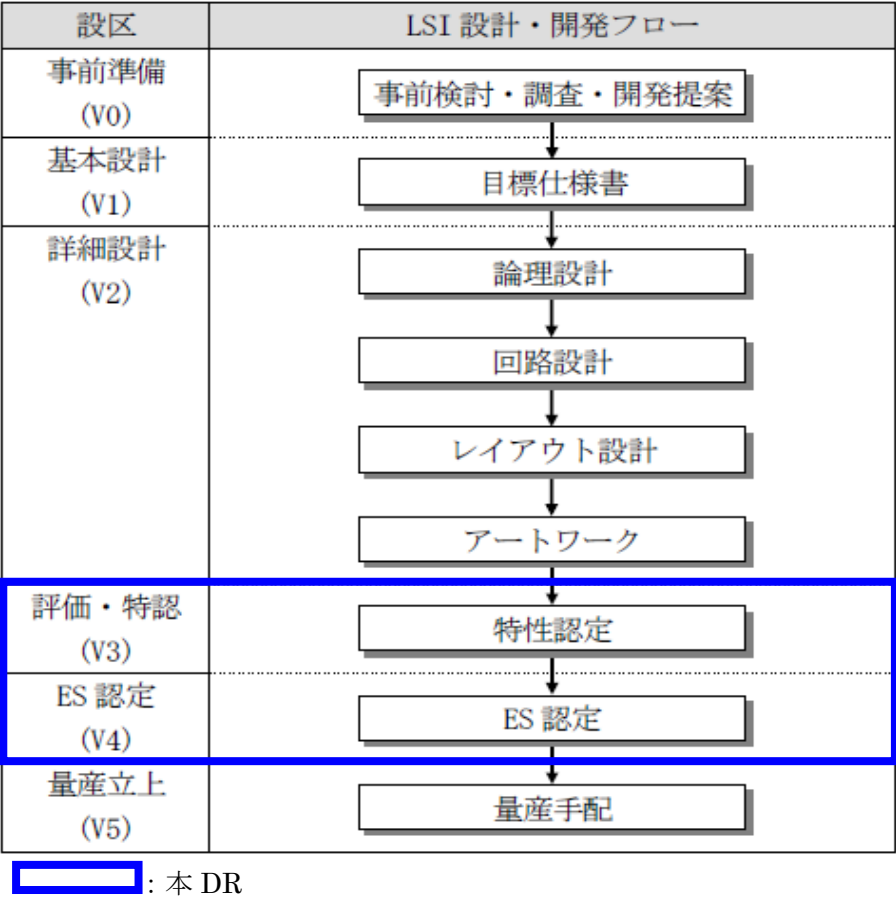


図 1-1LSI 設計・開発フロー

2. 目的

本デザインレビューでは、設区V3～V4の設計内容チェック、PSPRの確認及びPDR,IDR,特認DRの懸案事項フォローアップを行う。

3. 製品仕様

3.1. ブロック・ダイアグラム

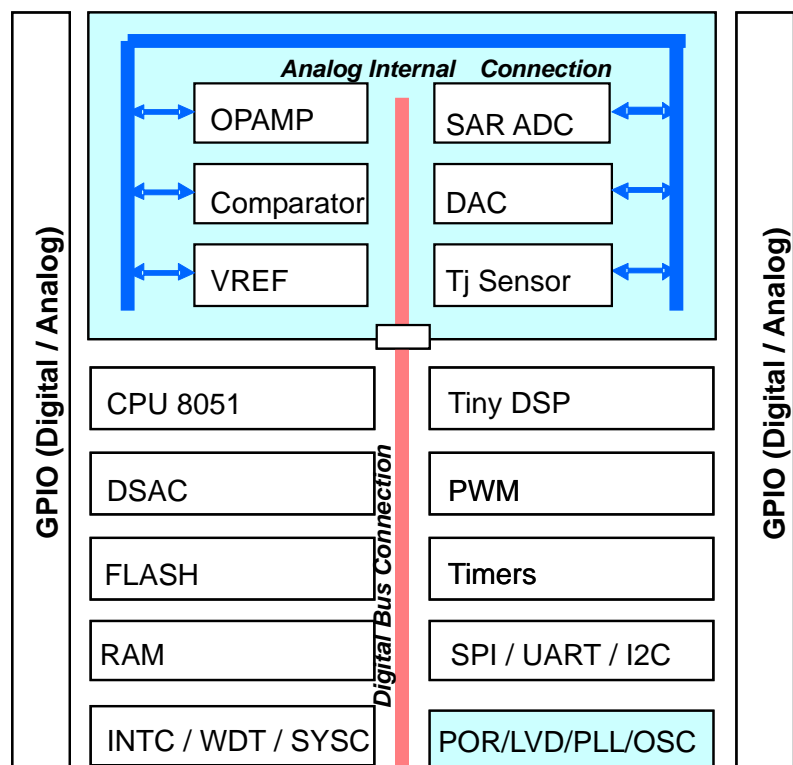
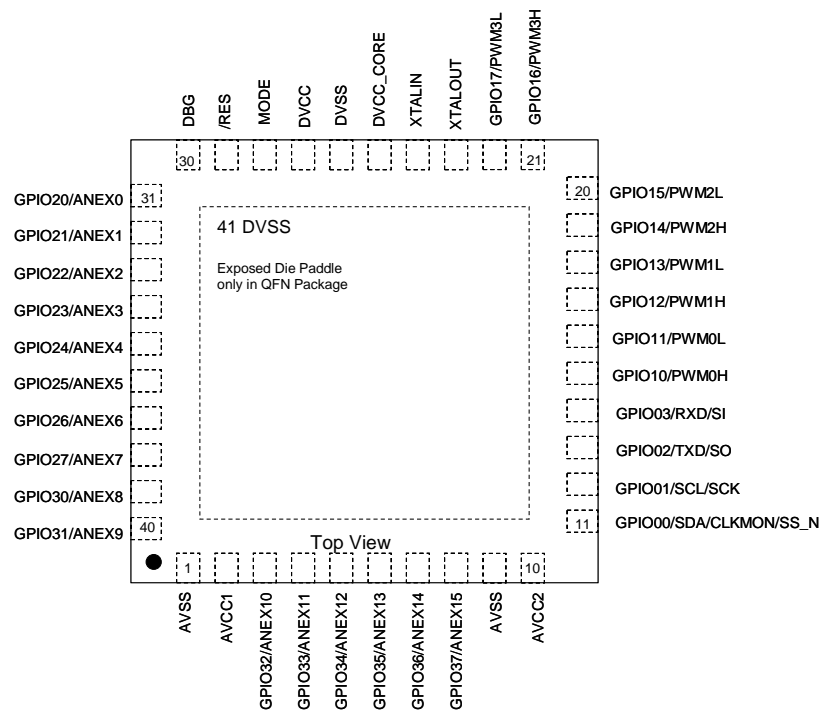


図 3-1 L S I - ブロック・ダイアグラム

3.2. 全体仕様概要

Item	MD6601-POWER
Target	High-End Full Digital SMPS Full Digital AC-DC SMPS
Power	Digital VDD=3.0~3.6V, Analog AVDD=3.0~3.6V Digital ICC~80mA @Active 50MHz (2-cycle FLASH access) Digital ICC~5mA @Standby
Analog Block	<ul style="list-style-type: none"> - OP AMP (standalone/unity) x 2 - High Speed Comparator x 4 - 10bit@4MSPS ADC x 2unit - 12bit@1MSPS ADC x 1unit - 12bit DAC x 1units
	<ul style="list-style-type: none"> - Reference Voltage - Temperature Sensor - Internal Connections to Configure Analog Block
CPU	High Speed UL8051 with 1-wire On-Chip-Debugger
DSAC	Direct SFR Access Controller - Automatic Data Transfer by event trigger
FLASH	16KB (Erase/Write/Verify via 1-wire Debug Interface)
RAM	1KB
Timers	<ul style="list-style-type: none"> - High Resolution PWM - Generic Interrupt Timers
Serials	SPI / UART / I2C x 1 each
Tiny DSP	2-Threads Configurable Digital Filter (IIR/FIR, 3P2Z etc) Division
GPIO	Each pin has Pull Up MOS (PUP) and can be independently ON/OFF by software
System	POR / LVD / IRC($\pm 5\%$ 要求) / Internal Voltage Regurator
Package	QFN40 : 6mmx6mm, 0.5mm ピッチ

3.3. P I N配置



QFN-40 (QFN-41)

3.4. 型名と出荷形態

型名と出荷形態の対応を下記に記す

項#	型名	マーク型名	出荷形態	備考
1	MD6601FNV	MD6601FNV	Tray	
2	MD6601FNVL	MD6601FNV	Tape&Reel	

4. 開発計画

本開発におけるマイルストーンと予定を図 4-1 に示す。顧客からの要求及び TEG 評価結果からアナログモジュール修正が必要となったため、計画の見直しを行っている。
サンプルの要求は、顧客(コーセル(株) 殿)の要求数を記載している。

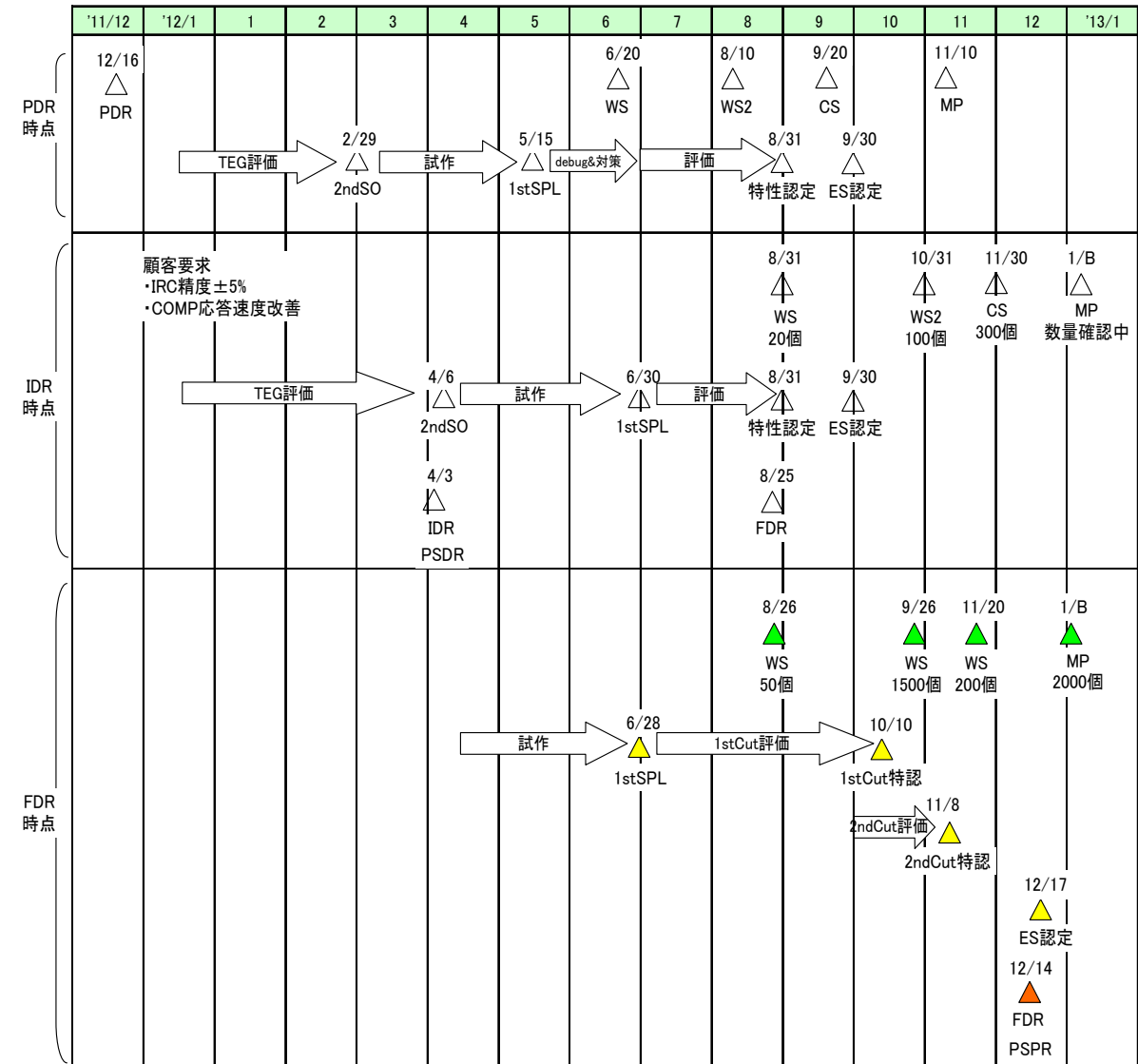


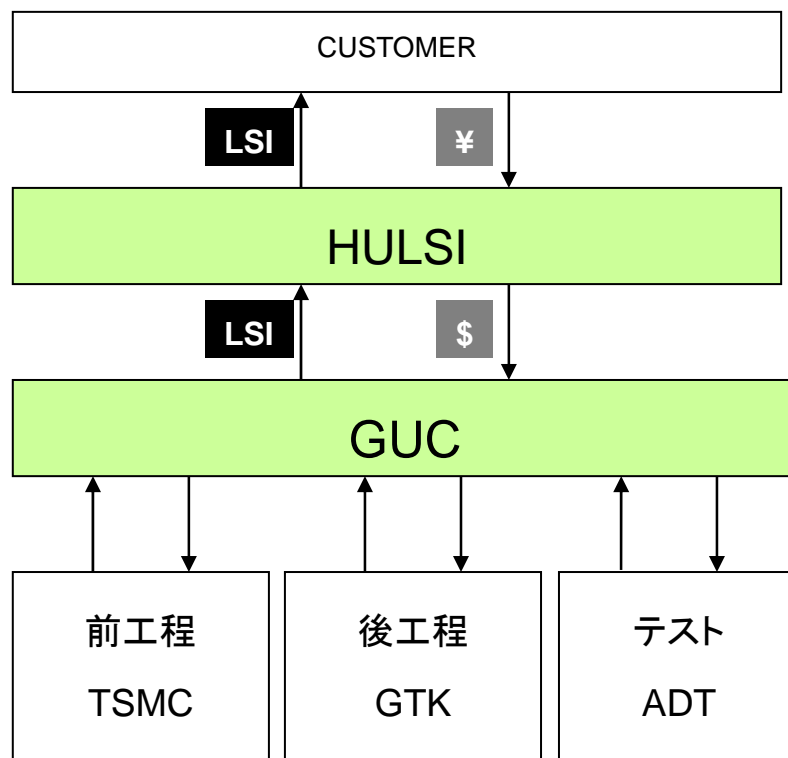
図 4-1 開発日程

5. 量産立ち上げ計画

LSI製造は、台湾 GUC (Global Unichip Corporation) 経由でTSMC(Taiwan Semiconductor Manufacturing Company)で行う。

LSI後工程は、GUC 経由で GTK (GREATEK ELECTRONICS INC.)で行う。

テスト工程はCP1/2:ADT(Ardentec Corporation)、FT:ADTで行う。



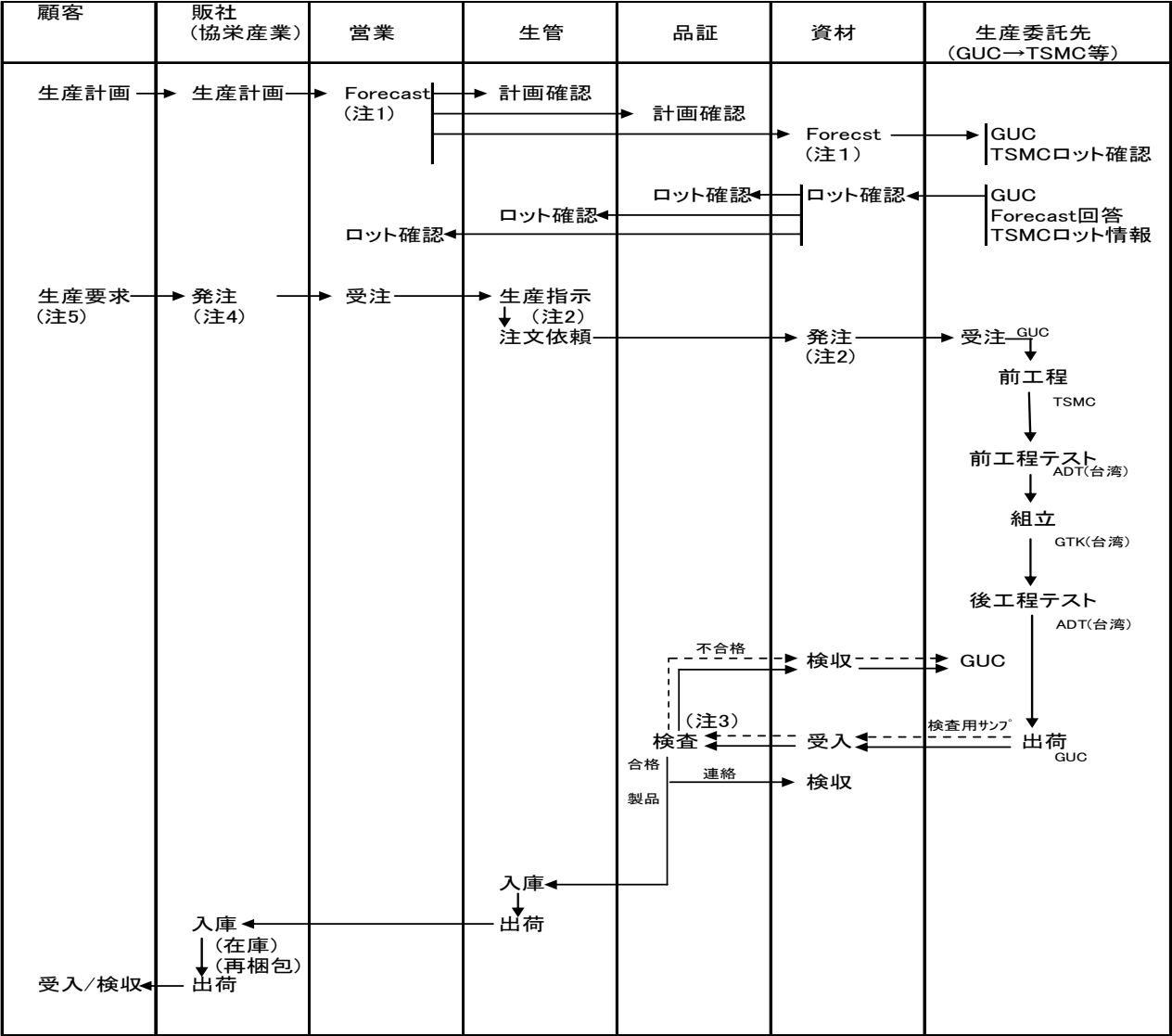
GTK(GREATEK ELECTRONICS INC.) <http://www.greatek.com.tw/>

テスト : ADT(Ardentec Corporation) <http://web.ardentec.com/en.php>

6. 量産フロー

量産フローを下記に記す。

MD6601 顧客からの生産要求から製品出荷までのフロー概略



←--- 受入検査用サンプル
←--- 製品の流れ

- (注1) Forecast(生産計画)はGUCに対して出荷の6ヶ月前までに行うこと。
- (注2) 生産指示および発注はGUCに出荷の4ヶ月前までに行うこと。
超LからGUCへの発注は66,020/Lot。外装箱を満箱にしてGUCから出荷。20ヶは検査用で別梱包となる。
先入先出での出荷対応となる。数が満たない場合はGUCにて保管。次の注文時に含めて出荷する。
- (注3) 超Lでの受け入れ検査用としては、20ヶ/1前工程ロットをトレーにて別梱包で入荷される。
* 超Lの受け取り検査でNGとなった場合は別途、GUCと協議を行い対応する。
- (注4) 販社から超LへのMOQは1外装箱(満箱/T&Rは8,000ヶ、Trayは29,400ヶ)となる。
発注単位はT&Rでは8,000ヶ、Trayでは29,400ヶのn倍となる。本件、(新開)にて販社と調整中。
Tray出荷に関しては仕様書にて少量対応可能。ただし、単価upとなる。
- (注5) 顧客から販社へのMOQは1内装箱(満箱/T&Rは2,000ヶ、Trayは4,900ヶ)となる。
発注単位はT&Rでは2,000ヶ、Trayでは4,900ヶのn倍となる。本件、(新開)にて販社と調整中。
Tray出荷に関しては仕様書にて少量対応可能。ただし、単価upとなる。
- 72.2Kヶ/lot (2888ヶ/ウエハ) 歩留まり 91.7%の場合 良品サンプル数 66.2Kヶ/lot

7. 特性認定結果

特性評価の結果、全ての機能、特性で問題の無いことを確認した。
設計見解を下記に記す。

詳細データは

「MD6601 特認書_1stcut_20121010.pdf」

「MD6601 特認書_2ndCut_20121108.pdf」

を参照。

特認見解 1/4

No.	項目	設計見解	判定	参照図面
1	機能	全ての機能をセルフチェックプログラムで評価し、問題ないことを確認した。 SCAN 検出率は DC-SCAN : 97.42%、AC-SCAN : 85.43%であり、問題無い	○	-
2	動作周波数	1) 動作周波数上限 スペック (12.5MHz) に対してワースト値が 16.44MHz であり、十分マージンが有り問題無い (ワーストパターン : p5d66010afz3gio002a.lpa)	○	-
		2) 動作周波数下限 スペック (8MHz) に対して全ての機能で下限=6.25MHz 以下であり、十分マージンが有り問題無い	○	-
3	動作電圧範囲	1)V_Core 動作下限値 設計値 (1.80V) に対してにてワースト値が 1.32V であり、十分マージンがあり問題無い。 (ワーストパターン : p5d6601asd7scan01b) V_Core は社外規定はない。	○	-
		2)V_Core 動作上限値 設計値 (1.80V) に対し、全ての機能で 2.4V 以上であり、十分マージンが有り問題無い。	○	-

特認見解 2/4

No.	項目	設計見解	判定	参照図面
3	動作電圧 範囲	3)VCC 動作下限値 スペック (3.0V) に対し、全ての機能で下限=2.5V 以下であり、 十分マージンが有り問題無い	○	-
		4)VCC 動作上限 スペック (3.6V) に対し、全ての機能で上限=4.5V 以上であり、 十分マージンが有り問題無い	○	
4	入出力 特性	1)入力特性 ViH のスペック (2.0V) に対し、ワースト値が 1.78V であり、 十分マージンが有り問題無い ViL のスペック (0.8V) に対し、ワースト値が 1.088V であり、 十分マージンが有り問題無い	○	-
		2)出力特性 4mA-buffer は、VoH のスペック (2.4V) に対してワースト値が 2.590V、VoL のスペック (0.4V) に対しワースト値が 0.336V で あり問題ない 16mA-buffer は、VoH スペック (2.3V) に対してワースト値が 2.486V、VoL のスペック (0.4V) に対してワースト値が 0.336V であり問題ない	○	-
5	アナログ 特性	1)10bit_ADC 絶対精度の設計目標スペック 10bit_ADC=±4LSB であるが、 特性評価の結果は±8LSB である。1500 個の選別実績をもと に安定した歩留まり確保を考慮して、 選別値は 10bit_ADC=±10LSB とする	○	付図 6.1
		2)12bit_ADC 絶対精度の設計目標スペック 12bit_ADC=±8LSB であるが、 特性評価の結果は 12bit_ADC=±16LSB である。そこで 1500 個の選別実績をもとに安定した歩留まり確保を考慮して、選 別値は 12bit_ADC=±30LSB とする	○	付図 6.2
		3)12bit_DAC 絶対精度は設計目標スペック ±6LSB としていたが、原価低減 のためモジュールサイズの縮小を目的に精度を犠牲にした 経緯がある。評価結果から精度の連続性は良い特性が得られ たことから、スペックは内蔵の ADC にて校正して使用するこ とを前提とした仕様とし、選別値を±60LSB とする	○	付図 6.3

特認見解 3/4

No.	項目	設計見解	判定	参照図面
5	アナログ 特性	4) Comparator スペックの条件時 ($VCC \times 1/2$) の Response Time は 8ns であり、スペック 20ns に対して十分マージンがあり問題無い。 但し、入力(+) (-) の交差電位が 「 $< AVSS + 0.8V$ 」 「 $> AVCC - 0.8V$ 」 の領域で急激な速度低下を起こすことが判明した。 そこで、Comparison Voltage Range を下記のとおり見直す $\max = AVCC - 1.0V$ $\min = AVSS + 1.0V$	○	付図 6. 4
		5) Voltage Reference 1stCutではVREF180 (1.8V 電位生成) のトリミング中心値が設計値より低い側にずれていた。2ndCutにおいて歩留、マージン向上を目的に、VREF180の電位を100mV上げるマスク修正を行なった。 評価の結果、修正を行なったVREF180は、電位分布中心は1.81Vであり、設計のねらい目通りであることを確認した。よって問題ない	○	付図 6. 5. 1 付図 6. 5. 2
		6) 他モジュール 社外スペックに対してマージンがあり、問題なし	○	-
6	消費電流	1) ACTIVE DVCC : 規格 80mA に対し、ワースト 48.00mA であり、問題ない AVCC : 規格 23mA に対し、ワースト 9.13mA であり、問題ない	○	-
		2) SLEEP DVCC : 規格 70mA に対し、ワースト 38.00mA であり、問題ない	○	-
		3) STBY DVCC : 規格 5mA に対し、ワースト 2.11mA であり、問題ない AVCC : 規格 1mA に対し、ワースト 0.78mA であり、問題ない	○	-

特認見解 4/4

No.	項目	設計見解	判定	参照図面
7	静電破壊	1)MM 法 規格±200V に対し正/負電圧印加どちらとも±200V 以上耐性があり問題ない	○	-
		2)HBM 法 規格±2000V に対し正/負電圧印加どちらとも±2000V 以上耐性があり、問題ない	○	-
		3)CDM 法 規格±1500V 以上に対して+1500V、-1700V の耐性があり、問題ない	○	-
8	ラッチアップ	規格±150mA に対し±250mA の耐性があり、問題ない	○	-
9	歩留まり	2nd-cut の歩留り評価では 1st-cut と同等な選別を行い差異が発生していないことを目的に歩留り確認を行った。 確認の結果 FT:92%と、1 s t-cut と差異がなく 2nd-cut の修正で歩留りを低下させる要因がないことを確認した 今後、歩留り向上のためテストプログラム調整を行う(期日:量産開始まで)	○	付図 6.6
10	総合判定	上記のとおり、機能、特性に問題ないことを確認した。よって特性認定合格とする	○	-

8. 電気的特性-テスト仕様チェック

電気的特性-テスト仕様のチェック結果を次頁に記す

電気的特性⇄テスト仕様チェックリスト

1.Absolute Maximum Ratings

Item	Symbol	min	typ	max	Unit	Note	Test specifications	Index
Storage Temperature	Tstorage	-40		+125	degC		—	ES試験で確認済
Junction Temperature	Tj	-40		+125	degC		—	ES試験で確認済
Digital Power Supply	DVCCamr	-0.3		+4.0	V		HV_SGRIにてDVCC=4.5V印加	
Analog Power Supply	AVCCamr	-0.3		+4.0	V		HV_SGRIにてAVCC=4.5V印加	
Digital Input Voltage	DVIN5amr	-0.3		5.5	V		IOPinLeakにて5.5V印加	
Digital Input Voltage	DVIN3amr	-0.3		DVCC+0.3	V		HV_SGRIにてViH=4.5V印加	
Analog Input Voltage	AVIN3amr	-0.3		AVCC+0.3	V		HV_SGRIにてViH=4.5V印加	
Output Current	ΣDOUtamr			58	mA		—	DMのメタル電流密度より規定
Output Current	ΣIAOUTamr			32	mA		—	DMのメタル電流密度より規定

2.Recommended Operating Conditions

Item	Symbol	min	typ	max	Unit	Note	Test specifications	Index
Ambient Temperature	Ta	-40		110	degC		26°C、+115°C	特認保証範囲(-40~+115°C)
Ambient Temperature for FLASH Programming/Erasing Operation	Ta_FLASH	0		55	degC		26°C	特認にて確認
Digital Power Supply	DVCC	3.0	3.3	3.6	V		DVCC=2.9V/3.7Vを実施	
Analog Power Supply	AVCC	3.0	3.3	3.6	V		AVCC=2.9V/3.7Vを実施	

AVCC = DVCC ± 0.3 V

3.Package Information

Item	Symbol	min	typ	max	Unit	Note	Test specifications	Index
Thermal Resistance of QFN-40	Theta J-A (QFN-40)		40		deg/W	Wind 0m/s	—	Fabの設計値保証
	Theta J-C (QFN-40)		20		deg/W	Wind 0m/s	—	Fabの設計値保証
Thermal Resistance of QFP-44	Theta J-A (QFP-44)		TBD		deg/W	Wind 0m/s	—	Fabの設計値保証 (未確認)
	Theta J-C (QFP-44)		TBD		deg/W	Wind 0m/s	—	Fabの設計値保証 (未確認)

4.Current Consumption

Item	Symbol	min	typ	max	Unit	Note	Test specifications	Index
DVCC Current (Active)	DICC_Active		45	80	mA	CPU 50MHz	MaxLimit=19.0mA	
DVCC Current (Sleep)	DICC_Sleep		40	70	mA	CPU Stops	MaxLimit=12.0mA	
DVCC Current (Stby)	DICC_Stby		2	5	mA	*1	MaxLimit=3.5mA	
DVCC Current under FLASH Programming or Erasing	DICC_FLASH		55		mA		—	Fab (IP) の設計値保証
AVCC Current (ADC10)	AICC_ADC10		1	5	mA	*2	MaxLimit=4.0mA	
AVCC Current (ADC12)	AICC_ADC12		2	7	mA	*2	MaxLimit=5.0mA	
AVCC Current (DAC12)	AICC_DAC12		2	5	mA	*2	MaxLimit=4.0mA	
AVCC Current (COMP)	AICC_COMP		0.3	1	mA	*2	MaxLimit=0.9mA	
AVCC Current (OPAMP)	AICC_OPAMP		1	4	mA	*2	MaxLimit=3.0mA	
AVCC Current (TEMP)	AICC_TEMP		0.3	1	mA	*2	MaxLimit=0.9mA	
AVCC Current (Stby)	AICC_Stby		0.3	1	mA	*3	MaxLimit=0.7mA	

*1: Even in STBY state, internal voltage regulator, VREF, POR and consumes power.

*2 AVCC current consumption for each module unit which is enabled.

*3 AVCC current consumption when all analog modules are disabled.

5.Low Voltage Detector

Item	Symbol	min	typ	max	Unit	Note	Test specifications	Index
Voltage detection level	Vdet		2.4		V		—	特認で保証(実力=2.433V)

6.Reset Operation

Item	Symbol	min	typ	max	Unit	Note	Test specifications	Index
External /RES Width	tRES	10			ms	Cold Start	301.5us	Fc/パタン(p5d66010afz2rst000b)で選別
		1			us	Hot Start	200ns	↑
Internal POR Detect Voltage (VCORE)	VPOR			1.5	V		—	特認で保証(実力=1.385V)
Internal POR Detect Hysteresis Voltage	VPOR_hys		100		mV		—	特認で保証(実力=102~125mV)

7.Clock Operation

Item	Symbol	min	typ	max	Unit	Note	Test specifications	Index
External XTAL Oscillation Stabling Time	tXTAL	10			ms	XTAL=12.5MHz	—	Fabの設計値保証
Internal IRC Oscillation Stabling Time	tIRC	100			us		2.44us	パタン(p5d66010afz3gio002a)
Internal IRC Oscillation Frequency	fIRC	9.5	10	10.5	MHz	Ta= -20~100℃	9.5~10.5MHz	
		9.3	10	10.7	MHz	Ta= -40~110℃	9.3~10.7MHz	
PLL1/2 Oscillation Stabling Time	tPLL_OSC		100		us		100us	パタン(p5d66010afz3gio002a)
Input Clock(XTALIN) Frequency	fCLK_IN	8		12.5	MHz		12.5MHz	

8.10bit ADC

Item	Symbol	Typ.	Unit	Note	Test specifications	Index
Resolution	BIT_ADC10	10	bit		10bit	
Input Voltage Range	VIN_ADC10	AVSS — AVCC	V		AVSS-2.9V, AVSS-3.7V	
Conversion Speed (Sampling Time + Conversion Time)	fCONV_ADC10	4	MSPS		4MSPS	パタン(p5d66010afz3ad0200d、p5d66010afz3ad1007e)
Integral Non Linearity Error	INL_ADC10	±3.5	LSB		—	特認で保証(実力=±1.98LSB)
Differential Non Linearity Error	DNL_ADC10	±3.5	LSB		—	特認で保証(実力=+3.0/-1.0LSB)
Zero Scale Error	ZS_ADC10	±4	LSB		—	特認で保証(実力=-0.3/-3.9LSB)
Full Scale Error	FS_ADC10	±4	LSB		—	特認で保証(実力=0.96/-5.10LSB)
Absolute Error	ABS_ADC10	±4	LSB		±10.0LSB	

*Measured by Impedance of Source(Rout_ADC10) ≤ 200 Ohm

9.12bit ADC

Item	Symbol	Typ.	Unit	Note	Test specifications	Index
Resolution	BIT_ADC12	12	bit		12bit	
Input Voltage Range	VIN_ADC12	AVSS — AVCC	V		AVSS-2.9V, AVSS-3.7V	
Conversion Speed (Sampling Time + Conversion Time)	fCONV_ADC12	1	MSPS		1MSPS	パタン(p5d66010afz3ad2003e)
Integral Non Linearity Error	INL_ADC12	±5	LSB		—	特認で保証(実力=±4.19LSB)
Differential Non Linearity Error	DNL_ADC12	±5	LSB		—	特認で保証(実力=1.31/-1.0LSB)
Zero Scale Error	ZS_ADC12	±12	LSB		—	特認で保証(実力=2.17/7.32LSB)
Full Scale Error	FS_ADC12	±12	LSB		—	特認で保証(実力=6.03/12.01LSB)
Absolute Error	ABS_ADC12	±16	LSB		±30.0LSB	

*Measured by Impedance of Source(Rout_ADC12) ≤ 3000 Ohm

10.12bit DAC

Item	Symbol	Typ.	Unit	Note	Test specifications	Index
Resolution	BIT_DAC12	12	bit		12bit	
Output Voltage Range	VOUT_DAC12	(AVSS+0.2) – (AVCC-0.3)	V		(AVSS+0.1V)–(AVCC-0.2V)	
Output Settling Time	tCONV_DAC12	1	us		—	特認で保証(実力=0.62us)
Output Current	Iout_DAC12	1	mA		—	設計値保証
Output Load	Cout_DAC12	50	pF		—	特認で保証(実力>120pF)
Integral Non Linearity Error	INL_DAC12	±20	LSB		—	特認で保証(実力=±11.00LSB)
Differential Non Linearity Error	DNL_DAC12	±2.5	LSB		—	特認で保証(実力=2.00/-1.00LSB)
Zero Scale Error	ZS_DAC12	±20	LSB		—	特認で保証(実力=6.65/12.86LSB)
Full Scale Error	FS_DAC12	±40	LSB		—	特認で保証(実力=-6.74/37.79LSB)
Absolute Error	ABS_DAC12	±40	LSB		±60.0LSB	

11.OPAMP

Item	Symbol	min	typ	max	Unit	Note	Test specifications	Index
Input Voltage Range	VIN_OPAMP	AVSS+0.4		AVCC-0.5	V		AVSS+0.4V / AVCC+0.5V / AVCC-0.5Vを入力	
Output Voltage Range	VOUT_OPAMP	AVSS		AVCC	V		AVSS+0.4V / AVCC+0.5V / AVCC-0.5Vを測定	
Vin Offset	Voffset_OPAMP		±3		mV		—	特認で保証(実力=2mV)
Output Current	IOUT_OPAMP		±1		mA		—	設計値保証
CMRR	CMRR_OPAMP		70		dB		—	設計値保証
PMRR	PMRR_OPAMP		50		dB		—	設計値保証
Output Noise	ON_OPAMP		45		uVrms	1k~1GHz	—	設計値保証
Open Gain	GAIN_OPAMP		80		dB		—	特性確認で保証
Gain Band Width	GBW_OPAMP		20		MHz		—	特認で保証(実力=48MHz_max)
Slew Rate	SR_OPAMP		15		V/us		—	特認で保証(実力=16(tf)/20(tr))

12.Comparator

Item	Symbol	min	typ	max	Unit	Note	Test specifications	Index
Input Voltage Range	VIN_COMP	AVSS		AVCC	V		AVSS+0.05V / AVCC+0.095Vを入力	パタン (p5d66010afz3cmp000g)
Comparison Voltage	VIN_REF	AVSS+1.0		AVCC-1.0	V		AVSS+0.05V / AVCC+0.095Vを入力	特認で保証(実力=AVSS+1.0~AVCC-1.0V)
Hysteresis	VIN_hys	10		50	mV	*1	—	特認で保証(実力=19~38mV)
Response Time	tRESP_COMP			20	ns	*2	—	特認で保証(実力=8.0~26nS)

*1:condition of VIN_COP=AVCC×0.5

*2:Measurement condition is as follows.

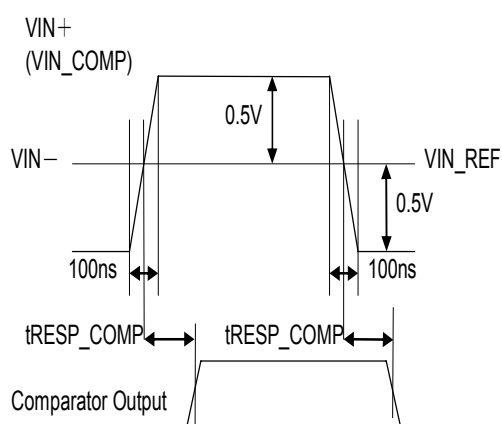


Figure 1 Comparator Timing Chart

13. Voltage Reference

Item	Symbol	min	typ	max	Unit	Note	Test specifications	Index
Output Voltage	VREF		1.20		V		—	特認で保証(実力=1.14~1.26V)

14. Temperature Sensor

Item	Symbol	min	typ	max	Unit	Note	Test specifications	Index
Output Voltage	VTEMP		1.52		V		—	特認で保証(実力=1.55V)
Temperature slope	dTEMP		4.8		mV/deg		—	特認で保証(実力=4.8mV/deg)
Settling Time	tTEMP			2	ms	from Enabling	—	特認で保証(実力=±2mS)

15. Analog GND

Item	Symbol	min	typ	max	Unit	Note	Test specifications	Index
Output Voltage	VAGND	typ-0.03	AVCCx0.5	Typ+0.03	V		—	特認で保証(実力=-6mV~-3mV)

16 Digital I/O DC Spec

Item	Symbol	min	typ	max	Unit	Note	Test specifications	Index
Input Voltage High Level	VIH	2.0			V		ViH=1.92V ViL=0.90V	
Input Voltage Low Level	VIL			0.8	V			
Input Voltage High Level (Schmitt)	VIH_S	2.0			V		ViH=1.92V ViL=0.90V	
Input Voltage Low Level (Schmitt)	VIL_S			0.8	V			
Hysteresis for Schmitt	Vhys_S		0.05		V		—	設計値保証
Pull Up Register	Rpup	20	60	100	kohm		20~90KΩ(電流換算で測定)	
Input Leak Current	IL	-2	±1	+2	uA		±0.8uA	
Input Capacitance (except ANEX0-15)	CIN			20	pF		—	設計値保証
Input Capacitance (ANEX0-15)	CIN			30	pF		—	設計値保証
Output Voltage High Level (4mA)	VOH4	2.4			V	Ioh=4mA	2.45V	
Output Voltage Low Level (4mA)	VOL4			0.4	V	Iol=4mA	0.38V	
Output Voltage High Level (16mA)	VOH16	VCC-0.7			V	Ioh=16mA	DVCC-0.65V	
Output Voltage Low Level (16mA)	VOL16			0.4	V	Iol=16mA	0.38V	

17. Digital I/O AC Spec

17.1. Timing of PWM

item	Symbol	min	typ	max	unit	note	Test specifications	Index
Rise Time of PWM terminal (GPIO10-17)	tr		2.0		ns	C=30pF VOH=DVCC×0.7 VOL=DVCC×0.3	—	設計値保証
Fall Time of PWM terminal (GPIO10-17)	tf		2.0		ns	C=30pF VOH=DVCC×0.7 VOL=DVCC×0.3	—	設計値保証

17.2 Timing of SPI

(1) Master Mode

item	Symbol	min	typ	max	unit	note	Test specifications	Index
SCK Period	t_{SCK}	80			ns		—	設計値保証
SO Output Delay	t_{dSPI}	0		10	ns		—	特性確認で保証
SI Hold	t_{HLSPi}	-3			ns		—	特性確認で保証
SI Setup	t_{SUSPI}	13			ns		—	特性確認で保証

(2) Slave Mode

item	Symbol	min	typ	max	unit	note	Test specifications	Index
SCK Period	t_{SCK}	80			ns		—	設計値保証
SO Output Delay	t_{dSPI}	0		10	ns		—	特性確認で保証
SI Hold	t_{HLSPi}	5			ns		—	特性確認で保証
SI Setup	t_{SUSPI}	5			ns		—	特性確認で保証

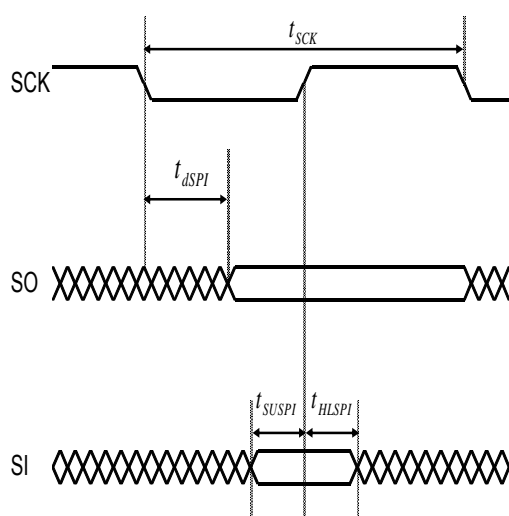


Figure 2 SPI Timing(MODE0,3)

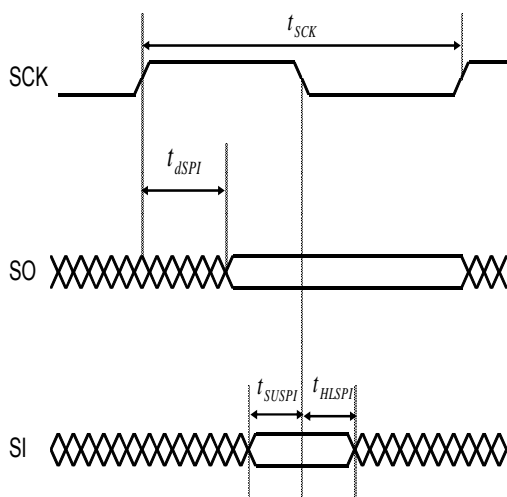


Figure 3 SPI Timing (MODE1,2)

17.3 Timing of I2C

(1) Nomal Mode

item	Symbol	min	typ	max	unit	note	Test specifications	Index
SCL clock frequency	fSCL	0		100	kHz		—	設計値保証
hold time (repeated) START condition	tHD:STA	4.0			us		—	設計値保証
LOW period of the SCL clock	tLOWI2C	4.7			us		—	設計値保証
HIGH period of the SCL clock	tHIGHI2C	4.0			us		—	設計値保証
set-up time for a repeated START condition	tSU:STA	4.7			us		—	設計値保証
data hold time	CBUS compatible masters	tHD:DAT	5.0		us		—	設計値保証
	I2C-bus devices		0					
data set-up time	tSU:STA	250			ns		—	設計値保証
rise time of both SDA and SCL signals	tRI2C			1000	ns		—	設計値保証
fall time of both SDA and SCL signals	tFI2C			300	ns		—	設計値保証
set-up time for STOP condition	tSU:STO	4.0			us		—	設計値保証
bus free time between a STOP and START condition	tBUFI2C	4.7			us		—	設計値保証
capacitive load for each bus line	Cb			400	pF		—	設計値保証
noise margin at the LOW level	VnL	0.1×DVCC			V		—	設計値保証
noise margin at the HIGH level	VnH	0.2×DVCC			V		—	設計値保証
pulse width of spikes that must be suppressed by the input filter	tSPI2C	-		-	ns		—	設計値保証

(2) Fast Mode

item	Symbol	min	typ	max	unit	note	Test specifications	Index
SCL clock frequency	fSCL	0		400	kHz		—	設計値保証
hold time (repeated) START condition	tHD:STA	0.6			us		—	設計値保証
LOW period of the SCL clock	tLOWI2C	1.3			us		—	設計値保証
HIGH period of the SCL clock	tHIGHI2C	0.6			us		—	設計値保証
set-up time for a repeated START condition	tSU:STA	0.6			us		—	設計値保証
data hold time	CBUS compatible masters	tHD:DAT	0	3.45	us		—	設計値保証
	I2C-bus devices		0	0.9				
data set-up time	tSU:STA	100			ns		—	設計値保証
rise time of both SDA and SCL signals	tRI2C	20+0.1Cb		300	ns		—	設計値保証
fall time of both SDA and SCL signals	tFI2C	20+0.1Cb		300	ns		—	設計値保証
set-up time for STOP condition	tSU:STO	0.6			us		—	設計値保証
bus free time between a STOP and START condition	tBUFI2C	1.3			us		—	設計値保証
capacitive load for each bus line	Cb			400	pF		—	設計値保証
noise margin at the LOW level	VnL	0.1×DVCC			V		—	設計値保証
noise margin at the HIGH level	VnH	0.2×DVCC			V		—	設計値保証
pulse width of spikes that must be suppressed by the input filter	tSPI2C	0		50	ns		—	設計値保証

9. 製品リスクアセスメント

「LSI 製品リスクアセスメント」チェックフォーマットを用いて PSPR を実施した。本 LSI に該当するリスクアセスメントの項目と検討内容を以下に示す。

PSPR 結果

実施時期 2012/12/05

リスクアセスメント(1)

No	分類	No	確認項目	着眼点	検討内容
1	製品仕様	1	製品用途	・用途の確認はしたか	用途: デジタル電源制御用及び一般
		2	信頼度レベルの設定	・製品用途と目標信頼度レベルはあっているか ・使用環境を確認したか	目標信頼度レベル: II (標準) 保証温度範囲: 社外保証(Ta):-40~110℃ ライブラリ(Tj):-40~125℃保証
		3	フェイルセーフ機能	・誤動作時のフェイルセーフ機能はあるか	電圧低下検知機能あり。WDT 顧客へのガイダンスとして、マニュアル・納仕へ(システムとしてのフェイルセーフ機能等)記載
		4	LSIの熱抵抗による発熱検討	・PKGの熱抵抗を確認したか	θja パッケージ消費電力許容値 QFN40: 29.8℃/W (125-110)/29.8 =0.50W 消費電力見積もりは218mW程度(見積り値:183mW)で、パッケージ許容値を超えない 難燃性レジン使用:G700H レベル UL94-V0 システムのフェイルセーフ機能で電源が遮断されれば延焼しない (難燃性レジン以上使用の際は検討不要)
2	火災	1	発煙、発火することはないか	・難燃性レジンであることを確認したか ・万一発火しても他を類焼する炎は出ないようにしているか	マニユアル、納入仕様書に火災事故に対する対策のお願いを記載
		2	火災に対する危険性の表記を検討したか	・マニュアル等に対して、火災の危険性に応じた適切な表記をしているか	LSIの正常動作はできないので発熱しない。また、難燃性であり問題無し。誤実装時の電源ショート回避している。
		3	端子ショートを検討したか	・端子ショート時の検討をしたか	マニュアル/納入仕様書に「耐放射線設計はしていません」と記載
3	放射線 環境汚染	1	放射線による危険性を検討したか	・超音波による危険はないか ・原子線、X線、電離放射線(高分子材料の劣化)による危険はないか ・紫外線、赤外線、レーザー光線等による危険はないか ・電磁波(極超短波、短絡波、短波)による危険はないか	一般的に使用されているパッケージであり、特に危険性はない。 メーカーから詳細な製品含有科学物質データ入手する。 システムに実装して使用されるため、飲み込まれる可能性は無い。
4	中毒、窒息 (毒ガスの発生、 有害物質 の使用等)	1	吸入、摂取による危険性を検討したか	・薬品、勇気用材その他有害物質を使用していないか。 ・重金属の含有はないか。 ・異物が飲み込まれることはないか。	自動車の制御には使用されないで問題無し
5	交通制御に 関する危険	1	自動車等の制御に関して、 誤動作による危険性がないか 検討したか	・自動車等の進む、止まる、曲がるの主要機能に関して、 誤動作による危険性がないか検討したか。 ・エンジンやブレーキ装置等の重要保安部品の制御に 関して、誤動作による危険性がないか検討したか	特殊IO無し(TSMCの標準ライブラリを使用。)
6	I/O特性	1	I/O特性の劣化は検討したか	・I/O特性が劣化するかどうか検討したか	

1) 製品仕様

1-1) 製品用途

用途: デジタル電源制御用及び一般。

1-2) 信頼度レベルの設定

目標信頼度レベル: II (標準)

保証温度範囲: 社外保証(Ta):-40~110℃(納仕ベース)

ライブラリ(Tj):-40~125℃保証

1-3) フェイルセーフ機能

- ・電源電圧低下検知及びWDTによるCPU暴走検知機能あり。
- ・顧客へのガイダンスとして、マニュアルおよび納入仕様書に記載

1-4) LSI の熱抵抗による発熱検討

θ ja パッケージ消費電力許容値

QFN40: 29.8°C/W (125-110)/29.8 =0.50W

消費電力実測値は218mW(見積り値:183mW)で、パッケージ許容値を
超えない

2) 火災

2-1) 発煙・発火することはないか

難燃性レジン使用:G700H レベル UL94-V0

2-2) 火災に対する危険性の表記を検討したか

マニュアル、納入仕様書に火災事故に対する対策のお願いを記載済

2-3) 端子ショートを検討したか

LSI の正常動作はできないので発熱しない。また、難燃性であり問題無し

3) 放射線環境汚染

3-1) 放射線による危険性を検討したか

マニュアル／納入仕様書に「耐放射線設計はしておりません」と記載済

4) 中毒、窒息

4-1) 吸入、摂取による危険性を検討したか

樹脂性パッケージであり、特に危険性はない。

メーカーから詳細な製品含有科学物質データを入手し、問題ないことを確認した

システムに実装されて使用されるため、飲み込まれる可能性はない。

5) 交通制御に関する危険

5-1) 自動車等の制御に関して、誤動作による危険性がないか検討したか

自動車の制御には使用されないので問題無し

6) I/O特性

6-1) I/O特性の劣化は検討したか

特殊IO 無し(TSMCの標準ライブラリを使用)

表 9-1 に本製品の判定結果を示す。いずれの項目も判定は、“C”または“D”であり、「許容できる」リスクである。

表 9-1 リスクアセスメント(PSPR)判定

No	分類	No	危険の 大きさ	発生頻度	リスクイン デックス	判定
1	製品仕様	1	—	—	—	—
		2	—	—	—	—
		3	3	D	1 4	C
		4	4	E	2 0	D
2	火災	1	4	D	1 9	D
		2	4	E	2 0	D
		3	3	D	1 7	C
3	放射線・環境汚染	1	4	E	2 0	D
4	中毒、窒息	1	3	E	1 7	C
5	交通制御に関する危険	1	4	E	2 0	D
6	I/O 特性	1	4	E	2 0	D

10. 環境アセスメント

GUC 社経由で 製造委託先である下記の会社より、使用物質の一覧を入手し、RoHS 指令対策および特定物質の有無、環境への負荷軽減に関する評価を行い問題ないことを確認した。

顧客(コーセル殿)指定の評価項目でも問題ないことを確認した。

LSI製造:TSMC(Taiwan Semiconductor Manufacturing Company)

LSI後工程:GTK(GREATEK ELECTRONICS INC.)

11. ES 認定の事前検討

本製品は GUC 経由で前工程 TSMC(0.18umFLASH 搭載プロセス)を使った、日立超 L としては新プロセスであるので(品証)と協議の上、下記の認定試験項目を決定した。

認定試験項目

分類	評価項目	評価内容			
		評価条件	LTPD (%)	試験数 ※3	結果
寿命試験	高温動作 1	125°C,VCC=最大定格 VCORE=2.0V,t=1000h	5	45 (基板 5 枚)	168h 500h 1000h
	高温動作 2 *1	150°C,VCC=最大定格 VCORE=2.0V,t=1000h	10	22 (基板 3 枚)	168h 500h
	高温動作 3 *1	125°C,VCC=最大定格+0.4V VCORE=2.0V,t=1000h	10	22 (基板 3 枚)	168h 500h
	*1:上記動作試験は 2or3 のどちらかを実施	投入→168h→500h 8/30 9/6 9/20			
	高温放置	150°C,t=1000h	10	51	168h 500h 1000h
耐湿性	高温高湿 放置	前処理※1 後 85°C85%RH t=1000h	5	51	168h 500h 1000h
	高温高湿 バイアス	前処理※1 後、85°C85%RH VCC=最大定格,VCORE=2.0V t=1000h	10	22 (コーティング 基板 3 枚)	168h 500h 1000h
	PCT	前処理※1 後 121°C100%RH t=200h	10	25	100h 200h
熱・機械的試験	温度 サイクル	前処理※1 後 -55°C(20')~150°C(20') 1000 サイクル	5	51	200c 500c 1000c
	エア リフロー	260°C10s × 2 回 (前処理: 125°C24h +85°C85%RH168h)	10	25	
	エアリフロー (他試験 前処理用)	260°C10s × 2 回 (前処理: 125°C24h +85°C85%RH168h)	10	127 ※2	

※1: 前処理:125°C24h ベーク→85°C85%RH168h 吸湿→リフロー【260°C,10s × 2 回】

※2: 耐湿性及び温度サイクル試験の前処理用として便宜上追加している。

※3: 動作試験以外は、途中測定ポイントにて 3 ケずつ抜取る(良品解析の為)。

12. 関連する法規制への対応

次頁に法令・規制（コンプライアンス・契約等）チェック結果を記す。

【簡易版】法令・規制(コンプライアンス・契約等)チェックシート

確認工程

FDR段階

Format Draft Rev.0
2010.12.02 A. Yoshida

製品名・案件名	MD6601	作番	11/上研番AE61～AE65	承認	審査	作成
顧客名・販売名	汎用	区分	製品実現1(自主開発製品)			
担当部署名	MS本/L製設	開発責任者名	L製設/山崎			

区分	項目	No	確認事項	確認結果・状況(ドロップダウンリストから選択)	備考(該当事項等)
コンプライアンス	公共案件(入札)の法令遵守	1	公共案件(入札案件)か? (「BS:0-0-6 営業業務法令遵守管理基準」に該当)	○公共案件ではない((CP)「公共取引として取り扱う取引の範囲」には含まれない)	
	下請法に該当する下請業者の確認	2	委託(製造、設計等)先が「下請法」に該当する下請業者か?	◆資本金3億円以下の業者への製造・プログラム作成委託	台湾GUC社は、外国企業である上、資本金約13億NT\$使用Fab.はTSMC。
	カタログ・ホームページと製品の整合確認	3	出荷する製品と製品カタログ・ホームページ掲載内容との整合を確認したか?	○製品カタログ・ホームページとの整合確認を実施し、問題ないことを確認済み(又は、対策済み)	マニュアルとの整合を確認した。ホームページの記載は検討中。
顧客・製造委託先・取引先等との契約	顧客との契約状況	4	顧客との新規契約の要否を確認したか?	○(営業)が契約不要と判断(一般顧客向け製品などの場合)(No.5の確認不要)	標準製品のため、取引契約(売買契約)の納仕対応とする
		5	必要な契約を締結したか?	●確認していない	
	製造委託先との契約状況	6	製造委託先との新規契約の要否を確認したか?	◆新規契約必要(No.7の確認必須)	台湾GUC社
		7	必要な契約を締結したか?	○製造委託先との契約締結完了	台湾GUC社 ・NDAを締結済み ・会社間取引契約締結済
	製造委託先以外の取引先等との契約状況(技術導入、ライセンス取得等を含む)	8	取引先との新規契約の要否を確認したか?	◆新規契約必要(No.9の確認必須)	
9	必要な契約を締結したか?	○関連する取引先との契約締結完了	台湾TSMC、PDK入手のためGUC社との3社NDAを締結済み		
輸出管理	キャッチオール規制	10	キャッチオール規制について(営業)が確認済みか?	○(営業)にて当該取引に関するキャッチオール規制の輸出管理手続きを完了	
	リスト規制貨物・技術の該非判定	11	規制対象の貨物・技術の輸出管理手続きが完了したか?	○製品の輸出管理に必要な手続きを完了	
環境管理	環境管理に関する顧客要求等の有無	12	化学物質管理に関する顧客要求事項等を確認したか?	◆顧客調達基準を適用する(顧客調達基準等確認済み)	原則として、製造FAB基準を適用する(顧客要求事項との対比確認は実施済)
	購入品の含有化学物質に関する情報の入手	13	購入部品・材料等に含まれる化学物質に関する情報を取引先から入手したか?	○No.12の基準を満足するための必要情報を(資材)経由で入手し、合否判定済み	
	環境管理に関する製造委託先への指示	14	製造委託先へ必要な指示をするよう(資材)に依頼したか?	○No.12の基準を満足するための必要事項を、(資材)経由で製造委託先へ指示済み	原則として、製造FAB基準を適用する(顧客要求事項との対比確認は実施済)
製品安全責任	設計段階での製品安全設計審査	15	PSDR(Product Safety Design Review)により製品安全を確認したか?	○PSDRを実施し、顧客要求を含め、製品安全等に問題ないことを確認済み、又は、対策済み	
	評価段階での製品安全設計審査	16	PSPR(Product Safety Product Review)により製品安全を確認したか?	○PSPRを実施し、顧客要求を含め、製品安全等に問題ないことを確認済み、又は、対策済み	
技術規制	製品に適用される技術法令・規制(自主規制含む)・基準	17	製品に適用される技術法令・規制・基準等を確認したか?	○製品に適用される技術法令・規制(自主規制含む)、基準等はない	
知的財産	特許権・意匠権・商標権の状況(第三者権利)(自社権利)	18	製品に含まれる第三者特許・意匠・商標を確認したか?	○抵触する第三者特許等がないことを確認済み	
		19	製品に含まれる当社の特許・意匠・商標の出願可否を確認したか?	○当社単独、あるいは、顧客・取引先等との共同にて出願手続き済み、あるいは、出願済み	"MSM"は社外に対しては使用不可
	著作権の状況(第三者権利)(自社権利)	20	製品に含まれる第三者の著作権を確認したか?	○製品には第三者権利が含まれていないことを確認済み	
		21	製品に関する著作権の所有権等を確認したか?	○製品に関する著作権は全て当社に帰属する(当社の著作権は留保され、再利用可能)	
製品出荷の可否判定			○製品出荷可		(製品出荷上の問題点・条件等)

13. テスティング設計

13.1. 選別工程

下記、表 13-1 に MD6601 のウェハ検査(CP)～選別(FT)の工程フローチャートを示す。

表 13-1

工程フロー	テスト条件/概要	測定テスト
CP1	26°C Flashテスト: TSMC_0.18umプロセスルールに基づいたFlashテストを実施。FlashワークエリアにPass認識データをWriteする。	J750(Teradyne)
Bake	250°C/24Hr	
CP2	26°C Falsh_Read/Logic/Analogテスト (LV_Scr_FC,Scan,DC/FC_Logic,Analog) テストフローの最初にCP1がPass品であるかFlashReadを実施する。その後LowVolt_Scrを実施後、Logic DC/FC 及び Analogテストを行う。(Vcc_Max)	J750(Teradyne)
組立		
FT	115°C Logic/Analogテスト (HV_Scr_FC,Scan,DC/FC_Logic,Analog) テストフローの最初にHiVolt_Scrを実施後、Logic DC/FC 及び Analogテストを行う。(Vcc_Min)	J750(Teradyne)

CP2 及び FT測定については、テストコストの観点から 特認結果よりCP2(常温)では VccMax側測定を実施し、FT(高温)ではVccMin側測定を行う、セット保証とした。
詳細は、付図 テストフローを参照願います。

13.2. テスト環境

1) テスタ環境

各選別工程の測定テスト/手法 及び デバッグ担当者を表13-2に示す。

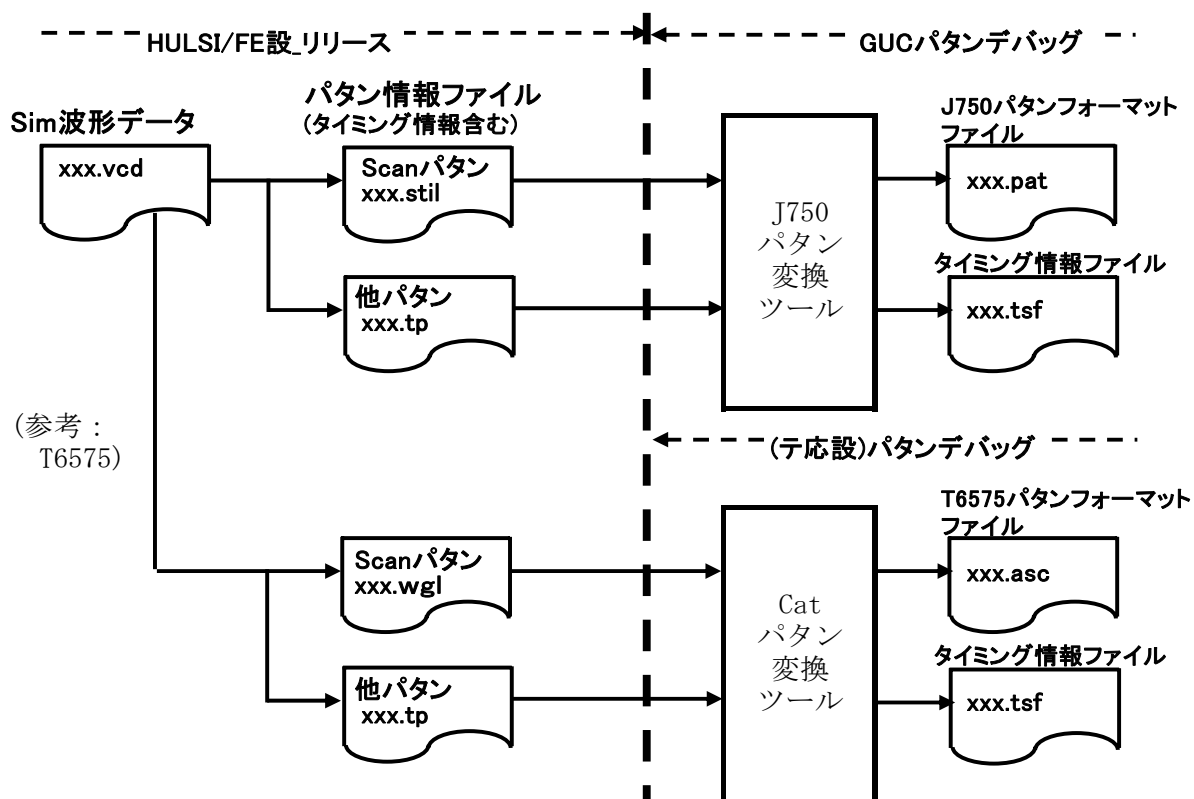
表13-2. 選別工程の測定手法 及び デバッグ担当一覧表

工程	選別場所	測定テスト/手法	テスト仕様	テストデバッグ
CP1	ADT/GUC	J750+4ヶ同時測定プローバ	GUC作成 (L製設)承認	GUCデバッグ (L製設)チェック
CP2	↑	↑	(テ応設)作成 (L製設)承認	GUCデバッグ (テ応設)/(L製設)チェック
FT	↑	J750+4ヶ同時測定ハンドラ	↑	↑
QA	武蔵ES	T6575+単測 手選別	↑	(テ応設)デバッグ (L製設)チェック

2) テストパターンリリース環境

図13-1にGUC 及び HULSIのテストパターンリリース環境図を示す。

各々のパターンについては、Sim波形より抽出されたタイミング情報を含む”tpファイル”より各テストフォーマットに対応したアスキファイルとタイミングファイルを生成する。



** t s f のタイミング情報は、同一の内容がテストで設定可能となる。

図13-1. テストパターンリリース概要図

14. DR のフォローアップ

これまで実施済の DR での AI 事項は全て完了している。

DR 記録票 第1回

件名 (製品名)	Mixed Signal MCU製品
-------------	--------------------

承認	審査	作成
ULSI 23. 12. 20 山崎(尊)	ULSI 11. 12. 20 今井	ULSI 11. 12. 20 林(秀)

DR実施日	2011年 12 月 16 日 (金)				
DR区分	<div> <div>構想設計DR (PDR)</div> <div>中間設計DR (IDR)</div> <div>最終設計DR (FDR)</div> <div>その他(特認)</div> </div>				
DR対象	MSM_PDR資料_Rev00_20111214. pdf				
No.	DRでの指摘事項	担当	期限	検討結果と対策内容	対策完了
1	評価・解析用に国内でテストを立ち上げる。	(静野)	特認	武蔵ESのテスト立上完了 project/MSMPJ/MD6601/評価/テスト_T6575/musashi_ES	ULSI '12. 8. 23 今井
2	コーセルの環境アセスメント情報を入手する。	(山崎)	IDR	コーセル殿の要求内容を入手済 (2012. 3. 2に入手 環境メモ. doc)	ULSI '12. 3. 2 今井
3	リフロー4回を実現するための条件を検討する。	(静野)	特認	リフロー4回をj実施し、実力があることを確認した MSMリフロー評価2. pdf MSM (MD6601)_リフロー評価. ppt	ULSI '12. 8. 31 静野
4	コーセル殿向け品に対する信頼度の具体的な検討。	(静野)	特認	・下記資料で顧客説明済み。 コーセル殿要求信頼性試験資料_rev2. pdf	ULSI '12. 10. 15 今井

DR 記録票 第2回

件名 (製品名)	Mixed Signal MCU製品
-------------	--------------------

承認	審査	作成
ULSI '12. 4. 3 (山崎(敬))	ULSI '12. 4. 3 (今井)	ULSI '12. 4. 3 (林(秀))

DR実施日	2012年 4 月 3 日 (火)				
DR区分	構想設計DR (PDR) 中間設計DR (IDR) 最終設計DR (FDR) その他()				
DR対象	MD6601_IDR資料_r00. pdf				
No.	DRでの指摘事項	担当	期限	検討結果と対策内容	対策完了
1	マニュアル, 納仕に寿命についての記載を見当する。	(今井)	8/31 → 特認	・ 特認完了日程見直しのため期限見直し ・ 下記資料で顧客説明済み。 コーセル殿要求信頼性試験資料_rev2. pdf	ULSI '12. 10. 15 今井
2	GTKのリフロ条件を確認する。	(今井)	7/15	下記資料で確認済み confirmation_of_reflow_condition_120606. xls	ULSI '12. 6. 8 今井
3	未検出箇所は機能パターンで検出する。	(今井)	8/31 → 特認	・ 特認完了日程見直しのため期限見直し ・ Funcパターンを追加済み	ULSI '12. 10. 15 今井
4	最終払出しネットでECVによるチェックを行う。	(静野)	4/15 → 特認	下記資料で確認済み LayoutCheckSheet_MD6601_120416. xls	ULSI '12. 4. 17 今井
5	メモリの占有率を確認する。	(静野)	4/30 →特認	RAMマットサイズ(1K) : 126um*171um*2=43092um ² RAMマットサイズ(256) : 62um*195um*2=24180um ² チップサイズ : 3070um*3140um=9639800um ² -----	ULSI '12. 5. 10 今井
6	FLASHテストで不良が発生した際にはアラームがある様、GUCと調整する。	(今井)	8/31 →ES認定	・ GUCとの取り決めでES認定までに行うため期限見直し GUCから個別不良項目対応NGとの回答のため断念	ULSI '12. 11. 20 今井
7	低温選別は実施していないことを納仕に記載することを検討する。	(今井)	8/31 →ES認定	・ 納仕作成をES認定まで行うため期限見直し データシート及び納仕に 全条件でのテストしていないことを明記	ULSI '12. 11. 20 今井
8	最大定格を確認する。	(今井)	6/30 → 特認	実力値として3. 3x1. 4であることを確認済み。	ULSI '12. 7. 6 今井

DR 記録票 第3回

件名 (製品名)	Mixed Signal MCU製品
-------------	--------------------

承認	審査	作成
ULSI ' 12. 10. 10 (山崎)	ULSI ' 12. 10. 10 (今井)	ULSI ' 12. 10. 10 (児玉)

DR実施日	2012年 10 月 10 日 (水)				
DR区分	構想設計DR (PDR) 中間設計DR (IDR) 最終設計DR (FDR) その他(1stCut特認)				
DR対象	MD6601特認書. pdf				
No.	DRでの指摘事項	担当	期限	検討結果と対策内容	対策完了
1	OPAMP修正パターンのデータを取得	(今井)	10/31	PLLの発振安定待ち時間を延長した パタン「p5d66010afz3amp000e. lpa」 でデータ取得済	ULSI ' 12. 10. 26 今井
2	COMPのオーバードライブでのスピードを実装機とSIMで評価する	(静野)	10/12 →ES認定	実装機とSIM評価を実施し、実測結果が妥当であることを確認した。 MSM_CMP確認Sim. xls 6_25_COMP. ppt	ULSI ' 12. 10. 30 静野
3	COMPの十分な速度での動作範囲を実装機とSIMで評価する	(静野)	10/12 →ES認定	実装機とSIM評価を実施し、実測結果が妥当であることを確認した。 MSM_CMP確認Sim. xls 6_25_COMP. ppt	ULSI ' 12. 10. 30 静野

(注1)DRにおいて指摘事項が発生した場合は、「DR議事録」の他に「DR記録票」を作成し、内容を記録する。

(注2)DR記録票には、設計・開発中に行われる全てのDRの指摘事項を記録し、フォローアップが漏れないようにすること。

DR 記録票 第4回

件名 (製品名)	Mixed Signal MCU製品
-------------	--------------------

承認	審査	作成
ULSI '12.10.31 (山崎(尊))	ULSI '12.10.31 (今井)	ULSI '12.10.31 (児玉(和))

DR実施日	2012年 10 月 31 日 (水)				
DR区分	構想設計DR (PDR) 中間設計DR (IDR) 最終設計DR (FDR) <u>その他 (2ndCut特認)</u>				
DR対象	MD6601特認書. pdf				
No.	DRでの指摘事項	担当	期限	検討結果と対策内容	対策完了
1	1stと2ndのヒストグラムを追加要	(児玉)	11/1 →ES認定	下記ヒストグラム作成し、1st-2nd間の相関が取れていることを確認した。 「histogram_priority1.pdf」 「ヒストグラム取得サンプル」	ULSI '12.11. 5 (児玉(和))

(注1)DRにおいて指摘事項が発生した場合は、「DR議事録」の他に「DR記録票」を作成し、内容を記録する。

(注2)DR記録票には、設計・開発中に行われる全てのDRの指摘事項を記録し、フォローアップが漏れないようにすること。