计算机组成原理

- 数字逻辑基础
- 概论
- 数据的表示
- 运算器
- 存储系统
- 指令系统
- 中央处理器
  - 数据通路的功能及基本结构
    - CPU功能
      - 指令控制：取指令、分析指令和执行指令
      - 操作控制：CPU管理并产生出内存取出的每条指令的操作信号，控制作信号送往相应部件，从而控制这些部件按指令的要求进行动作
      - 时间控制：为指令按分别控制步骤提供控制信号
      - 数据加工：对数据进行算术和逻辑运算
      - 中断处理：对计算机运行过程中出现的异常和中断情况进行处理
    - CPU结构
      - 运算器基本结构
        - 算术逻辑单元 ALU
        - 通用寄存器组，用于存放操作数和各种地址信息等
        - ALU和寄存器组的连接
          - 专用数据通路方式（根据指令执行过程中的数据和地址流动方向安排通路结构）
            - 多路选择器
            - 或 三态门
            - 控制较高，不存在数据冲突，但结构复杂，硬件量大，不易实现
          - CPU内部单总线方式
            - 所有寄存器的输入端和输出端都只一条公共的通路上
            - 结构简单，容易实现，但数据传输存在较多冲突的现象，性能较低
            - 暂存寄存器：用于暂存从主存读来的数据
            - 保障由算术逻辑运算指令等的结果而建立的各种状态信息，如溢出、奇偶、进位等状态，PSW的诊断与并决定控制操作的形成。
            - 程序状态字寄存器PSW
            - 累加寄存器ACC
            - 移位器、计数器
      - CPU结构
        - 控制器CU基本结构
          - CPU内部总线
            - 程序计数器PC
            - 指令寄存器IR：用于保存当前正在执行的指令
            - 指令译码器：对操作码进行认译，向控制器提供特定的操作信号
            - 微操作信号发生器：根据存储的内容，PSW的内容和时序信号，产生控制计算机系统的各种控制信号
            - 时序系统：用于产生各种时序信号
            - 存储器地址寄存器MAR
            - 存储器数据寄存器MDR
        - 寄存器
        - 中断系统
  - 指令执行过程
    - 指令周期：多个CPU周期 ->多个时钟周期（CPU操作的最基本单位）
    - 指令周期流程
      - 取指周期
        - (PC)->MAR
        - CU发出控制信号，母控制总线传阅主存，1->R
        - M(MAR)->MDR
        - (MDR)->IR
        - (PC)+1->PC
      - 间址周期
        - Ad(IR)->MAR
        - 1->R
        - M(MAR)->MDR
        - MDR->Ad(IR)
      - 执行周期
        - (SP)-1->SP,(SP)->MAR
        - 中断周期
          - 1->W
          - (PC)->MDR
          - CU控制序列幂留券程序的入口地址送入PC，向量地址->PC
        - 通过状态逻辑判断指令应于什么周期
    - 指令执行方案
      - 单指令周期
        - 对所有指令选用相同的执行时间来完成
        - 指令之间串行执行
        - 指令周期取决于执行时间最长的指令的执行时间
        - 会降低整个系统的运行速度
        - 对不同类型的指令选用不同的执行步骤来完成
      - 多指令周期
        - 指令之间串行执行
        - 需要更复杂的操作设计
        - 在每一个时钟周期结束一条指令，尽量让多条指令同时运行，但各自处在不同的执行步骤中
      - 流水线方案
        - 指令之间并行执行
  - 控制器的功能和工作原理
    - 控制器的结构和功能
      - 计算机硬件系统连接关系
      - 控制器的功能
        - 取指令
        - 分析指令
        - 执行指令
      - 控制器的输入和输出
    - 硬布线控制器
      - 硬布线控制器实现
      - 设计步骤
        - 分析每个阶段的微操作序列
        - 选择CPU的控制方式
          - 同步控制
          - 异步控制
        - 安排微操作时序
        - 电路设计
    - 微程序控制器
      - 基本概念
        - 微指令和微程序
        - 微指令的微周期
        - 控制存储器
        - CMAR,CMDR
        - 微地址形成部件
      - 基本结构
        - 用地址寄存器CMAR
        - 控制存储器CM
        - 微指令寄存器CMDR
      - 微指令的格式
        - 水平型
          - 直接编码方式
          - 字段直接编码（需要译码）
          - 字段不直接编码方式
        - 垂直型
          - 操作数+目标地址+遗留地址
      - 微指令的地址形成方式
        - 下地址字段指出、断定方式
        - 根据机器指令的操作码形成
    - 设计步骤
      - 写出微操作命令和节拍安排
      - 确定微指令格式
      - 编写微指令码点
  - 指令流水线
    - 基本概念
      - 指令执行过程划分为不同阶段，占用不同的资源，使多条指令同时执行
      - 表示方法
        - 指令流程图
        - 时空图
    - 性能指标
      - 吞吐率TP
      - 加速比S
      - 效率E
    - 影响因素
      - 结构相关（资源冲突）
        - 多条指令在同一时刻争用同一资源而造成的冲突
        - 解决办法
          - 在一条指令暂停一周期
          - 资源重复配置：数据存储器+指令存储器
      - 数据相关（数据冲突）
        - 在一个指令中，存在必须等待前一条指令执行完才能执行后一条指令的情况
        - 解决办法
          - 把数据相关指令至少推几个周期，直到可能消失后再继续执行
            - 硬件插入
            - 软件插入NOP
          - 数据旁路技术
          - 编译优化 ：通过编译器调整指令顺序
      - 控制相关（控制冲突）
        - 当流水线遇到条件分支和其他改变PC值的指令传递到时，会引起控制相关
        - 解决办法
          - 尽早判断转移是否发生，尽早生成转移目标地址
          - 预取转移成功和不成功两个分支的目标指令
          - 加快和缩短转移成条件码
          - 提高转移方向的猜准率
    - 分类及常见技术
      - 按使用的级别
        - 部件级
        - 处理机级
        - 一把一条指令分成多个子过程
        - 每个处理机完成某一专门任务，各个处理机得到的结果给在和下一个处理机共享的存储器中
      - 按功能
        - 单功能流水线
        - 多功能流水线
      - 分类
        - 按同一时间内各段之间的连接方式
          - 动态流水线
          - 静态流水线
          - 线性流水线
          - 非线性流水线
        - 按各个功能段之间是否有反馈信号
        - 部标量技术
          - 每个时钟周期内并发多条独立指令
          - 超长指令字
          - 超标量技术
            - 每个时钟周期内发出多条独立指令
            - 不按顺序指令的执行顺序
            - 通过编译优化，把可并行执行的指令搭配起来
          - 超流水技术
            - 在一个时钟周期内一个功能部件被用多次
            - 一个时钟周期内一个功能部件被用多次
            - 不按顺序指令的执行顺序
            - 数据冲突解决优化问题
          - 超长指令字
            - 由编译程序把显出指令潜在的并行性
            - 把多条程序行操作指令组合成一条
            - 属有多个操作码字段的超长指令字
- 总线及互连
  - 总线概念与分类
    - 定义 ：一组能为多个部件分时共享的公共信息传送线路
    - 特性
      - 机械特性：尺寸、形状
      - 电气特性：传输方向、电平和范围
      - 功能特性：数据、地址、控制信号
      - 时间特性：信号和时序的关系
    - 分类
      - 按数据传输格式
        - 串行
        - 并行
      - 按功能
        - 片内总线
        - 系统总线
          - 数据总线
          - 地址总线
          - 控制总线
        - 通信总线
      - 按时序控制方式
        - 同步
        - 异步
    - 总线结构
      - 单总线（系统总线）
      - 双总线
        - 主存总线
        - IO总线
      - 三总线
        - 主存总线
        - IO总线
        - DMA总线
  - 总线性能指标
    - 传输周期 ：一次总线操作需要的时间（申请、寻址、传输、结束）
    - 时钟周期
    - 工作频率 ：若传输周期=n个时钟周期，则工作频率=时钟频率/n
    - 时钟频率 ：1/时钟周期
    - 总线宽度 ：总线上同时能够传输的数据位数，通常指数据总线根数
    - 总线带宽 ：工作频率*总线宽度
    - 总线复用 ：一种信号线在不同的时间传输不同的信息
    - 信号线数 ：地址/数据/控制总线的和
  - 总线仲裁
    - 集中仲裁方式
      - 有专门的总线控制部件
      - 链式查询方式
        - 总线允许
        - 总线请求
        - 总线忙
      - 计数器查时查询方式
        - 总线请求
        - 总线忙
        - 一根设置和线
      - 独立请求方式 ：每个设备有一对总线请求和总线允许线
    - 分布仲裁方式 ：每个主模块都有自己的仲裁器和判断号，多个仲裁器同步使用总线
  - 总线操作和定时
    - 总线传输
      - 申请分配
      - 寻址 ：主模块通过总线发出本次要访问的从模块的信息以及有关命令，启动次传输的从模块
      - 传输阶段
      - 结束
    - 总线定时 ：双方交换数据过程中时间上配合关系的控制
      - 同步通信 ：统一时钟控制
      - 异步通信 ：反馈
        - 不互锁
        - 半互锁
        - 全互锁
      - 半同步 ：统一始终的基础上，插加一个等待响应信号WAIT
      - 分离式通信 ：
        - 子周期1 ：主模块申请占用总线，使用完放弃使用权
        - 子周期2 ：从模块申请占用总线，将各种信息送到总线上
        - 分离式通信中，从模块可以使用中断
  - 总线仲裁
- IO系统