

EECS1010 Design Assignment 01

Student ID: 107071073

Name: 林雅琪

1. Design Concept and Description

truth table

a1	a0	b1	b0	g1	g0
0	0	0	0	0	0
0	0	0	1	0	0
0	0	1	0	0	0
0	0	1	1	0	0
0	1	0	0	0	0
0	1	0	1	1	1
0	1	1	0	0	1
0	1	1	1	1	0
1	0	0	0	0	0
1	0	0	1	1	0
1	0	1	0	1	1
1	0	1	1	0	1
1	1	0	0	0	0
1	1	0	1	0	1
1	1	1	0	1	0
1	1	1	1	1	1

設計概念：A：剪刀（1 1）／石頭（0 1）／布（1 0）／無效 B：剪刀／石頭／布／無效；Output(G): A贏（1 0）／B贏（0 1）／無效（1 1）／平手（0 0）

因為剪刀、石頭、布、無效有四個選項，所以要兩個 bit

根據 truth table 可以發現：(使用 K-Map)

$$g1 = a0b0 + a1b0 + a1b1$$

$$g2 = a0b0 + a0b1 + a1b1b0$$

2. Simulation and Discussion

根據 truth table 去寫 module;

```
1 module majority (g1,g0,a1,a0,b1,b0);
2     input a1,a0,b1,b0;
3     output g1,g0;
4     assign g1=(a0&b0)|(a1&b0)|(a1&b1);
5     assign g0=(a0&b0)|(a0&b1)|(a1&b1&b0);
6 endmodule

1 `timescale 1ns/100ps
2 module test;
3     reg signed[1:0] A,B;    //two-bit input
4     wire [1:0] G;          //output
5     //instantiate the majority block
6     majority m(G[0],G[1],A[0],A[1],B[0],B[1]);
7     initial begin
8         $fsdbDumpfile("DA01.fsdb");
9         $fsdbDumpvars;
10    end
11    initial begin
12        A=2'b00;
13        repeat (4) begin
14            B=2'b00;
15            repeat(4) begin
16                #10;
17                $display("a = %b%b,b = %b%b,c =
18                B=B+2'b01;
19            end
20            A=A+2'b01;
21        end
22    end
23 endmodule

~
```

Q1.在我一開始接觸工作站時，不知道密碼不會顯示，不停複製貼上

A1.我那時想到了應該是有可能不顯示，所以就直接按 **Enter** 試試看

Q2.initial 不能放在巢狀迴圈中

A2.把 initial 刪掉

Q3.begin 和 end 沒有對齊

A3.找出沒有對齊的部分,然後加上去

Q4.我原本設定 test 中的 output 為 reg ,結果 error

A4.改為 wire

Q5.Selected Signals 沒有出現在我的視窗上

A5.還在尋找中

3. Summary

感謝助教和教授的耐心。.