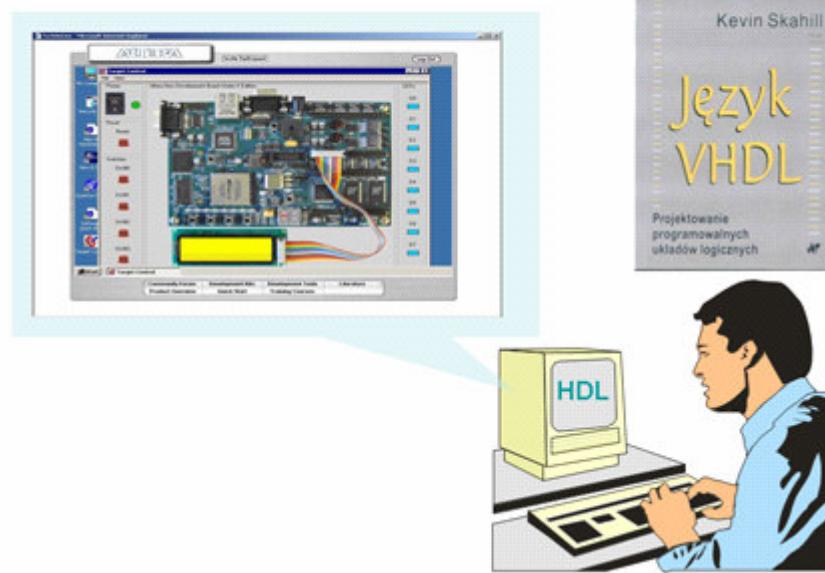


Technika cyfrowa – informacje ogólne



Technika cyfrowa jest w dzisiejszych czasach obszarem wiedzy o całkowicie interdyscyplinarnym obliczu. Jej zagadnienia kształtowane z jednej strony przez języki opisu sprzętu, a z drugiej przez programowalne moduły logiczne, śmiało mogą być zaliczone zarówno do Informatyki, Elektroniki jak i Telekomunikacji.

Dzisiejsze techniki projektowania układów cyfrowych polegają już nie tylko na składaniu układu z dostępnych komponentów, a raczej na procesie formalnej specyfikacji projektu w odpowiednim języku opisu sprzętu (HDL – Hardware Description Language)

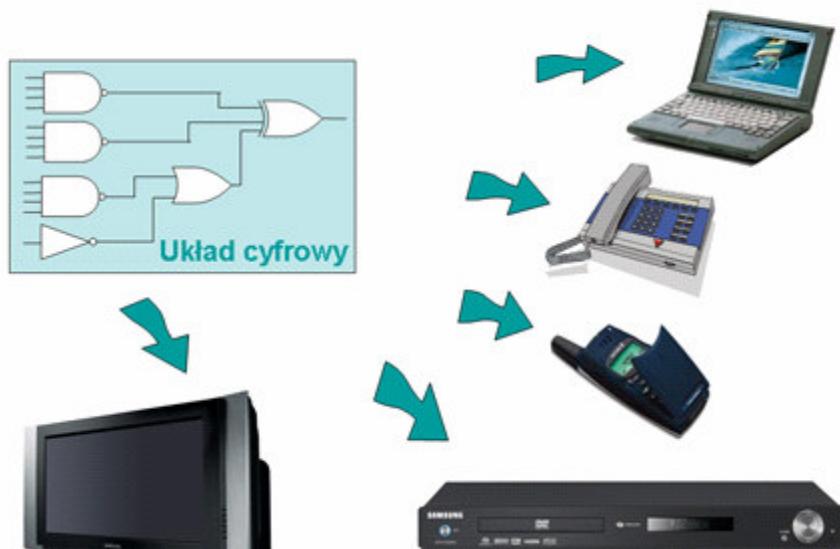
Technika cyfrowa – informacje ogólne



Ogromną rolę w zacieraniu różnicy między oprogramowaniem (software), tradycyjnie zaliczany do produktów informatyki, a sprzętem (hardware) jako produktem tradycyjnie rozumianej elektroniki, spełniają układy programowalne przez użytkownika.

Stał się one podstawą powstania nowego rynku własności intelektualnej, którego ofertą handlową są rdzenie projektowe (IP Core), czyli sprzęt reprezentowany w postaci oprogramowania, docelowo przeznaczonego do implementacji w układzie scalonym (programowalnym lub bezpośrednio wykonywanym w krzemie), zamiast w komputerze.

Zastosowania układów cyfrowych



Urządzenia multimedialne w teleinformatyce



Wirtualne Usługi Bankowe



Wideokonferencje



Wideo na żądanie



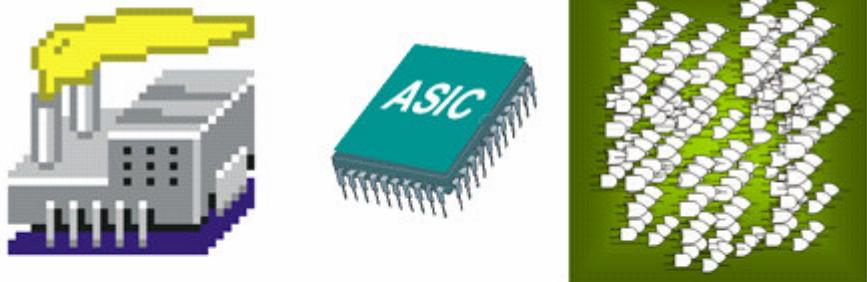
Technika cyfrowa ma obecnie przemożny wpływ na wszystkie obszary ludzkiej aktywności; między innymi radykalnie przeobraziła metody i formy komunikacji społecznej, a układy cyfrowe można dziś znaleźć niemal w każdym urządzeniu technicznym.

Obszarem, w którym technika cyfrowa doprowadziła do bardzo istotnych zmian są urządzenia multimedialne. Dzięki multimediom rozwinęły się niespotykane do tej pory usługi teleinformatyczne takie jak: wirtualne usługi bankowe, telenauczanie, videokonferencje, itp.

Masowe zapotrzebowanie na te usługi tworzy atrakcyjny obszar działalności przemysłowo-gospodarczej.

Rozwój technologii

Rozwój techniki cyfrowej jest bezpośrednio związany z rozwojem technologii mikroelektronicznych.



40 mln tranzystorów
10 mln bramek

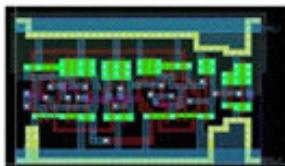
Rozwój techniki cyfrowej jest bezpośrednio związany z rozwojem technologii mikroelektronicznych. Dzisiejsza technologia dostarcza konstruktorom układów cyfrowych specjalizowane układy scalone (Application Specific Integrated Circuits) o zasobach sprzętowych rzędu kilkudziesięciu milionów tranzystorów, co z punktu widzenia techniki cyfrowej jest równoważne kilku milionom bramek logicznych.

W zależności od technologii i techniki projektowania specjalizowane układy scalone klasyfikujemy w następujących kategoriach:

- a. układy zamawiane przez użytkownika (*Full Custom*),
- b. układy projektowane przez użytkownika (*Semi Custom*),
- c. układy programowane przez użytkownika (*FPLD – Field Programmable Logic Devices*).

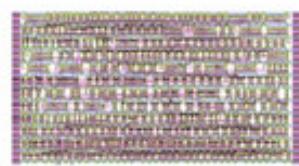
Rozwój technologii

Full custom



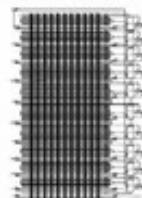
Układy zamawiane
przez użytkownika

Semi custom



Układy projektowane
przez użytkownika

Układy programowalne



Układy programowane
przez użytkownika
(FPLD)

Największe układy ASIC są zwykle produkowane w wielkich seriach i najczęściej całkowicie wykonywane przez producenta dla zamawiającego (*Full Custom*).

Cechą charakterystyczną układów *Semi Custom* jest wielokrotne wykorzystywanie raz zaprojektowanych bloków funkcjonalnych, które są przechowywane w bibliotece (w praktyce w pamięci komputera). Bloki takie są często zwane komórkami bibliotecznymi.

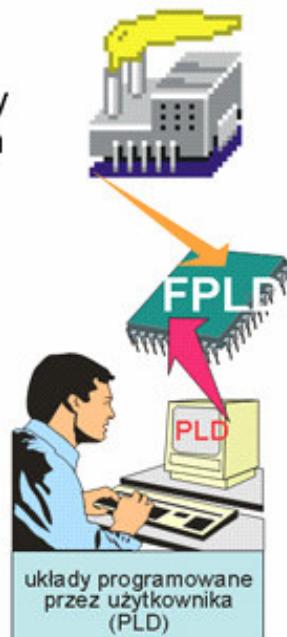
W układach *Semi custom* typowym uproszczeniem projektowania jest standaryzacja komórek bibliotecznych przez narzucanie jednolitych wymagań dotyczących kształtu, wymiarów, rozмещения szyn zasilania, wejść i wyjść, co pozwala w znacznym stopniu zautomatyzować proces projektowania struktury fizycznej układu.

Układy programowalne

Osiągają pojemność pozwalającą realizować w jednym układzie systemy o złożoności odpowiadającej milionom bramek logicznych

Układy mające możliwość reprogramowania i rekonfiguracji

„Fabryka na biurku” – SOPC



Z tych powodów coraz większą rolę w technice cyfrowej odgrywają programowalne moduły logiczne (FPLD – Field Programmable Logic Devices), krótko zwane układami (strukturami) programowalnymi.

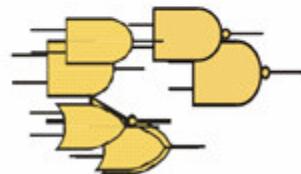
Układy programowalne to – z punktu widzenia struktury – układy typu matrycowego lub komórkowego, jednak z możliwością programowania połączeń na drodze elektrycznej. W ich przypadku proces produkcyjny jest odmienny – producent dostarcza „prefabrykaty” projektantowi, który może je zaprogramować u siebie „na biurku”.

Atrakcyjność układów FPLD jako alternatywy dla układów *Full Custom* i *Semi Custom* wynika przede wszystkim ze stosunkowo krótkiego czasu opracowania prototypu i łatwości jego modyfikacji.

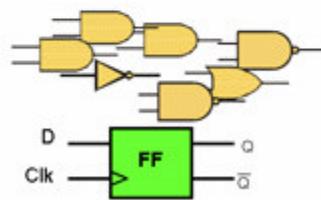
Układy logiczne

Układy logiczne to dział techniki cyfrowej, w której układy cyfrowe konstruowane są na poziomie bramek logicznych i przerzutników.

kombinacyjne



sekwencyjne



Podstawą teoretyczną techniki cyfrowej są układy logiczne. Funkcjonalnie układy logiczne klasyfikujemy na układy kombinacyjne i układy sekwencyjne.

Układ kombinacyjny jest podstawowym układem logicznym umożliwiającym realizację funkcji boolowskich. Układ kombinacyjny konstruujemy z elementów logicznych po to, aby realizować funkcje lub ich zespoły opisujące bardziej skomplikowane układy cyfrowe. Dlatego rozważania o układach kombinacyjnych rozpoczynamy od pojęcia funkcji boolowskiej.

Najczęściej stosowane reprezentacje funkcji boolowskich to tablica prawdy oraz formula (wyrażenie) boolowskie.

Tablica prawdy

Tablicowe przedstawienie odwzorowania f

$$f: B^3 \rightarrow B \quad f(x_1, x_2, x_3)$$

	x_1	x_2	x_3	f
0	0	0	0	0
1	0	0	1	1
2	0	1	0	-
3	0	1	1	1
4	1	0	0	0
5	1	0	1	1
6	1	1	0	-
7	1	1	1	1

Funkcja niezupełna

	x_1	x_2	x_3	f
0	0	0	0	0
1	0	0	1	1
2	0	1	1	1
3	1	0	0	0
4	1	0	1	1
5	1	1	1	1

$$A_D = L(A_{NKB}) = \sum_{j=0}^{n-1} a_j 2^j$$

Funkcja f może być przedstawiona w postaci tablicy prawdy. Jest to tablica o $n + 1$ kolumnach i 2^n wierszach.

W kolejnych wierszach są zapisywane wszystkie wartości ciągu x_1, \dots, x_n , czyli wszystkie wektory \underline{x} .

W ostatniej kolumnie podana jest wartość y przyporządkowywana danemu wektorowi lub „–”, jeżeli funkcja dla tego wektora nie jest określona. Kolejne wektory są numerowane, przy czym wartość i podana z lewej strony w dodatkowej kolumnie jest dziesiętnym odpowiednikiem wektora \underline{x} traktowanego jako liczba w zapisie dwójkowym.

Uproszczony zapis tablicy prawdy

	x_1	x_2	x_3	f
0	0	0	0	0
1	0	0	1	1
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	1
6	1	1	0	1
7	1	1	1	1

$$f = \Sigma(1, 3, 5, 6, 7)$$

	x_1	x_2	x_3	f
0	0	0	0	0
1	0	0	1	1
2	0	1	0	-
3	0	1	1	1
4	1	0	0	0
5	1	0	1	1
6	1	1	0	-
7	1	1	1	1

$$f = \Sigma[(1, 3, 5, 7), (2, 6)]$$

Formuła boolowska

Formuła boolowska to wyrażenie, w którym zmienne boolowskie połączone są operatorami: + (OR), \cdot (AND), $\bar{}$ (NOT)

a	b	$a + b$	$a \cdot b$	\bar{a}
0	0	0	0	1
0	1	1	0	1
1	0	1	0	0
1	1	1	1	0

Oto przykłady uproszczonego zapisu funkcji boolowskich. Podane zapisy specyfikują funkcje boolowskie, których wektory wejściowe określone są liczbami dziesiętnymi.

Funkcje boolowskie reprezentowane odwzorowaniem f , jakkolwiek możliwe do bezpośredniej realizacji technicznej, nie są najlepszą formą do zastosowań.

Znacznie wygodniejsze są reprezentacje funkcji w postaci formuł boolowskich. Ich zaleta wynika przede wszystkim z łatwej realizacji elementów logicznych zwanych bramkami logicznymi, które to elementy stanowią naturalną realizację formuł (wyrażeń) boolowskich, gdzie występują w postaci operatorów.

Formuła boolowska - przykład

	x_1	x_2	x_3	f
0	0	0	0	0
1	0	0	1	1
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	1
6	1	1	0	1
7	1	1	1	1

$$f = \bar{x}_1 \bar{x}_2 x_3 + \bar{x}_1 x_2 x_3 + x_1 \bar{x}_2 x_3 + x_1 x_2 \bar{x}_3 + x_1 x_2 x_3$$

$$f = \bar{x}_1 \bar{x}_2 x_3 + \bar{x}_1 x_2 x_3 + x_1 \bar{x}_2 x_3 + x_1 x_2 \bar{x}_3 + x_1 x_2 x_3$$

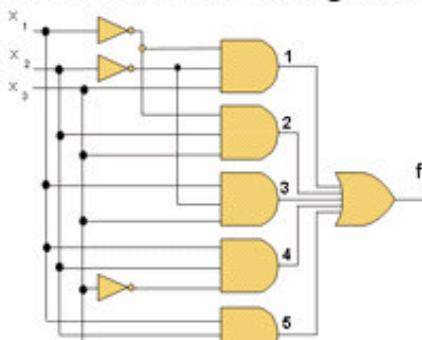
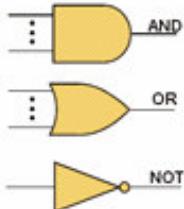
Ogromne znaczenie formuł boolowskich...

Formuła boolowska to wyrażenie, w którym zmienne boolowskie połączone są operatorami: $+$ (OR), \cdot (AND), \bar{x} (NOT). Operatory te zdefiniowane są w tabelce podanej na planszy dla działań dwuargumentowych AND i OR i jednoargumentowego NOT, ale ich uogólnienie na operatory wieloargumentowe jest oczywiste.

Dla funkcji opisanej tablicą prawdy podaną w tabelce na planszy podajemy sposób tworzenia formuły boolowskiej.

Operatory logiczne

Mają swoje realizacje techniczne tzw. bramki logiczne



Realizacja funkcji f

$$f = \bar{x}_1 \bar{x}_2 x_3 + \bar{x}_1 x_2 x_3 + x_1 \bar{x}_2 x_3 + x_1 x_2 \bar{x}_3 + x_1 x_2 x_3$$

A na tej planszy pokazana jest realizacja tej funkcji na bramkach AND, OR, NOT.

W układzie kombinacyjnym z rysunku na planszy funkcja f , realizowana na jego wyjściu f , reprezentuje odwzorowanie z tabelki prawdy, co łatwo sprawdzić wprowadzając na wejścia układu odpowiednie wektory binarne i obliczając wartość uzyskaną na wyjściu y .

Na przykład dla $x_1 = x_2 = 0, x_3 = 1$ na wyjściu bramki AND1 pojawi się sygnał o wartości 1, i w rezultacie wyjście y przyjmie wartość 1. Natomiast dla $x_1 = x_2 = x_3 = 0$ na wyjściach wszystkich bramek AND będzie 0, a więc jednocześnie y przyjmie wartość 0, co jest zgodne z tablicą prawdy.

Inne operatory logiczne



$$y = \overline{a \bullet b}$$



$$y = \overline{a + b}$$



$$y = a \oplus b = a\bar{b} + \bar{a}b$$

NAND (NOT-AND)

NOR (NOT-OR)

EXOR (Exclusive OR)

W dwuelementowej algebrze Boole'a wprowadza się też inne działania (operatory). Do najważniejszych z nich należą: zanegowany iloczyn (NAND), zanegowana suma (NOR), suma wyłączająca (tzw. suma modulo 2 lub różnica symetryczna, oznaczana EXOR). Operatorom tym odpowiadają stosowne symbole bramek.

Prawa i własności algebry Boole'a

$$a + 0 = a \quad \text{Własności stałych}$$

$$a + 1 = 1$$

$$a + \bar{a} = 1 \quad \text{Własności negacji}$$

$$\bar{\bar{a}} = a \quad \text{Podwójna negacja}$$

$$a + a = a \quad \text{Idempotentność}$$

Prawa i własności algebry Boole'a cd.

$$a + b = b + a \quad \text{Przemienność}$$

$$a + (b + c) = (a + b) + c \quad \text{Łączność}$$

$$a + b \cdot c = (a + b) \cdot (a + c) \quad \text{Rozdzielność}$$

Prawa De Morgana

$$y = \overline{a \cdot b} = \bar{a} + \bar{b}$$

$$y = \overline{a + b} = \bar{a} \cdot \bar{b}$$

Nie kwestionowaną zaletą formuł boolowskich jest możliwość ich upraszczania, a co zatem idzie możliwość uzyskiwania realizacji oszczędniejszych z punktu widzenia liczby bramek.

Zasady formalne upraszczania formuł boolowskich związane są z prawami i własnościami algebry Boole'a.

W algebrze Boole'a, operacje "+" (dysjunkcja) i "·" (konjunkcja) nazywa się również przez analogię do arytmetyki odpowiednio dodawaniem i mnożeniem. Operacje dodawania i mnożenia są przemienne oraz rozdzielne względem siebie. Elementy binarne 0 oraz 1 spełniają rolę elementu neutralnego odpowiednio względem operacji dodawania i mnożenia.

Transformacja formuły

$$\begin{aligned}f &= \bar{x}_1 \bar{x}_2 x_3 + \bar{x}_1 x_2 x_3 + x_1 \bar{x}_2 x_3 + x_1 x_2 \bar{x}_3 + x_1 x_2 x_3 = \\&= \cancel{\bar{x}_1 \bar{x}_2 x_3} + \cancel{\bar{x}_1 x_2 x_3} + \cancel{x_1 \bar{x}_2 x_3} + \cancel{x_1 x_2 \bar{x}_3} + \cancel{x_1 x_2 x_3} + \cancel{x_1 x_2 x_3} = \\&= \bar{x}_1 x_3 (\cancel{\bar{x}_2} + \cancel{x_2}) + x_1 x_3 (\cancel{\bar{x}_2} + \cancel{x_2}) + x_1 x_2 (\cancel{\bar{x}_3} + \cancel{x_3}) = \\&= \bar{x}_1 x_3 + x_1 x_3 + x_1 x_2 = \\&= x_3 + x_1 x_2\end{aligned}$$

||| 

Realizacja uproszczonej funkcji f

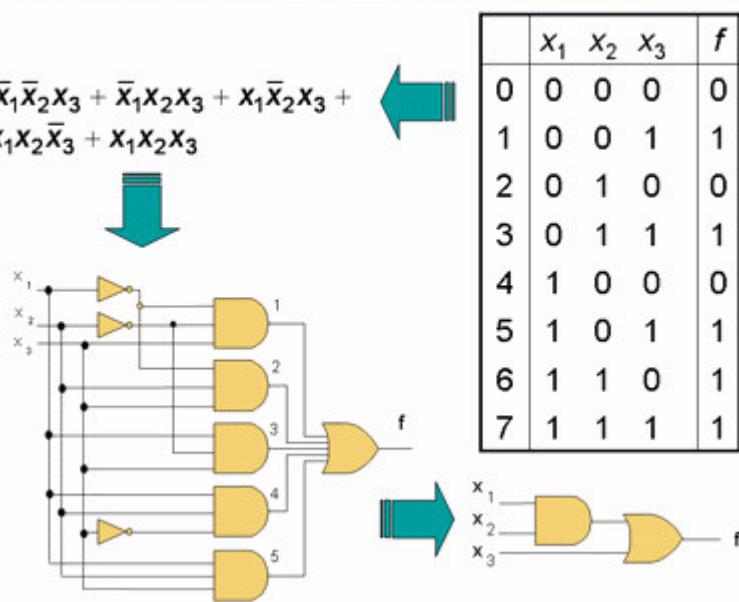
Minimalizacja funkcji boolowskich!!!

Stosując prawa algebra Boole'a, poprzednio podane wyrażenie na f można uprościć w sposób pokazany na planszy. Ostatecznie wyrażenie to można zrealizować w układzie kombinacyjnym, którego struktura – znacznie prostsza od poprzedniej realizacji – jest pokazana na rysunku.

Zasygnalizowany tu proces upraszczania wyrażeń boolowskich ma ogromne znaczenie praktyczne i opracowano dla jego potrzeb wiele zaawansowanych metod syntezy, które z technicznego punktu widzenia nazywa się metodami *minimalizacji funkcji boolowskich*. Wiele z nich doczekało się realizacji w postaci zaawansowanych narzędzi komputerowych i stanowi podstawę nowoczesnej syntezy logicznej.

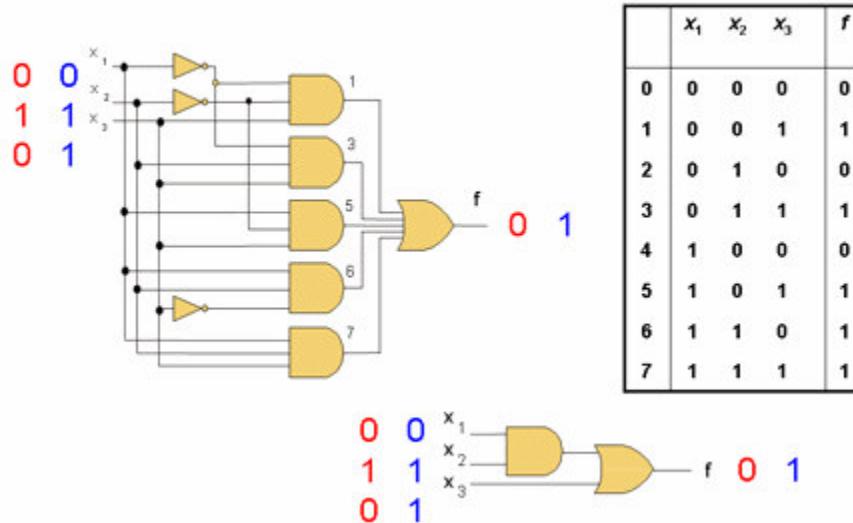
Od funkcji do układu

$$f = \bar{x}_1 \bar{x}_2 x_3 + \bar{x}_1 x_2 x_3 + x_1 \bar{x}_2 x_3 + x_1 x_2 \bar{x}_3 + x_1 x_2 x_3$$



Na planszy pokazujemy cały proces syntezy funkcji boolowskiej tzn. przejście od tablicy prawdy, której odpowiada skomplikowane wyrażenie boolowskie. Wyrażenie to można zrealizować bezpośrednio, ale taka realizacja nie jest korzystna z technicznego punktu widzenia. Znacznie lepsza jest realizacja funkcji zminimalizowanej.

Sens fizyczny minimalizacji



Sens fizyczny minimalizacji i jej ogromne znaczenie praktyczne wynika z faktu, że oba układy: pierwotny i zminimalizowany działają identycznie.

Metody minimalizacji funkcji boolowskich

- Graficzne
- Analityczne
- Komputerowe

- Tablice Karnauga
- Metoda Quine'a – McCluskey'a

Pierwsze skuteczne narzędzie do minimalizacji wieloargumentowych i wielowyjściowych funkcji boolowskich (Uniwersytet Kalifornijski w Berkeley) :

Metoda i system Espresso (1984)

Ze względu na ograniczony zakres wykładu omówimy wyłącznie:

- Metodę tablic Karnauga
- Metodę Ekspansji (przykładową procedurę Espresso)

Absolutnie nieprzydatne do obliczeń komputerowych

Omówienie całego Espresso jest nierealne!

Zasygnalizowany w poprzednim wykładzie proces minimalizacji funkcji boolowskich ma ogromne znaczenie w technice cyfrowej. Znaczenie to zostało spotęgowane możliwościami realizacji układów logicznych w strukturach scalonych o złożoności milionów bramek logicznych

Wypracowano wiele metod minimalizacji funkcji boolowskich. Najbardziejznaną i uznawaną za najskuteczniejszą jest metoda ESPRESSO opracowana w latach 80. na Uniwersytecie Kalifornijskim w Berkeley. Ze względu na ograniczony zakres wykładu omówimy wyłącznie metodę tablic Karnauga oraz metodę ekspansji (przykładową procedurę Espresso).

Metoda tablic Karnaugha

Tablica Karnaugha jest prostokątem złożonym z 2^n kratk, z których każda reprezentuje jeden pełny iloczyn (minterm) zmiennych binarnych.

		W kratki wpisuje się wartości funkcji.	
		x_3	0 1
x_1x_2		00	- 0
00	01	1	1
01	11	1	0
11	10	0	0

W tablicy Karnaugha różniącym się tylko o negację pełnym iloczynom przyporządkowane są leżące obok siebie pola tablicy (sąsiednie kratki). Korzysta się z faktu, że dla dowolnego A:

$$A\bar{x} + Ax = A$$

Dla uzyskania efektu sąsiedztwa współrzędne pól opisuje się kodem Gray'a

Kod Gray'a

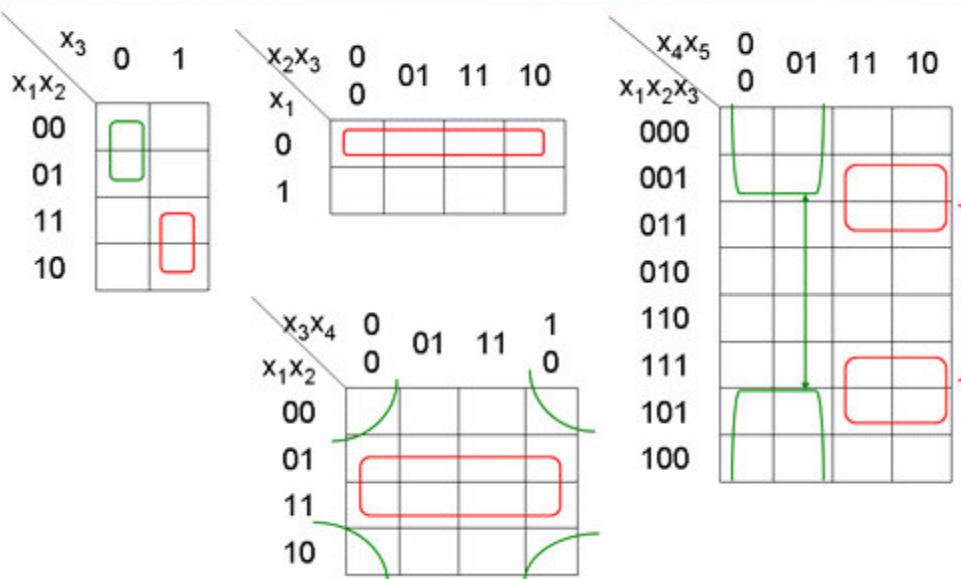
0	00	000	0000
1	01	001	0001
	11	011	0011
	10	010	0010
		110	0110
		111	0111
		101	0101
		100	0100
			1100
			1101
			1111
			1110
			1010
			1011
			1001
			1000

W metodzie Karnauga každa kratka odpowiedniej tablicy (zwanej tablicą Karnaugha) odpowiada wektorowi zmiennych binarnych. Można więc powiedzieć, że ciąg wartości tych zmiennych tworzy adres kratki. Kratki są ponumerowane w taki sposób, że numer i jest liczbą dziesiętną odpowiadającą kombinacji zmiennych (wektorowi zero-jedynkowemu) traktowanej jako liczba dwójkowa. W poszczególnych kratkach wpisane są wartości funkcji, tj. 0 lub 1 przyjmowanej przez funkcję dla tej kombinacji lub symbol „-”, jeżeli funkcja nie jest określona. W tablicy Karnaugha różniącym się tylko o negację pełnym iloczynom przyporządkowane są leżące obok siebie pola tablicy (sąsiednie kratki), które się łączy (skleja) odpowiednią pętelką. Korzysta się z faktu, że dla dowolnego A:

$$A\bar{x} + Ax = A$$

Dla uzyskania efektu sąsiedztwa współrzędne pól opisuje się tzw. kodem Gray'a.

Przykłady sklejeń



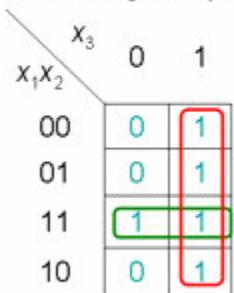
Przykładzik

1) Wpisanie funkcji do tablicy

2) Zakreślanie pętelek

Z pętelkami kojarzymy iloczyn zmiennych
(prostych lub zanegowanych)

	x_1	x_2	x_3	f
0	0	0	0	0
1	0	0	1	1
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	1
6	1	1	0	1
7	1	1	1	1



$$f = \boxed{X_1X_2} + \boxed{X_3}$$

Na planszy pokazane są przykłady łączenia (sklejania) kratek tablicy Karnaugha.

Kolejny przykład ilustruje wykorzystanie zasady łączenia kratek do graficznej minimalizacji funkcji boolowskiej.

Wpiswanie funkcji ułatwia...

... opis kratek tablic Karnaugha wg NKB

$$A_D = L(A_{NKB}) = \sum_{j=0}^{n-1} a_j 2^j$$

	x_2x_3	00	01	11	10
x_1		0	1	3	2
0		4	5	7	6
1					

	x_3	0	1
x_1x_2		00	01
00		0	1
01		2	3
11		6	7
10		4	5

	x_3x_4	00	01	11	10
x_1x_2		00	01	11	10
00		0	1	3	2
01		4	5	7	6
11		12	13	15	14
10		8	9	11	10

	x_4x_5	00	01	11	10
$x_1x_2x_3$		000	001	011	010
000		0	1	3	2
001		4	5	7	6
011		12	13	15	14
010		8	9	11	10
110		24	25	27	26
111		28	29	31	30
101		20	21	23	22
100		16	17	19	18

Przykładzik

	x_1	x_2	x_3	f
0	0	0	0	0
1	0	0	1	1
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	1
6	1	1	0	1
7	1	1	1	1

Wpisanie funkcji do tablicy

	x_3	0	1
x_1x_2		00	01
00		0	1
01		0	1
11		1	1
10		0	1

Zakreślanie pętelek i kojarzenie z nimi odpowiednich iloczynów jest trudniejsze.

Wpiswanie funkcji do tablicy Karnaugha ułatwia numeracja kratek. Podajemy przykłady tablic Karnaugha z ponumerowanymi kratkami.

Oraz stosujemy tę metodę do funkcji z poprzedniego przykładu.

Przykład

Three Karnaugh maps for three variables x_1, x_2, x_3 :

- Top-left map: Minterms 0, 1, 4, 7. Cells 0, 1, 4, 7 are highlighted in blue, red, green, and blue respectively.
- Top-right map: Minterms 0, 1, 5, 6. Cells 0, 1, 5, 6 are highlighted in blue, green, green, and blue respectively.
- Bottom map: Minterms 2, 3, 11, 12. Cells 2, 3, 11, 12 are highlighted in red, green, blue, and red respectively.

$f = x_2\bar{x}_3 + \bar{x}_1x_2 + x_1\bar{x}_3$

Przykład

$$f = \Sigma[0, 5, 6, 7, 10, (2, 3, 11, 12)]$$

A Karnaugh map for four variables x_1, x_2, x_3, x_4 :

$f = \bar{x}_1x_3 + \bar{x}_2x_3 + \bar{x}_1\bar{x}_2\bar{x}_4 + \bar{x}_1x_2x_4$

$$f = \bar{x}_1x_3 + \bar{x}_2x_3 + \bar{x}_1\bar{x}_2\bar{x}_4 + \bar{x}_1x_2x_4$$

Niestety zakreślanie pętelek i kojarzenie z nimi odpowiednich iloczynów jest trudniejsze. Omawiamy ten proces na bardziej skomplikowanym przykładzie, w którym kolorami zaznaczamy odpowiednie pola tablicy Karnaugha. Pokrywanie się tych pól określa odpowiedni iloczyn zmiennych prostych lub zanegowanych.

Na tym przykładzie trenujemy cały proces minimalizacji funkcji metodą tablic Karnaugha.

Kanoniczna forma sumacyjna

$$f(X) = \bigvee_{k=0}^{2^n-1} x_1^{e_{1k}} x_2^{e_{2k}} \cdots x_n^{e_{nk}} f(X_k)$$

$$x^e = \begin{cases} x, & \text{gdy } e = 1 \\ \bar{x}, & \text{gdy } e = 0 \end{cases}$$

$$f(X) = \bigvee_{k=0}^{2^n-1} P_k(X) f(X_k)$$

$$f(X) = \bar{x}_1 \bar{x}_2 x_3 + \bar{x}_1 x_2 x_3 + x_1 \bar{x}_2 x_3 + x_1 x_2 \bar{x}_3 + x_1 x_2 x_3$$

	x_1	x_2	x_3	f
0	0	0	0	0
1	0	0	1	1
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	1
6	1	1	0	1
7	1	1	1	1

Podajemy ogólny wzór na kanoniczną formę sumacyjną oraz sposób tworzenia tej formy dla przykładowej funkcji. KFS można utworzyć bezpośrednio z tablicy prawdy przez wybranie wierszy, dla których wartość funkcji wynosi 1, utworzenie dla każdego takiego wiersza iloczynu pełnego, oraz utworzenie sumy iloczynów pełnych.

Kanoniczna forma iloczynowa

$$f(X) = \bigwedge_{k=0}^{2^n-1} \left(x_1^{e_{1k}} + x_2^{e_{2k}} + \cdots + x_n^{e_{nk}} + f(X_k) \right)$$

$$x^e = \begin{cases} x, & \text{gdy } e = 0 \\ \bar{x}, & \text{gdy } e = 1 \end{cases}$$

$$f(X) = \bigwedge_{k=0}^{2^n-1} (S_k + f(X_k))$$

	x_1	x_2	x_3	f
0	0	0	0	0
1	0	0	1	1
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	1
6	1	1	0	1
7	1	1	1	1

Podajemy ogólny wzór na kanoniczną formę iloczynową oraz sposób tworzenia tej formy dla przykładowej funkcji. W tym przypadku synteza funkcji sprowadza się do wybrania wierszy, dla których wartość funkcji wynosi 0, utworzenia dla każdego takiego wiersza sumy pełnej oraz utworzenia iloczynu sum pełnych.

$$f = (x_1 + x_2 + x_3)(x_1 + \bar{x}_2 + x_3)(\bar{x}_1 + x_2 + x_3)$$

Formy kanoniczne – realizacje bramkowe

Realizacja AND-OR

Realizacja NAND

Realizacja OR-AND

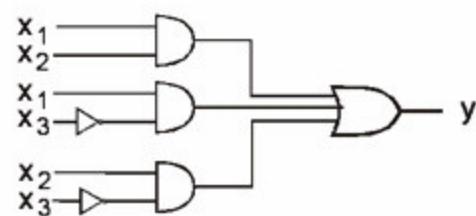
Realizacja NOR

$$y = x_1 x_2 + x_1 \bar{x}_3 + x_2 \bar{x}_3$$

Realizacja AND-OR

x_3	0	1
$x_1 x_2$	00	0
00	0	0
01	1	0
11	1	1
10	1	0

$$y = \boxed{x_1 x_2} + \boxed{x_1 \bar{x}_3} + \boxed{x_2 \bar{x}_3}$$



Formy kanoniczne są stosowane do uzyskiwania różnych реализаций bramkowych funkcji boolowskich. Są to:

realizacja AND-OR,

realizacja NAND,

realizacja OR-AND,

realizacja NOR.

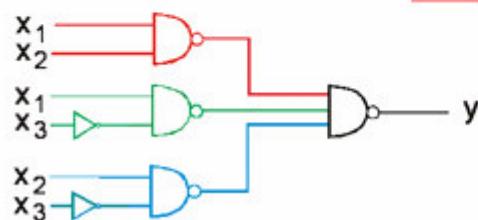
Kolejne plansze ilustrują sposób tworzenia takich realizacji.

Realizacja NAND

x_3	0	1
x_1x_2	00	00
	01	10
	11	11
	10	01

$$y = \overline{x_1x_2 + x_1\bar{x}_3 + x_2\bar{x}_3}$$

$$y = \overline{x_1x_2} \cdot \overline{x_1\bar{x}_3} \cdot \overline{x_2\bar{x}_3}$$

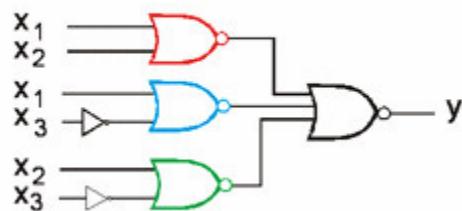


Realizacja NOR

x_3	0	1
x_1x_2	00	00
	01	10
	11	11
	10	01

$$y = \overline{(x_1 + x_2)(x_1 + \bar{x}_3)(x_2 + \bar{x}_3)}$$

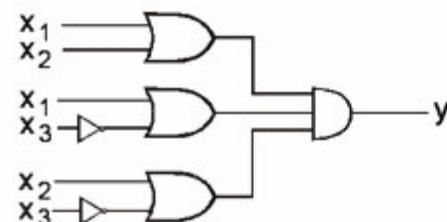
$$y = \overline{x_1+x_2} + \overline{x_1+\bar{x}_3} + \overline{x_2+\bar{x}_3}$$



Realizacja OR-AND

x_3	0	1
x_1x_2	00	00
	01	10
	11	11
	10	01

$$y = (x_1 + x_2)(x_1 + \bar{x}_3)(x_2 + \bar{x}_3)$$



STEROWNIK PROGRAMOWALNY LOGO

LOGO! to uniwersalny sterownik logiczny opracowany przez firmę Siemens.

LOGO! łączy w sobie następujące elementy i funkcje:

- • elementy sterowania,
- • panel sterowniczy i podświetlany ekran,
- • zasilacz,
- • interfejs umożliwiający dołączanie modułów zewnętrznych,
- • interfejs umożliwiający dołączenie modułu pamięciowego (Card) i kabla do PC,
- • wbudowane funkcje, np.: opóźnione zał/wyłącz, przekaźnik impulsowy, przełącznik programowalny,
- • timer,
- • binarne i analogowe znaczniki stanu,
- • wejścia i wyjścia w zależności od typu urządzenia.

Zastosowania LOGO!

LOGO! służy do obsługi urządzeń domowych, instalacji elektrycznych (np. oświetlenie klatki schodowej, oświetlenie zewnętrzne, markizy, zasłony, oświetlenie wystawy sklepowej itp.), zastępuje aparaturę szafki rozdzielczej i sterowniki urządzeń mechanicznych (np. systemy sterowania bramą, klimatyzacja, pompa deszczówka itp.).

LOGO! znajduje również zastosowanie w wyspecjalizowanych systemach obsługi cieplarni i szkła, przetwarzania sygnału, a także, poprzez połączenie z modułem komunikacyjnym (np. ASi), do celów rozproszonej obsługi maszyn i procesów przemysłowych.

Niezależnie od liczby modułów podłączonych do LOGO! przy pisaniu programów wykorzystać można następujące wejścia/wyjścia:

- • wejścia binarne od I1 do I24,
- • wejścia analogowe od AI1 do AI8,
- • wyjścia binarne od Q1 do Q16 ,
- • wyjścia analogowe AQ1 i AQ2,
- • bity rejestru przesuwnego S1 do S8,
- • 4 klawisze kurSORA,
- • 16 wyjść wirtualnych od X1 do X16.
- • bloki binarnych znaczników stanu od M1 do M24,
- • bloki analogowych znaczników stanu od AM1 do AM6,



Tryby pracy modułu podstawowego LOGO! Basic

Moduł podstawowy LOGO! Basic może znajdować się w jednym z dwóch trybów pracy: STOP oraz RUN.

STOP

- Na wyświetlaczu: „No program” (nie dotyczy modeli bez wyświetlacza LOGO!...o).
- LOGO! przełącza się do trybu programowania.
- Dioda pali się na czerwono (dotyczy tylko modeli bez wyświetlacza LOGO!).

Działanie LOGO!:

- Nie są odczytywane stany wejść.
- Program nie jest wykonywany.
- - Przekaźniki mają rozowane styki, tranzystory wyjściowe są wyłączone.

Konektory LOGO!

Pojęcie „konektor” odnosi się do wszystkich połączeń i stanów w urządzeniu. Stan logiczny wejścia/wyjścia określa się jako 0 lub 1. Stan 0 oznacza brak napięcia na danym wejściu. Natomiast stan 1 oznacza, że na tym wejściu jest napięcie.

RUN

- Na wyświetlaczu: monitor stanu wejść i wyjść oraz komunikaty (menu główne po rozpoczęciu pracy).
- LOGO! przełącza się do trybu modyfikacji parametrów.
- Dioda pali się na zielono (dotyczy tylko modeli bez wyświetlacza LOGO!).

Działanie LOGO!:

- Odczytuje stany wejść.
- Wykonuje program i oblicza stany wyjść.
- Włącza lub wyłącza wyjściowe przekaźniki lub tranzystory.

W celu ułatwienia programowania konektory oznaczono jako „hi”, „lo”:

- „hi” (high – wysoki poziom napięcia) odpowiada stanowi 1,
- „lo” (low – niski poziom napięcia) odpowiada stanowi 0.

Nie ma konieczności użycia wszystkich konektorów w bloku. Nieużywanym konektorom program automatycznie przypisuje taki stan, który zapewni poprawne działanie danego bloku.

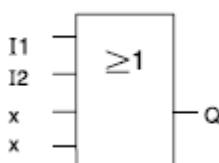
Blok

Blok w LOGO! to funkcja używana w celu określenia sposobu konwersji sygnału wejściowego na wyjściowy. Bez pomocy LOGO! trzeba by łączyć przewodami pojedyncze elementy w szafce sterowniczej lub rozdzielczej.

Programowanie LOGO! polega na wzajemnym łączeniu bloków. W tym celu należy wybrać żądane połączenie z menu Co (od ang.: Connector).

Do bloków podstawowych należą funkcje logiczne:

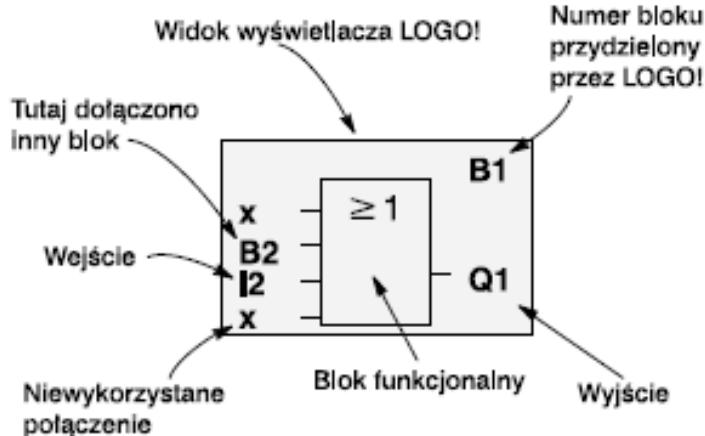
- • AND
- • OR
- • itp



W tym przykładzie wejścia I1 i I2 podłączone są do bloku OR. Pozostałe dwa wejścia są nieużywane i oznaczone jako „x”.

Dużo większe możliwości dają funkcje specjalne:

- • przerzutnik bistabilny
- • licznik wzrastający/malejący
- • włącznik czasowy
- • przełącznik wciskowy
- • przełącznik wielofunkcyjny
- • generator losowy
- • opóźnione wyłączenie
- • podtrzymywane opóźnione załączenie



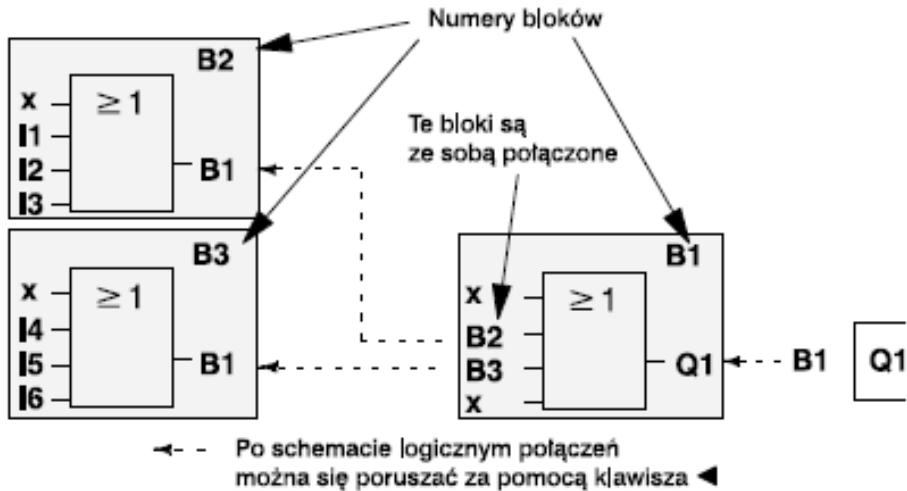
Przedstawienie bloków na wyświetlaczu LOGO!

Ilustracja przedstawia typowy widok wyświetlacza LOGO!

Jednorazowo może on pokazywać obraz tylko jednego bloku. Dlatego też dla ułatwienia konstruowania układu, bloki oznacza się numerami.

Numeracja bloków

Umieszczenie nowego bloku w programie powoduje automatyczne oznaczenie go numerem. Numery te wskazują na połączenia między blokami. Ich podstawowym zadaniem jest zapewnienie użytkownikowi kontroli nad programem.

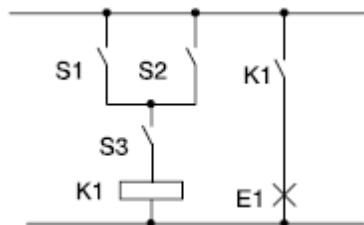


Dzięki numeracji bloków niemal każdy blok przyłączyć można do wejścia bieżącego bloku posługując się jego numerem. Dzięki temu można w programie ponownie wykorzystywać wyniki działania pośrednich bloków.

Przedstawione trzy widoki wyświetlacza LOGO! odpowiadają jednemu programowi.

O sposobie, w jaki połączono bloki w LOGO!, informują ich numery.

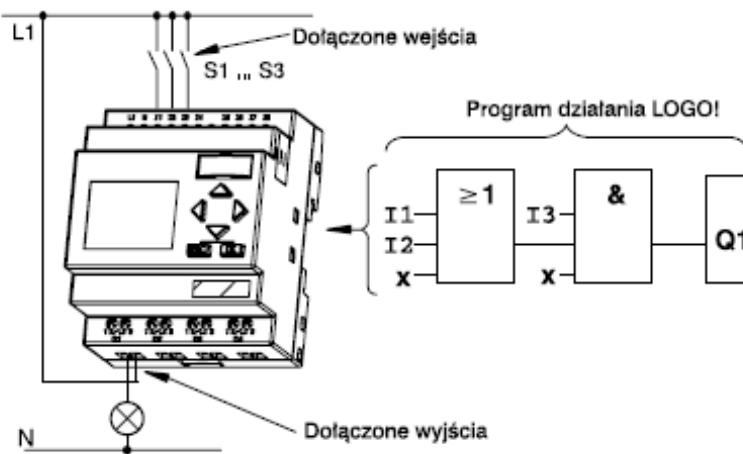
Reprezentacja obwodu na schemacie połączeń



Obciążenie E1 włącza/wyłącza się poprzez układ przełączników: (S1 OR S2) AND S3. Przekaźnik K1 załącza się, jeśli układ ten jest zamknięty.

Realizacja schematu w LOGO!

W systemie LOGO! projektuje się obwód elektryczny łącząc bloki i konektory.



Wprowadzanie programu do LOGO! należy rozpoczynać od wyjścia, którym jest obciążenie lub przekaźnik.

Nieużywanym konektorom program automatycznie przypisuje taki stan, który zapewni poprawne działanie danego bloku. Jest to równoważne z przypisaniem konektorowi oznaczenia „x”.

Funkcje LOGO!

W programowaniu LOGO! wykorzystuje się wiele różnych elementów. Ułożono je w kilka list:

- • ↓Co - lista konektorów (Connector)
- • ↓GF - lista funkcji podstawowych: AND, OR...
- • ↓SF - lista funkcji specjalnych (Special Functions)
- • ↓BN - lista bloków użytych w programie.

Zawartość list

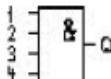
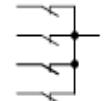
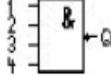
Listy zawierają wszystkie elementy dostępne w LOGO!, są to więc wszystkie konektory, funkcje podstawowe i funkcje specjalne wbudowane w LOGO!, a także wszystkie bloki stworzone przez użytkownika do momentu wywołania listy bloków.

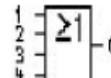
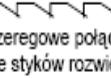
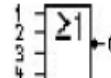
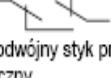
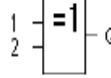
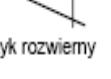
Lista funkcji podstawowych - GF

Funkcje podstawowe to proste operacje logiczne algebry Boole'a.

Istnieje możliwość zanegowania sygnału na poszczególnych wejściach funkcji specjalnych. Wówczas program zamienia sygnał o wartości logicznej 1 na 0 i odwrotnie: jeśli na wejściu jest sygnał o wartości logicznej 0, program zinterpretuje ten sygnał jako logiczne 0.

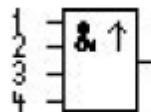
Funkcje podstawowe zebrane są na liście GF. Do dyspozycji są następujące funkcje podstawowe:

Symbol stosowany na schematach	Symbol w LOGO!	Nazwa funkcji
 Szeregowe połączenie styków zwiernych		AND (patrz: strona 105)
		AND z pamięcią stanu (zbocze) (patrz: strona 106)
 Równoległe połączenie styków rozwiernych		NAND (NOT AND) (patrz: strona 107)
		NAND (NOT AND) z pamięcią stanu (zbocze) (patrz: strona 108)

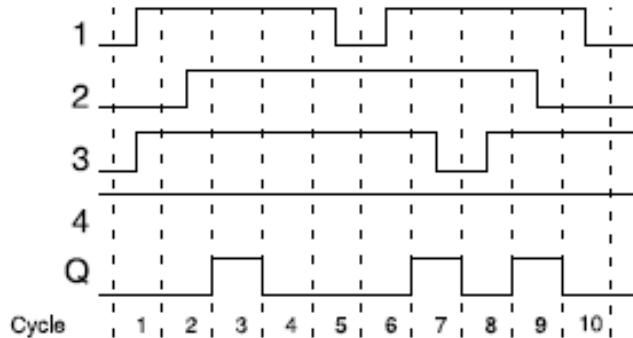
Symbol stosowany na schematach	Symbol w LOGO!	Nazwa funkcji
 Równoległe połączenie styków zwiernych		OR (patrz: strona 109)
 Szeregowe połączenie styków rozwiernych		NOR (NOT OR) (patrz: strona 110)
 Podwójny styk przełączny		XOR (nierównoważność) (patrz: strona 111)
 Styk rozwiermy		NOT (Negacja, Inwerter) (patrz: strona 111)

AND z pamięcią stanu (zbocze)

Wykres czasowy sygnałów w bloku AND z pamięcią stanu:

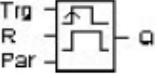
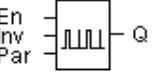
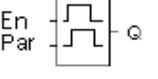
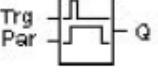
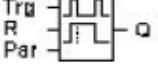
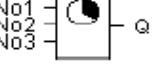
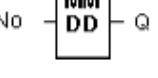


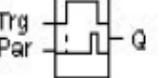
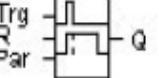
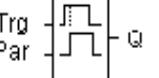
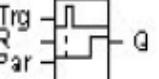
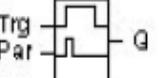
Oznaczenie w LOGO!



Wyjście bloku AND z pamięcią stanu przyjmuje stan 1, jeśli stany na wszystkich wejściach mają wartość 1 i przynajmniej jedno wejście w poprzednim cyklu miało stan 0.

Bloki funkcji specjalnych znajdują się na liście SF.

Oznaczenie w LOGO!	Nazwa funkcji specjalnej	REM
	Przekaźnik czasowy wyzwalany zboczem Strona 137.	REM
	Asynchroniczny generator impulsów Strona 140.	REM
	Generator losowy Strona 141.	
	Sterownik oświetlenia schodowego Strona 143.	REM
	Przelącznik wielofunkcyjny Strona 146.	REM
	Timer tygodniowy Strona 149.	
	Timer roczny Strona 154.	

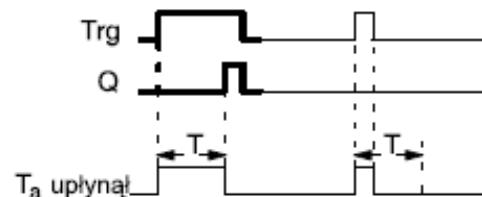
Oznaczenie w LOGO!	Nazwa funkcji specjalnej	REM
Funkcje czasowe		
	Opóźnione włączenie Strona 125.	REM
	Opóźnione wyłączenie Strona 129.	REM
	Opóźnione włącz/wyłącz Strona 131.	REM
	Opóźnienie z podtrzymaniem Strona 133.	REM
	Przekaźnik czasowy z wyjściem impulsowym Strona 135.	REM

Opóźnione włączenie

Wyjście bloku przyjmuje stan 1 po upływie zadanego czasu.

Wykres czasowy

Oznaczenie w LOGO!	Konektor	Opis
Trg Par	Wejście Trg	Odliczanie czasu rozpoczyna zbocze narastające (zmiana stanu z 0 na 1)
	Parametr	T - określa czas, po którym wyjście zostanie wzbudzone (stan na wyjściu bloku zmieni się z 0 na 1).
	Wyjście Q	Stan zmienia się z 0 na 1 po upływie zadanego czasu T pod warunkiem, że na wejściu Trg nadal jest 1.



Pogrubiony fragment wykresu czasowego znajduje się na symbolu graficznym bloku wyświetlany przez LOGO!.

Zmiana stanu na wejściu Trg z 0 na 1 powoduje rozpoczęcie odliczania czasu T_a (czas roboczy LOGO!).

Jeśli na wejściu Trg stan 1 trwa co najmniej tak długo, ile wynosi zadany czas T, po upływie czasu T na wyjściu pojawią się 1 (po wzbudzeniu wejścia wyjście zostanie wzbudzone z zadaną zwłoką).

Odliczanie zadanego czasu T ulega przerwaniu, jeśli przed jego upływem wejście Trg powróci do stanu 0.

Wyjście zeruje się, gdy wejście Trg powróci do stanu 0.

Jeśli nie uaktywniono opcji podtrzymywania pamięci, przerwa w zasilaniu powoduje wyzerowanie wyjścia Q i pozostałego do odliczenia czasu.

Opóźnione wyłączenie

Wyjście bloku przyjmuje stan 0 po upływie zadanego czasu.

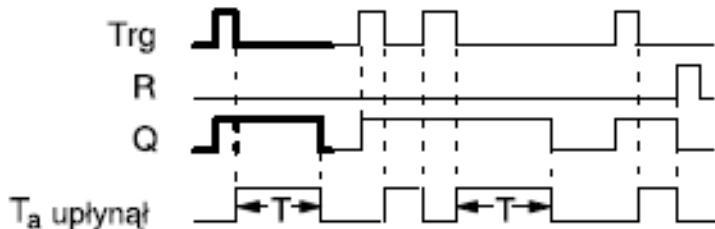
Pojawienie się poziomu wysokiego na wejściu Trg (zmiana stanu z 0 na 1) powoduje wzbudzenie wyjścia Q (stan wyjścia hi).

Zmiana stanu na wejściu Trg z 1 na 0 powoduje rozpoczęcie odliczania czasu T_a , przy czym wyjście pozostaje wzbudzone. W momencie, kiedy T_a osiągnie zadaną wartość T ($T_a=T$), wyjście ulega wyzerowaniu.

Każde zbocze opadające na wejściu Trg powoduje rozpoczęcie odliczania od początku.

Wejście zerujące R służy do zerowania wyjścia oraz czasu T_a przed jego upływem.

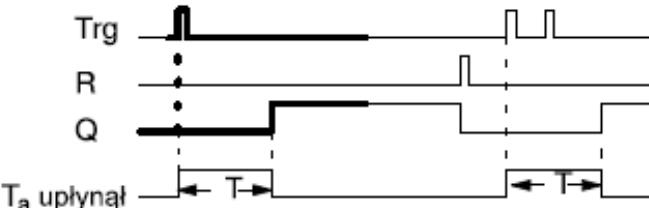
Wykres czasowy



Opóźnienie z podtrzymaniem

Impuls na wejściu rozpoczyna odliczanie zadanego czasu. Wejście zostanie włączone po upływie zadanego czasu.

Wykres czasowy



Zmiana stanu na wejściu Trg z 0 na 1

powoduje rozpoczęcie odliczania czasu T_a . W momencie kiedy $T_a=T$, wyjście zostaje włączone. Dalsze zmiany stanu na wejściu Trg nie mają już wpływu na odliczanie czasu T_a .

Wyjście i odliczany czas T_a ulegają wyzerowaniu, gdy pojawi się sygnał (stan 1) na wejściu R.

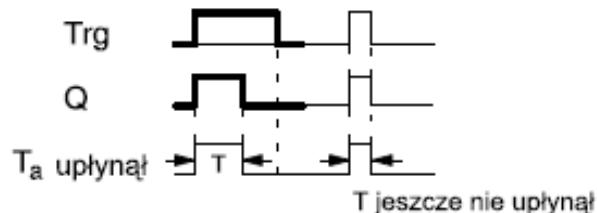
Przekaźnik czasowy z wyjściem impulsowym

Sygnał wejściowy powoduje wygenerowanie na wyjściu sygnału o określonym czasie trwania.

Zmiana stanu wejścia Trg z 0 na 1 powoduje wzbudzenie wyjścia (przyjmuje ono stan 1) i rozpoczęcie odliczania czasu T_a , podczas którego wyjście pozostaje włączone.

Gdy odliczany czas T_a osiągnie wartość zadanego czasu T ($T_a=T=długość\ impulsu$), wyjście Q ulega wyzerowaniu (przyjmuje stan 0). Jeśli przed upływem zadanego czasu T nastąpi zmiana stanu wejścia Trg z 1 na 0, wyjście ulega wyzerowaniu.

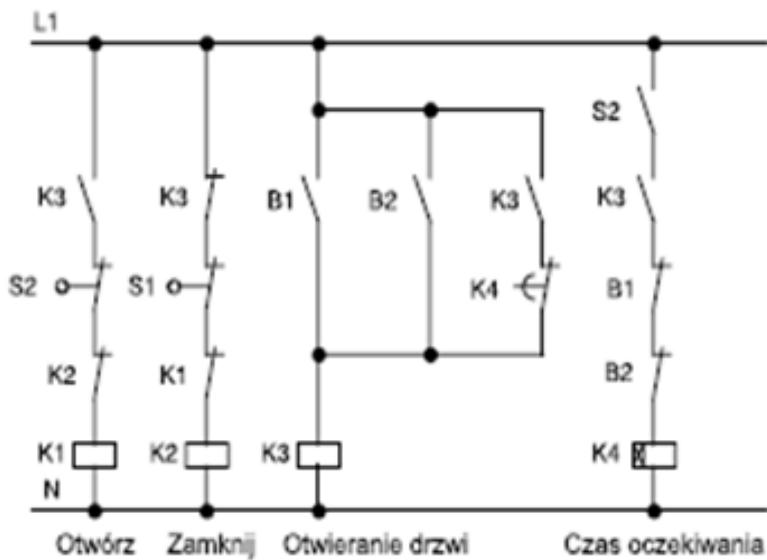
Wykres czasowy



Przykład zastosowania LOGO - Drzwi automatyczne

Wymagania dla drzwi automatycznych:

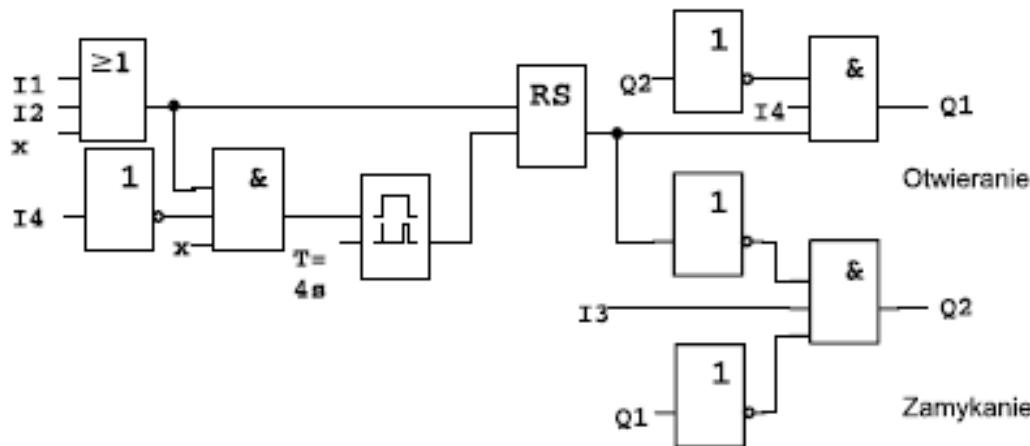
- kiedy ktoś się zbliża, muszą się otworzyć automatycznie,
 - drzwi muszą pozostać otwarte dopóki ktoś jest w przejściu,
 - kiedy przejście się opróżni, drzwi muszą się automatycznie zamknąć po upływie krótkiego czasu.



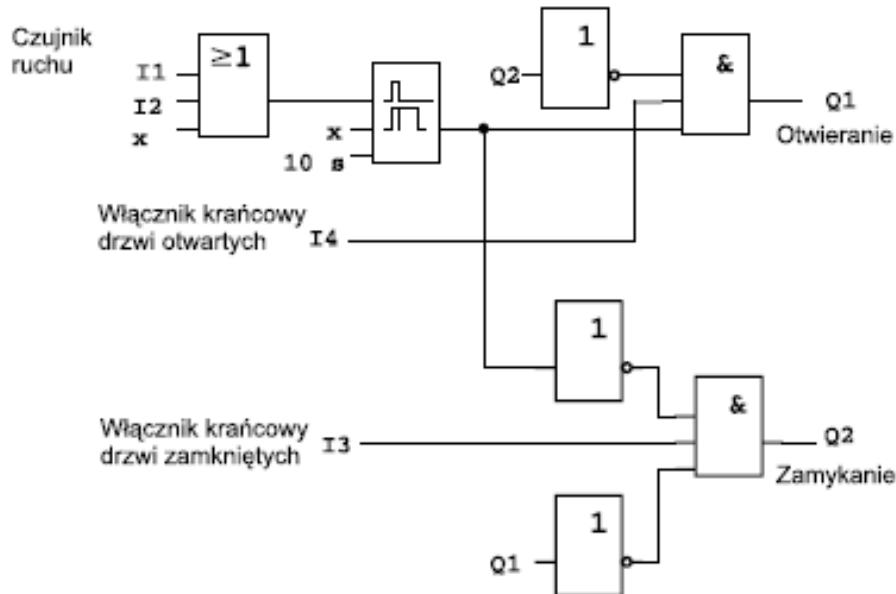
Rozwiązanie klasyczne

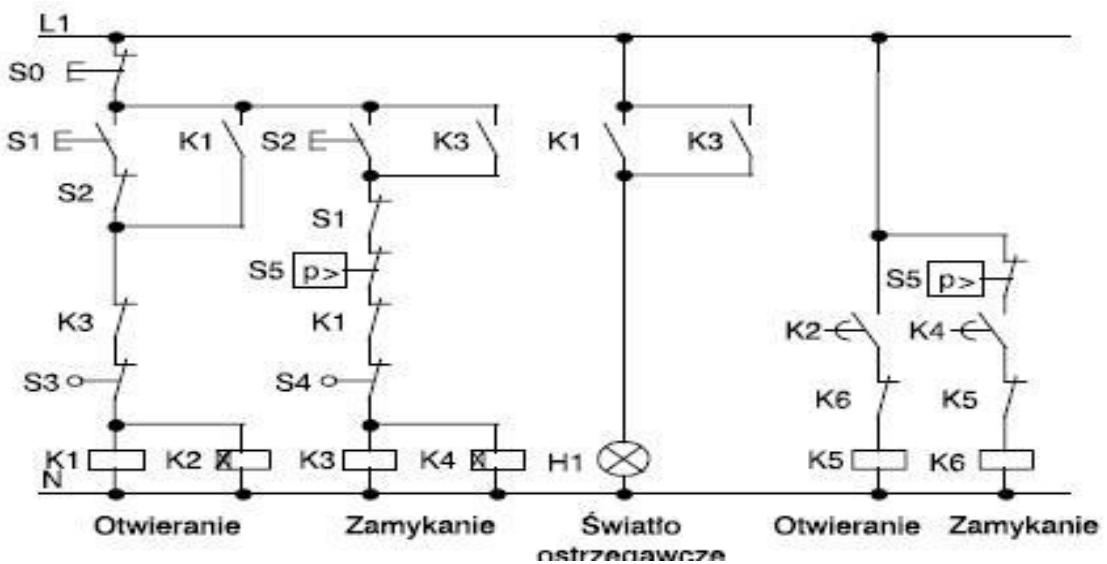
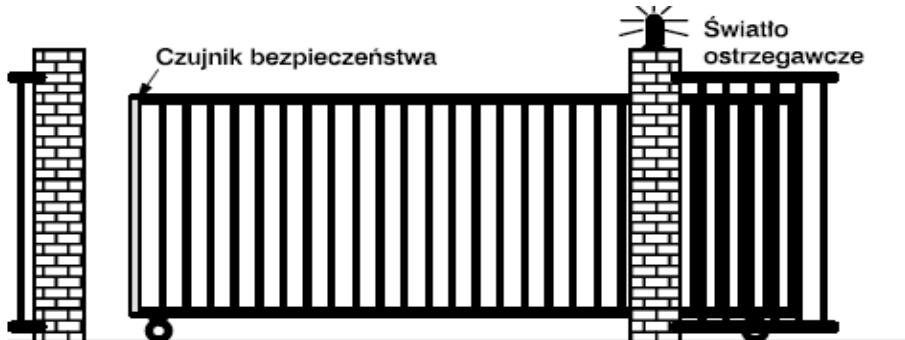
Kiedy ktoś wkroczy w obszar detekcji czujników ruchu B1 lub B2, drzwi się otwierają dzięki K3. Kiedy obszar detekcji jest pusty przez określony czas, to K4 umożliwia zamknięcie drzwi.

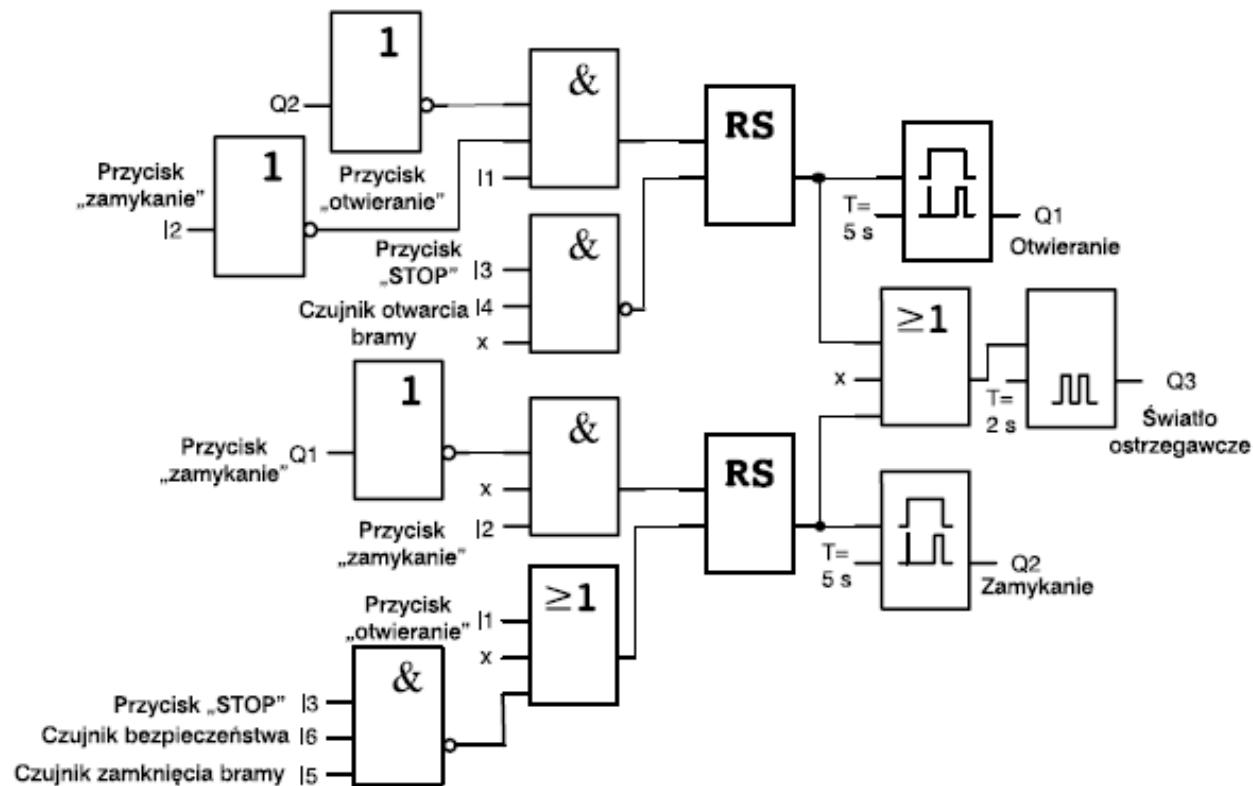
Schemat blokowy konwencjonalnego obwodu sterowania zrealizowanego w LOGO

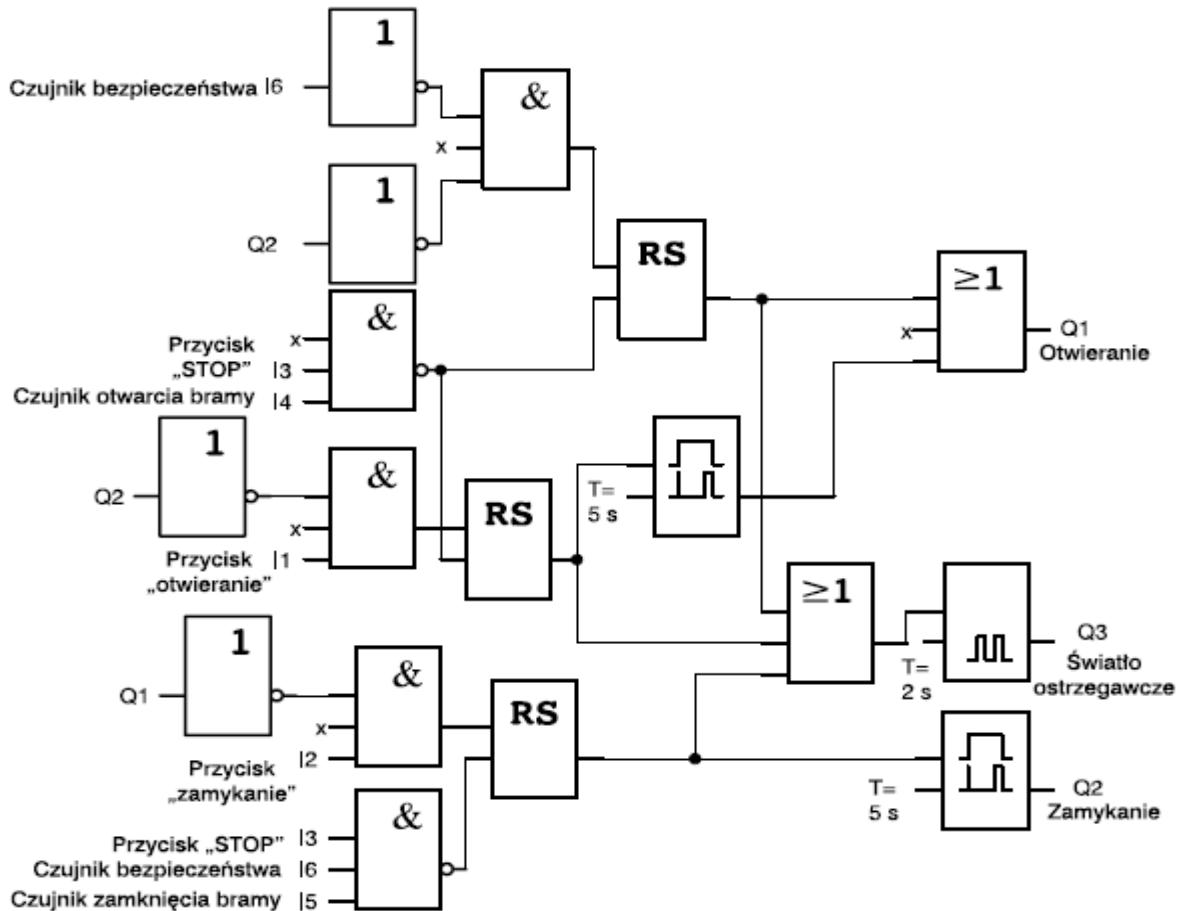


Ten schemat można uprościć przez zastosowanie funkcji: opóźnionego wyłączenia w miejsce przekaźnika zatrzaskowego i opóźnionego włączenia.









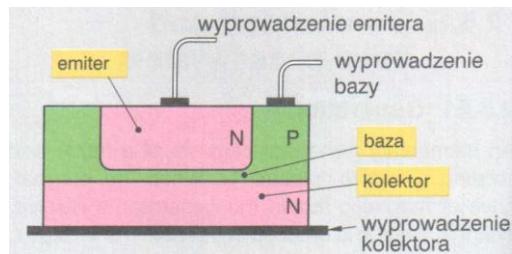
WYKŁAD 2

Tranzystory bipolarne i układy wzmacniaczy

Tranzystory bipolarne

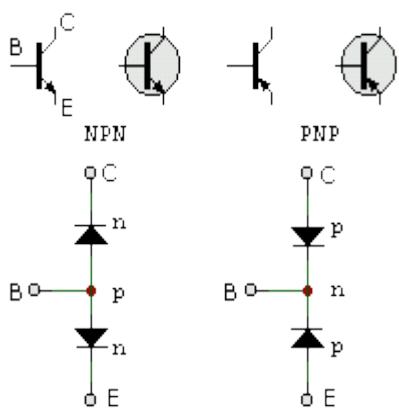
Tranzystory bipolarne (warstwowe)

Tranzystor warstwowy jest elementem bipolarnym o dwóch złączach p-n zlokalizowanych w monokrysztale półprzewodnika w ten sposób, że powstają w nim trzy obszary (warstwy) mające kolejno przewodnictwa p-n-p lub n-p-n.



Rys. 1. Budowa tranzystora NPN

Procesy zachodzące w jednym złączu oddziałują na drugie, a nośnikami ładunku elektrycznego są elektrony i dziury, o czym świadczy przymiotnik bipolarny.



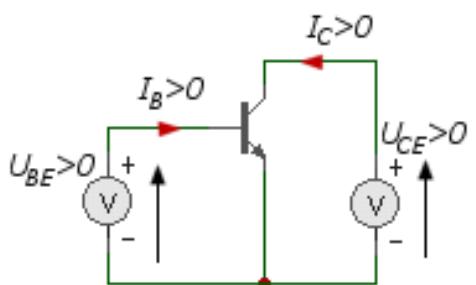
Rys. 2. Symbole graficzne tranzystora bipolarnego i diodowe schematy zastępcze

Występujące dwa modele tranzystorów PNP i NPN funkcjonują identycznie, różnice występują tylko w kierunkach zewnętrznych źródeł napięcia i w kierunkach przepływu prądów.

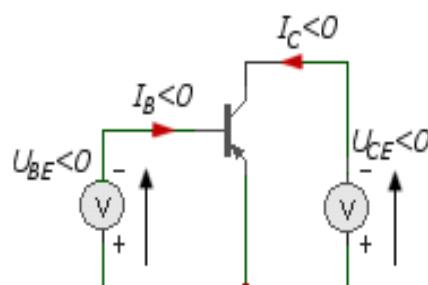
Korzystając z tego schematu można powiedzieć, że w tranzystorze złącze baza-emiter i kolektor-baza zachowują się jak diody. Aby tranzystor znajdował się w stanie normalnej pracy to muszą być spełnione następujące warunki:

- dla tranzystora npn potencjał kolektora musi być wyższy od potencjału emitera,
- dla tranzystora pnp potencjał kolektora musi być niższy od potencjału emitera,
- „dioda” baza-emiter musi być spolaryzowana w kierunku przewodzenia, a „dioda” kolektor-baza w kierunku zaporowym.

Aby te warunki były spełnione to źródła napięć zasilających muszą być podłączone jak na rys. 3 dla tranzystora npn i jak na rys. 4 dla tranzystora pnp.



Rys. 3.



Rys. 4.

Tranzystor NPN przewodzi, kiedy baza i kolektor są dodatnio spolaryzowane względem emitera.

W tranzystorze PNP baza i kolektor muszą być ujemnie spolaryzowane względem emitera.

Bardzo ważnym jest, aby patrząc na diodowy model zastępczy nie mylić czasami prądu kolektora z prądem przewodzenia „diody” kolektor-baza gdyż jest ona spolaryzowana zaporowo, a płynący prąd kolektora jest wynikiem działania tranzystora. Prąd kolektora I_C i prąd bazy I_B wpływające do tranzystora łączą się w jego wnętrzu i wypływają w postaci prądu emitera I_E (patrz na rys. 6).

W tranzystorach bipolarnych warstwy emitera i kolektora są silniej domieszkowane niż warstwa bazy. Jeżeli w tranzystorze NPN złącze baza-emiter jest spolaryzowane w kierunku przewodzenia, a złącze kolektor-baza w kierunku zaporowym, to w tranzystorze popłynie prąd elektronowy od emitera przez pierwsze złącze do bazy.

Ponieważ warstwa bazy jest wyjątkowo cienka elektrony przepływają przez bazę i docierają do drugiego złącza. Tam są przyciągane przez dodatnio spolaryzowaną elektrodę kolektora. Złącze baza-emiter przewodzi elektrony i nie tworzy dla nich warstwy zaporowej.

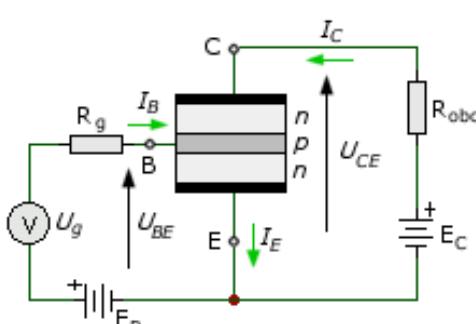
W tranzystorach mała zmiana prądu bazy powoduje duże zmiany prądu kolektora. Występuje zjawisko wzmacnienia prądu.

Przyjęło się w sposób określony oznaczać napięcia na tranzystorze. Napięcie na elektrodach tranzystora mierzone masy oznaczane jest indeksem w postaci pojedynczej dużej litery C, B lub E i tak na przykład U_C oznacza napięcie na kolektorze.

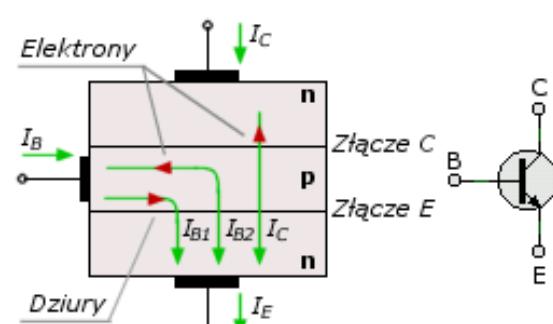
Napięcie między dwoma elektrodami oznacza się podwójnym indeksem, np. dla napięcia między bazą, a emitem będzie to U_{BE} .

Na rys. 5 przedstawiony jest tranzystor pracujący w układzie wzmacniacza. Złącze **kolektor-baza jest spolaryzowane zaporowo** (bateria E_C), natomiast złącze **baza-emiter w kierunku przewodzenia** (bateria E_B).

Na rys. 6 pokazany jest rozpływ prądu w tranzystorze npn. Ponieważ złącze baza-emiter jest spolaryzowane w kierunku przewodzenia to istnieje przepływ dziur z obszaru p do obszaru n oraz przepływ elektronów z obszaru n do obszaru p.



Rys. 5.



Rys. 6.

Elektrony wprowadzane z emitera do bazy stają się tam nośnikami mniejszościowymi i drogą dyfuzji oddalają się od złącza emiterowego. Część tych elektronów łączy się z dziurami, których w bazie jest bardzo dużo (obszar p). Wszystkie elektrony, które dotrą w pobliże złącza kolektor-baza są unoszone do obszaru kolektora. Dla niedużej szerokości obszaru p (bazy) praktycznie wszystkie elektrony wstrzykiwane przez emiter do bazy dotrą do kolektora.

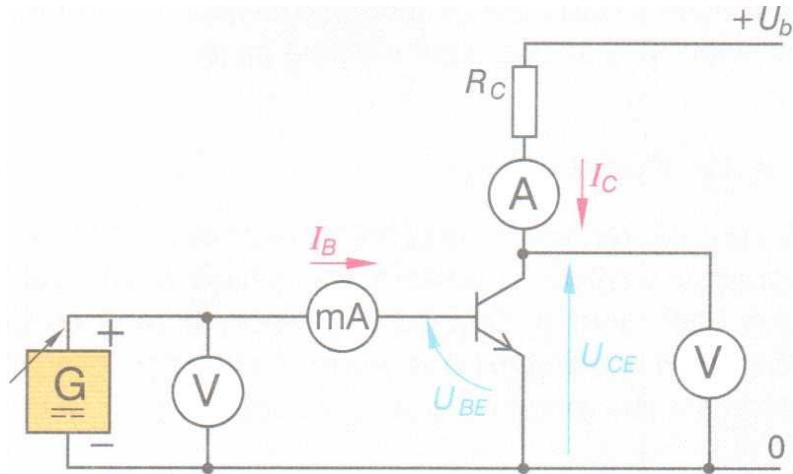
Jak widać na rys. 6 prąd bazy I_B składa się z prądu dziurowego płynącego od bazy do emitera i z prądu wynikającego z rekombinacji dziur w obszarze bazy.

Tranzystory wykonywane są tak, aby oba te prądy były jak najmniejsze. Osiągane jest to w ten sposób, że obszar n emitera jest bardzo silnie domieszkowany i prąd elektronowy złącza baza-emiter jest zdecydomo większy od prądu dziurowego. W celu zmniejszenia drugiego składnika prądu bazy, czyli prądu wywołanego rekombinacją, zmniejsza się obszar bazy. W efekcie prąd bazy I_B ma wartość bardzo małą w porównaniu z prądem kolektora I_C .

W rezultacie można powiedzieć, że mały prąd wejściowy bazy I_B steruje znacznie większym prądem wyjściowym kolektora I_C , a więc następuje efekt wzmacnienia.

Wprowadzono pojęcie **współczynnik wzmacnienia prądowego β** dla prądu stałego, który wynosi

$$\beta = \frac{I_C}{I_B}$$



Rys. 7. Tranzystor jako wzmacniacz

Jeżeli w układzie pokazanym na rysunku 7 zwiększy się napięcie baza-emiter z 0,8 V do 1 V, to prąd kolektora wzrośnie np. o około 0,1 A, a napięcie kolektor-emiter zmniejszy się o około 4 V. Zmieniając napięcie baza-emiter, można zmieniać rezystancję kolektor-emiter tranzystora. Następstwem tego jest zmiana prądu kolektora, znacznie większa niż zmiana prądu bazy.

Jeżeli w obwód włączymy rezystor R_C , to wskutek spadku napięcia na tym rezystorze zmienia się także napięcie kolektor-emiter tranzystora. Zmiana tego napięcia jest znacznie większa niż zmiana napięcia między bazą i emiterem.

Uzyskuje się zatem odpowiednio wzmacnienie prądu i napięcia. Taki układ pracy tranzystora jako wzmacniacza nosi nazwę układu ze wspólnym emiterem WE.

Jeżeli tranzystor jest w stanie normalnej pracy, czyli spełnia powyższe warunki to z dobrym przybliżeniem prawdziwą jest zależność, którą warto zapamiętać:

$$I_C = h_{FE} \cdot I_B = \beta \cdot I_B$$

gdzie **h_{FE} jest współczynnikiem wzmacnienia prądowego nazywanego również betą.**

Współczynnik ten może przyjmować wartości od 50 do 300A/A dla tego samego typu tranzystora, a więc nie jest parametrem na którym można opierać parametry projektowanego układu.

Z zależności przedstawionej wyżej wynika ważna cecha tranzystorów, jaką jest sterowanie przez mały prąd wpływający do bazy dużym prądem wpływającym do kolektora.

Dla uproszczenia dalszy opis dotyczący tranzystora będzie dotyczył tranzystora typu npn, dla tranzystora pnp wystarczy zmienić polaryzację wszystkich napięć na przeciwną.

Stosując model diodowy można łatwo zauważyc, że w czasie pracy tranzystora napięcie na bazie można wyrazić wzorem:

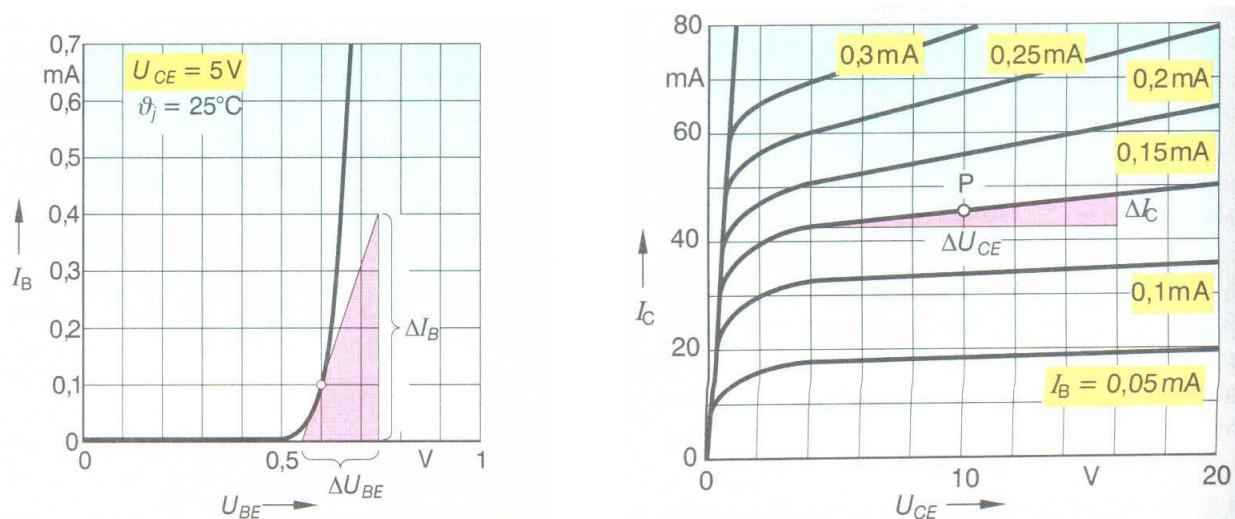
$$U_B = U_E + U_{BE}$$

oczywiście dla tranzystorów pnp należy odwrócić polaryzację napięć. Ważną sprawą, na którą należy zwrócić uwagę jest zbytnie przekroczenie wartości napięcia między bazą, a emiterem. Przekroczenie napięcia na bazie o więcej niż 0,6 do 0,8V (jest to napięcie przewodzenia diody) w stosunku do emitera spowoduje, że przez bazę przepłynie bardzo duży prąd, który może doprowadzić do uszkodzenia tranzystora

Statyczne charakterystyki tranzystora

Właściwości tranzystora można opisać na podstawie jego charakterystyk statycznych. Dla każdego z trzech układów pracy tranzystora podaje się zwykle dwie charakterystyki: wejściową i wyjściową. Charakterystyki statyczne przedstawiają zależności między prądami: emitera I_E , bazy I_B , kolektora I_C i napięciami: baza-emiter U_{BE} , kolektor-emiter U_{CE} i kolektor-baza U_{CB} .

Typowy przebieg charakterystyk wejściowych $I_B = f(U_{BE})$ przy $U_{CE} = \text{const}$ oraz charakterystyk wyjściowych $I_C = f(U_{CE})$ przy $I_B = \text{const}$ tranzystora p-n-p pracującego w układzie WE przedstawione są na rysunku poniżej:



Rys. 8. Charakterystyki tranzystora: charakterystyka wejściowa i charakterystyka wyjściowa

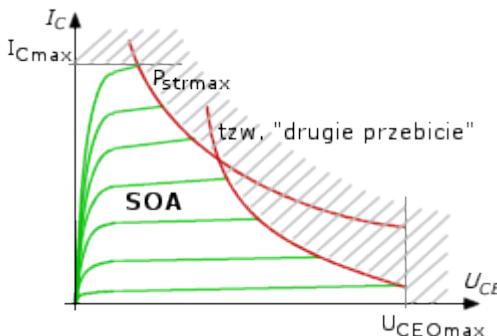
Na charakterystyce wyjściowej wyraźnie widać, że wartość prądu kolektora zależy od prądu bazy, podwyższenie różnicy potencjałów między kolektor-emiter nieznacznie tylko wpływa na wzrost wartości prądu.

Parametry graniczne tranzystora

Tranzystory, tak zresztą jak inne elementy elektroniczne, mają charakterystyczne dla siebie parametry graniczne, tzn. takie, których przekroczenie grozi uszkodzeniem tranzystora.

Do takich właśnie parametrów należą:

- $U_{EB0\max}$ - dopuszczalne napięcie wsteczne baza-emiter
- $U_{CB0\max}$ - dopuszczalne napięcie wsteczne kolektor-baza
- $U_{CE0\max}$ - maksymalne dopuszczalne napięcie kolektor-emiter
- $I_{C\max}$ - maksymalny prąd kolektora
- $I_{B\max}$ - maksymalny prąd bazy



Parametry takie jak $I_{C\max}$, $U_{CE0\max}$, $P_{str\max}$ wyznaczają dopuszczalny obszar pracy, który nosi również nazwę "dozwolonego obszaru pracy aktywnej" w skrócie SOA (skrót od ang. "safe operating area" - jest często stosowany).

Na rysunku obok przedstawiającym charakterystyki wyjściowe tranzystora pokazany jest przykład, dozwolonego obszaru pracy tranzystora.

Rys. 9. Charakterystyki wyjściowe tranzystora

Typowe parametry tranzystorów

Tranzystory oprócz parametrów granicznych posiadają również kilka innych parametrów, które są podawane przez producentów na kartach katalogowych.

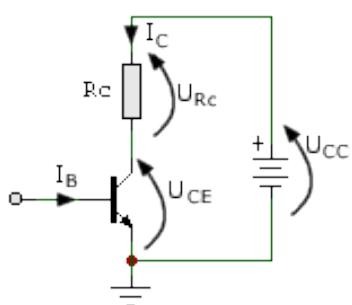
W poniższej tabelce podane są parametry dla tranzystora małej mocy i dla tranzystora mocy.

Typ	BC237B	BD249A
Typ przewodnictwa	npn	npn
Parametry graniczne		
Napięcie kolektor-emiter $U_{CE0\max}$	45V	60V
Prąd kolektora $I_{C\max}$	100mA	25A
Napięcie baza-emiter $U_{EB0\max}$	6V	5V
Prąd bazy $I_{B\max}$	50mA	5A
Moc strat $P_{str\max}$	300mW	125W
Parametry		
Prąd zerowy kolektora I_{CE0}	0,2nA	
Napięcie baza-emiter U_{BE}	1mA	1A
Napięcie nasycenia U_{CESat}	0,6V	0,8V
Wsp. wzm. prądowego β	ok. 150	ok. 100

Prosta obciążenia

Prosta obciążenia doskonale ilustruje tzw. "punkt pracy" tranzystora i pomaga zrozumieć w jaki sposób należy dobierać wartości napięć i prądów określających ten punkt.

Do wyznaczenia prostej obciążenia wystarczy znajomość II-go prawa Kirchhoffa.



Na rysunku 10 przedstawiony jest układ złożony z tranzystora npn, do którego szeregowo dołączony jest rezistor R_C . Całość jest zasilana napięciem U_{CC} . Korzystając z II-go prawa Kirchhoffa można napisać

$$U_{CC} = U_{RC} + U_{CE}$$

Rys. 10. Szeregowo dołączony rezistor do kolektora tranzystora

Przypominając sobie zależność wynikającą z Prawa Ohma, powyższe równanie można zapisać następująco

$$U_{CC} = I_C \cdot R_C + U_{CE}$$

Po kilku prostych przekształceniach matematycznych otrzymuje się równanie pokazujące zależność między prądem kolektora I_C , a napięciem kolektor-emiter U_{CE}

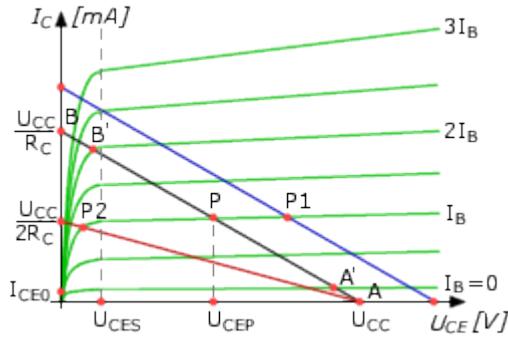
$$I_C = -\frac{1}{R_C} \cdot U_{CE} + \frac{U_{CC}}{R_C}$$

co odpowiada matematycznemu zapisowi funkcji liniowej typu

$$y = -ax + b$$

Tak wyznaczoną prostą obciążenia (obciążeniem dla tranzystora jest tutaj rezistor R_C) można wrysować w charakterystyki wyjściowe tranzystora, co jest przedstawione na rysunku 11.

Aby taką prostą narysować wystarczy równanie tej prostej rozwiązać dla dwóch granicznych warunków, a więc dla $I_C=0$ i $U_{CE}=0$.



Dla $I_C=0$ mamy

$$0 = -U_{CE}/R_C + U_{CC}/R_C$$

czyli

Dla $U_{CE}=0$ mamy

$$I_C = U_{CC}/R_C$$

co daje punkt B.

$$U_{CE} = U_{CC}$$

co daje punkt A.

Rys. 11. Analiza graficzna wzmacniacza

Punkty A i B połączone ze sobą dają prostą obciążenia. Prosta ta przecina się z charakterystykami wyjściowymi tranzystora (w tym przypadku tranzystor pracuje w układzie **wspólnego emitera WE**), a punkt przecięcia P wyznacza punkt pracy tranzystora, czyli prąd kolektora I_C oraz napięcie U_{CE} dla określonego prądu bazy I_B .

W związku z tym, że tranzystor jest elementem sterowanym prądem bazy, to jak widać na rysunku 11 punkt pracy P może poruszać się po prostej obciążenia od punktu A' do B' w zależności od wartości prądu bazy I_B . Punkty A i B nie są osiągalne, gdyż rozpatrując punkt A - dla $I_B=0$ płynie jednak bardzo mały prąd (zerowy) kolektora I_{CEO} i napięcie U_{CE} różni się od U_{CC} o bardzo małą wartość $I_{CEO} \cdot R_C$ (tranzystor nie stanowi idealnej przerwy), z kolei dla punktu B, czyli dla dużych prądów bazy tranzystor jest w stanie nasycenia, ale nie stanowi idealnego zwarcia i pozostaje tzw. napięcie nasycenia U_{CES} .

Przy projektowaniu układów tranzystorowych należy tak dobierać stałoprądowy punkt pracy P tranzystora, aby zmiany wynikające ze zmian sygnału sterującego I_B nie powodowały zniekształceń sygnału wyjściowego (napięcie na kolektorze).

Jeżeli punkt pracy będzie zbyt blisko punktu B to przy np. sygnale sinusoidalnym mogą być obcinane górne połówki sinusoidy, jeśli punkt P przesunąć w stronę A to dla tego samego sygnału mogą być obcinane dolne (ujemne) połówki sinusoidy. Przy rozwiązywaniu zadań projektowych dotyczących doboru punktu pracy tranzystora najlepiej jest przedstawić sobie ten punkt w postaci graficznej przy pomocy prostej obciążenia i wyjściowych charakterystyk tranzystora.

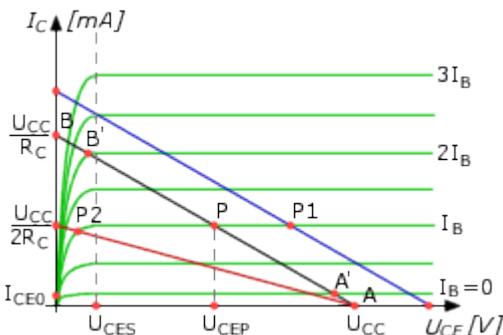
Dla ułatwienia projektowania (obliczeń) warto przyjrzeć się prostym obciążeniu na rysunku 11 narysowanymi kolorami czerwonym i niebieskim. Prosta czerwona jest dla zmienionego obciążenia na wartość $2R_C$, a prosta niebieska dla nieco zwiększonego zasilania U_{CC} .

Patrząc na rys. 11 widać, że dla pierwszego przypadku punkt B' mocno się obniża punkt P2 przesunął się w zakres nasycenia, w drugim przypadku prosta przesuwa się równolegle w prawo powodując, że punkt P1 przesuwa się bliżej napięcia zasilającego.

W obu przypadkach widać, że prąd I_C , prąd I_{CE0} , napięcie U_{CEs} zależą w małym stopniu od napięcia zasilającego U_{CC} i rezystancji R_C .

Można przyjąć, że:

- prąd kolektora dla stanu aktywnego jest opisywany równaniem $I_C = \beta \cdot I_B + I_{CE0}$ co oznacza, że I_C nie zależy od U_{CE} , a tym samym oznacza, że charakterystyki wyjściowe są dla kolejnych wartości prądów I_B liniami prostymi biegnącymi poziomo, co jest zilustrowane na rys. 12
- Wzmocnienie prądowe β ma wartość stałą niezależną od punktu pracy
- napięcie baza-emiter U_{BE} nie zależy od prądu bazy I_B
- napięcie nasycenia U_{CEs} nie zależy od prądu kolektora I_C ani od prądu bazy I_B
- granicą między stanem aktywnym, a stanem nasycenia tranzystora jest stan gdy napięcie kolektor-baza $U_{CB}=0$ czyli $U_{CE}=U_{BE}$



Przy tych wszystkich uproszczeniach charakterystyki wyjściowe tranzystora wyglądają jak na rys. 12. Widać wyraźnie, że zmiana punktu pracy spowodowana zmianą R_C lub U_{CC} nie powoduje zmian prądu I_C .

Rys. 12. Uproszczona interpretacja graficzna wzmacniacza tranzystorowego

Układy polaryzacji tranzystorów

O takich układach mówi się również: **układy zasilania tranzystorów**, czy też układy ustalania punktów pracy. Układy te mają za zadanie nie tylko zasilać tranzystor, ale również ustalać jego stałoprądowy punkt pracy, czyli stałe napięcie kolektor-emiter U_{CE} i stały prąd kolektora I_C .

Punkt pracy musi być dobrany w sposób optymalny do funkcji, jaką spełnia układ, w którym pracuje tranzystor.

Przykładowe wymagania odnośnie punktów pracy przedstawiono w tabeli ukazując typowe punkty pracy tranzystorów w różnych zastosowaniach. Oczywiście podane wartości należy traktować jako orientacyjne. W nawiasach podane są maksymalne wartości chwilowe.

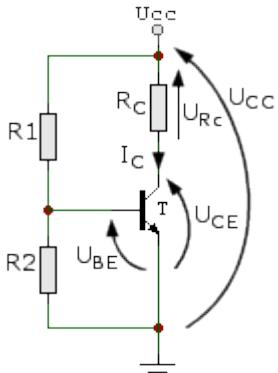
Zastosowanie	I_C (i _{cm})	U_{CE} (u _{cem})
Stopnie wejściowe wzmacniaczy m.cz. o małym poziomie szumów	20-200 μ A	1-5 V
Stopnie pośrednie wzmacniaczy małych sygnałów (m.cz. i w.cz.)	0,2-2 mA	3-10 V
Stopnie wejściowe wzmacniaczy operacyjnych	1-10 μ A	0,7-5 V
Wzmacniacze szerokopasmowe (B od 100 MHz do 1 GHz)	5-50 mA	5-10 V
Wzmacniacze akustyczne średniej mocy	(0,1-1 A)	(5-12) V

Przykładowe, często spotykane układy polaryzacji tranzystora z przykładami obliczeniowymi.

Do najczęściej spotykanych układów ustalających punkt pracy tranzystora należą:

- układ z potencjometrycznym zasilaniem bazy,
- układ z wymuszonym prądem bazy,
- układ ze sprzężeniem kolektorowym,
- układ z potencjometrycznym zasilaniem bazy i sprzężeniem emiterowym.

Układ z potencjometrycznym zasilaniem bazy



Aby tranzystor przewodził to złącze baza-emiter musi być spolaryzowane w kierunku przewodzenia, a napięcie baza-emiter U_{BE} musi mieć odpowiednią wartość (przyjmuje się najczęściej ok. 0,6V do 0,7V).

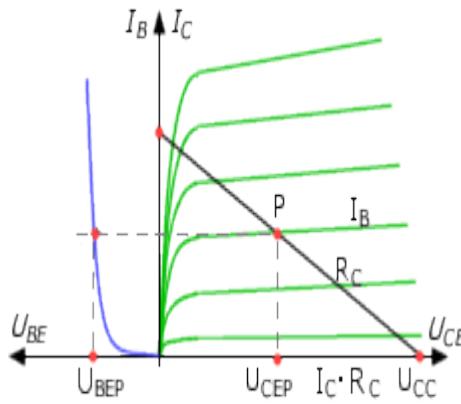
Najprostszym sposobem polaryzacji bazy, jaki można by zastosować jest ustalenie napięcia U_{BE} przy pomocy dzielnika napięciowego R_1 i R_2 tak jak to jest pokazane na rys. 13.

Rys. 13. Układ potencjometrycznego zasilania bazy

Stosując II-gie prawo Kirchhoffa, Prawo Ohma oraz korzystając ze wzoru na dzielnik napięcia można przedstawiony układ opisać następującymi równaniami:

$$U_{CC} = U_{RC} + U_{CE} = I_C \cdot R_C + U_{CE}$$

$$U_{BE} = U_{CC} \cdot \left(\frac{R_2}{R_1 + R_2} \right)$$



Pierwsze z tych równań wyznacza prostą obciążenia, która wyznacza punkt pracy (I_C oraz U_{CE}), drugie może posłużyć do wyliczenia wartości R_1 i R_2 . Dla założonego punktu pracy, czyli prądu I_C oraz napięcia U_{CE} z charakterystyk tranzystora można określić prąd bazy I_B i napięcie baza-emiter U_{BE} , co jest pokazane na rys. 14, a następnie można wyliczyć rezystancje R_1 oraz R_2 .

Ustalenie wartości U_{BEP} jest krytycznym momentem dla tego układu gdyż stroma charakterystyka przejściowa powoduje, że bardzo małe zmiany ΔU_{BE} powodują duże zmiany prądu kolektora I_C , a co za tym idzie zmiany U_{CE} .

Rys. 14. Charakterystyka tranzystora zawarta w kartach katalogowych

Z powodu dużych rozrzutów produkcyjnych tranzystory tego samego typu mają dla określonego prądu I_C inne napięcie U_{BE} , dlatego należałoby w zasadzie dla każdego tranzystora dobierać indywidualnie dzielnik R_1 , R_2 lub zastosować w miejscu R_2 potencjometr (pracujący jako zmienny rezistor). Jest to więc pierwszy z powodów dla których nie należy stosować takiego układu polaryzacji tranzystora.

Układ ten jest szczególnie niekorzystny ze względu na dryft temperaturowy napięcia U_{BE} (zmiana U_{BE} pod wpływem zmian temperatury T), co jest drugim z powodów, dla którego nie należy go stosować. Dla określonego prądu I_C napięcie U_{BE} zmienia się o około $\Delta U_{BE}/\Delta T=2 \text{ mV}/^\circ\text{C}$.

Zmianę tego napięcia można przedstawić jako źródło napięcia ΔU_{BE} połączone szeregowo z źródłem sygnału wejściowego i w związkach z tym podlega ono takiemu samemu wzmacnieniu jak sygnał wejściowy.

Jeżeli wzmacnienie napięciowe układu byłoby $k_u = -100 \text{ V/V}$ to zmiana napięcia ΔU_{CE} pod wpływem zmian temperatury ΔT wynosiłaby: $\Delta U_{CE}/\Delta T = k_u \cdot (\Delta U_{BE}/\Delta T) = -100 \cdot 2 \text{ mV}^{\circ}\text{C} = -200 \text{ mV}^{\circ}\text{C}$

co przy zmianie temperatury o np. 20°C dałoby zmianę punktu pracy $\Delta U_{CE} = -4\text{V}$ co w zasadzie czyniłoby układ bezużytecznym.

Jeszcze jednym ważnym powodem, dla którego nie zalecany jest ten sposób polaryzacji tranzystora jest to, że punkt pracy zależy od wartości parametru β . Rozrzut wartości tego współczynnika jest dla tego samego typu tranzystora bardzo duży np. mieści się w przedziale od 100 do 300 co może spowodować dużą zmianę punktu pracy. Przy zakładanym punkcie pracy np. $I_C = 1 \text{ mA}$ i $U_{CE} = 5 \text{ V}$ zmiana β ze 100 na 200 podwoiłaby prąd I_C co przy zasilaniu $U_{CC} = 10 \text{ V}$ i $R_C = 5\text{k}\Omega$ dałoby spadek napięcia na rezystorze R_C równy 10V , czyli tranzystor wszedłby w stan nasycenia, co jest w przypadku wzmacniacza niedopuszczalne.

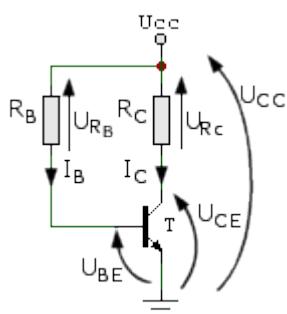
Układ z wymuszonym prądem bazy

Układ przedstawiony na rys. 15 jest układem polaryzacji tranzystorów bipolarnych, który eliminuje wpływ zmian napięcia U_{BE} na punkt pracy. Dzieje się tak dzięki ustaleniu punktu pracy stałym prądem bazy. Aby wymusić stały prąd bazy łączy się ją poprzez rezystor R_B z napięciem zasilającym U_{CC} .

Jednak i ten układ nie jest przykładem godnym naśladowania, ponieważ punkt pracy mocno zależy od parametru β , a jak wiadomo rozrzut tego parametru jest bardzo duży dla tego samego typu tranzystorów.

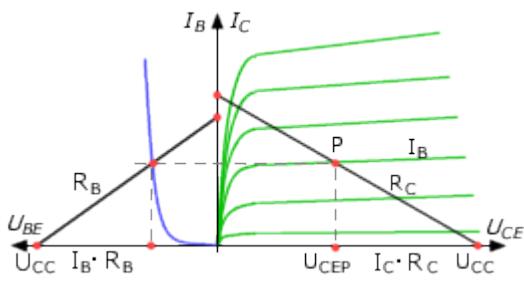
Aby tranzystor był w stanie aktywnym należy ustalić jego punkt pracy, czyli I_C oraz U_{CE} . Stosując II-gie prawo Kirchhoffa oraz Prawo Ohma można przedstawiony układ opisać następującymi równaniami:

Rys. 15. Układ zasilania z wymuszonym prądem bazy



$$U_{CC} = U_{RC} + U_{CE} = I_C \cdot R_C + U_{CE}$$

$$U_{CC} = U_{RB} + U_{BE} = I_B \cdot R_B + U_{BE}$$



Powyższe równania można przedstawić w sposób graficzny, jak na rys. 16. Są to znane już z poprzedniego punktu ("Prosta obciążenia") proste obciążenia dla złącza CE i CB.

Dla założonego punktu pracy, czyli prądu I_C oraz napięcia U_{CE} z charakterystyk tranzystora można określić prąd bazy I_B i napięcie baza-emiter U_{BE} , a następnie wyliczyć rezystancje R_B oraz R_C .

Rys. 16. Proste obciążenia układu zasilania z wymuszonym prądem bazy

Przekształcając matematycznie równania opisujące układ z rys. 16 otrzymuje się następujące zależności, które pozwolą na wykazanie, że układ z wymuszonym prądem bazy jest faktycznie w małym stopniu podatny na zmiany punktu pracy pod wpływem zmian napięcia U_{BE} .

$$R_B = (U_{CC} - U_{BE}) / I_B$$

$$R_C = (U_{CC} - U_{CE}) / I_C$$

$$I_B = (U_{CC} - U_{BE}) / R_B$$

Oczywiście zależności te pozwolą również obliczyć wartości R_B i R_C .

Jeżeli napięcie U_{BE} zmieni się o wartość ΔU_{BE} to prąd bazy musi się zmienić o wartość

$$\Delta I_B = \Delta U_{BE} / R_B$$

Korzystając z wcześniej otrzymanych zależności można wyliczyć względna zmianę prądu bazy, czyli $\Delta I_B/I_B$

$$\Delta I_B/I_B = \Delta U_{BE}/(U_{CC} - U_{BE})$$

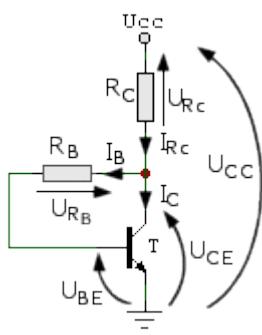
Zmiany napięcia baza-emiter ΔU_{BE} są zdecydowanie mniejsze od wartości napięcia zasilającego U_{CC} a więc patrząc na powyższy wzór można powiedzieć, że zmiany prądu bazy pod wpływem zmian napięcia baza-emiter U_{BE} są również nieznaczne. Najlepiej jednak zobrazować to przykładem liczbowym. Założymy, że $U_{CC}=10$ V, $U_{BE}=600$ mV oraz $\Delta U_{BE}=50$ mV, co odpowiadałoby wzrostowi temperatury o ok. 25°C . Korzystając ze wzoru na względna zmianę prądu bazy można wyliczyć, że zmiana ta wyniesie $\Delta I_B/I_B=0,005$, co stanowi 0,5% czyli faktycznie bardzo mało.

Jeżeli teraz (pomijając prąd zerowy kolektora I_{C0}) przypomnimy sobie zależność prądu kolektora od prądu bazy

$$I_C = \beta \cdot I_B$$

to łatwo dojdziemy do wniosku, że względna zmiana prądu kolektora $\Delta I_C/I_C$ wywołana przez zmianę prądu bazy, która to z kolei była wywołana zmianą napięcia baza-emiter jest tak samo mała jak względna zmiana prądu bazy $\Delta I_B/I_B$. Widać więc, że dla układu polaryzacji z wymuszonym prądem bazy punkt pracy tranzystora praktycznie nie zależy od zmian napięcia baza-emiter. Pozostaje jednak jeszcze silna zależność punktu pracy od współczynnika β , który nie tylko ma duży rozrzut, ale również dosyć mocno zależy od temperatury, zmienia się bowiem nawet o $1\%/\text{ }^\circ\text{C}$.

Układ ze sprzężeniem kolektorowym



Układ przedstawiony na rys. 17 jest zmodyfikowanym układem z wymuszonym prądem bazy. Modyfikacja polega na tym, że rezistor R_B jest połączony do kolektora, a nie do zasilania U_{CC} .

Układ ten charakteryzuje się lepszą stałością punktu pracy niż dwa wcześniej zaprezentowane. Charakterystycznym jest również dla niego to, że nie dopuszcza do tego, aby tranzystor wszedł w stan nasycenia nawet przy bardzo dużej wartości β . Dzieje się tak dzięki zastosowaniu ujemnego sprzężenia zwrotnego, realizowanego przezłączenie rezystora R_B między kolektor i bazę - stąd też jego nazwa "układ ze sprzężeniem kolektorowym".

Rys. 17. Układ zasilania ze sprzężeniem kolektorowym

Podobnie jak dla poprzednich układów stosując II-gie prawo Kirchhoffa, Prawo Ohma oraz tym razem również I prawo Kirchhoffa można przedstawić opisać następującymi równaniami

$$I_{RC} = I_C + I_B$$

$$U_{CC} = U_{RC} + U_{CE}$$

$$U_{CC} = I_{RC} \cdot R_C + U_{CE} = (I_C + I_B) \cdot R_C + U_{CE}$$

$$U_{CE} = U_{RB} + U_{BE} = I_B \cdot R_B + U_{BE}$$

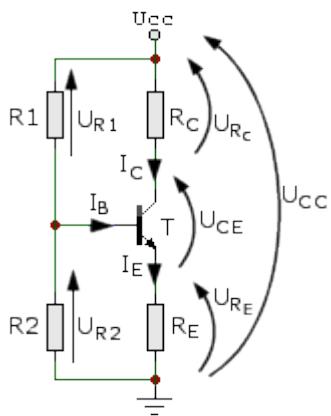
Korzystając z tych równań oraz pamiętając o zależności $I_C = \beta \cdot I_B$ (przy pominięciu I_{C0}) i stosując kilka przekształceń i uproszczeń można wyprowadzić wzór na prąd kolektora I_C płynący w tym układzie.

$$I_C = (U_{CC} - U_{BE}) / (R_C + R_B / \beta)$$

Z otrzymanego wzoru widać, że zależność prądu kolektora od zmian napięcia U_{BE} jest podobna jak dla układu z wymuszonym prądem bazy, natomiast wpływ β na prąd kolektora I_C jest znacznie mniejszy niż w poprzednich układach, gdyż I_C nie jest dla tego układu proporcjonalny do I_B . Jednak najbardziej istotną zaletą tego układu jest to, że nie dopuszcza do tego, aby tranzystor wszedł w stan nasycenia nawet przy bardzo dużej wartości β . Można to解释ać w sposób bardziej obrazowy niż suche wzory matematyczne. Jeżeli zastosujemy w układzie tranzystor o współczynniku β większym niż przewidywany to

prąd kolektora I_C "będzie chciał" wzrosnąć (gdyż $I_C = \beta \cdot I_B$), co spowoduje wzrost spadku napięcia na R_C , a to z kolei pociągnie za sobą zmniejszenie napięcia na kolektorze U_{CE} , co da zmniejszenie prądu bazy czyli zmniejszenie prądu kolektora. Jak widać układ sam "przeciwodziła" wzrostowi prądu kolektora i wejściu tranzystora w stan nasycenia. Tak właśnie działa ujemne sprzężenie zwrotne zastosowane w tym układzie. Układ polaryzacji ze sprzężeniem kolektorowym jest zdecydowanie mniej wrażliwy na zmiany β i U_{BE} niż układ z wymuszonym prądem bazy.

Układ z potencjometrycznym zasilaniem bazy i sprzężeniem emiterowym.



Układ przedstawiony na rys. 18 jest następnym przykładem układu polaryzacji tranzystora. Jest on często stosowany we wzmacniaczach zbudowanych z elementów dyskretnych (czyli z pojedynczych elementów, a nie z układów scalonych).

Aby przeanalizować ten układ najlepiej jest posłużyć się jego układem zastępczym pokazanym na rys. 19. Układ ten zamiast dzielnika R_1 i R_2 zasilanego z U_{CC} posiada theveninowski układ zastępczy, który złożony jest z rezystora R_B i źródła napięcia U_B .

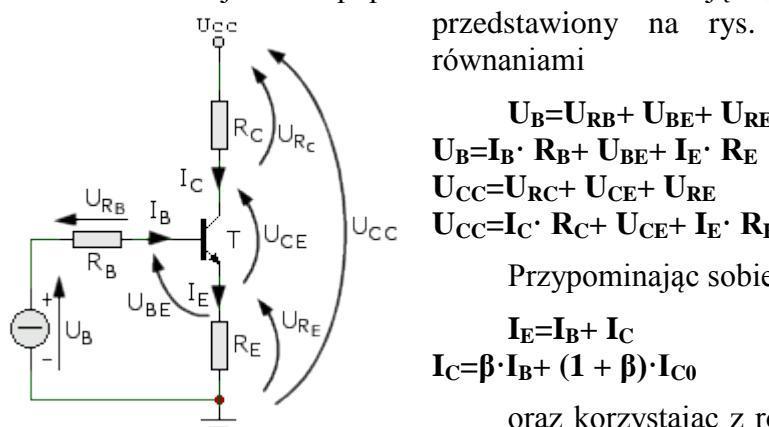
Korzystając z twierdzenia Thevenina oraz z informacji dotyczących dzielnika napięciowego można powiedzieć, że elementy zastępczego obwodu zasilania bazy czyli R_B i U_B przyjmują wartości opisane wzorami.

Rys. 18. Układ z potencjometrycznym zasilaniem bazy i sprzężeniem emiterowym

$$U_B = U_{CC} \cdot [R_2 / (R_1 + R_2)]$$

$$R_B = (R_1 \cdot R_2) / (R_1 + R_2)$$

Podobnie jak dla poprzednich układów stosując II-gie prawo Kirchhoffa, Prawo Ohma można przedstawić na rys. 19 układ zastępczy opisać następującymi równaniami



$$U_B = U_{RB} + U_{BE} + U_{RE}$$

$$U_B = I_B \cdot R_B + U_{BE} + I_E \cdot R_E$$

$$U_{CC} = U_{RC} + U_{CE} + U_{RE}$$

$$U_{CC} = I_C \cdot R_C + U_{CE} + I_E \cdot R_E$$

Przypominając sobie równania

$$I_E = I_B + I_C$$

$$I_C = \beta \cdot I_B + (1 + \beta) \cdot I_{Co}$$

oraz korzystając z równań opisujących układ z rys. 19 można łatwo wyprowadzić wzór na prąd kolektora I_C

Rys. 19. Zastępczy układ zasilania

$$I_C = (U_B - U_{BE}) / (R_E + R_B / \beta)$$

Jak łatwo zauważać to otrzymany wzór jest bardzo podobny do wzoru na prąd kolektora dla układu ze sprzężeniem kolektorowym. Podobieństwo to wynika z zastosowania tego samego mechanizmu ujemnego sprzężenia zwrotnego, z tym że w tym przypadku jest to sprzężenie emiterowe. Dlaczego więc stosować układ, który zawiera oprócz tranzystora cztery rezystory, a nie dwa jak dla układu ze sprzężeniem kolektorowym? Otóż w omawianych wcześniej układach wartości rezystorów wynikały z wybranego punktu pracy czyli były określone przez napięcie U_{CE} i prąd I_C .

W tym układzie użycie czterech rezystorów pozwala na wybór dwóch z nich R_E i R_C (oczywiście w pewnych granicach), co umożliwia optymalizację niektórych właściwości układu, jak stałość punktu pracy czy też wzmacnienie. Patrząc na powyższy wzór widać, że korzystnym jest stosowanie dużych wartości R_E i małych R_B , ponieważ w takim przypadku napięcie U_B musi być większe i wpływ U_{BE} maleje, jak również

wartość prądu kolektora przestaje być zależna od β gdyż R_B/β jest znacznie mniejsze od R_E . Jednak stosowanie tych zaleceń we wzmacniaczach powoduje zmniejszenie wzmacnienia (dlaczego tak jest - to przy okazji omawiania układu wzmacniacza sygnałów zmiennych) i dlatego przy wyborze wartości rezystorów trzeba wybrać kompromis.

Jak obliczyć dla tego układu drugą wartość określającą punkt pracy, czyli napięcie U_{CE} ? Trzeba wrócić do równania opisującego obwód kolektora, czyli

$$U_{CC} = I_C \cdot R_C + U_{CE} + I_E \cdot R_E$$

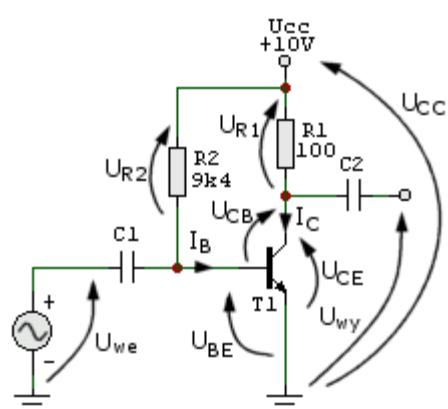
i wyliczyć to napięcie korzystając z zależności $I_E = I_B + I_C$ oraz $I_C = \beta \cdot I_B$

$$U_{CE} = U_{CC} - I_C \cdot (R_C + R_E)$$

Do otrzymanego wzoru można podstawić w miejsce I_C wcześniej wyliczoną zależność, lub też znając wartość prądu kolektora i napięcia U_{CE} (jako wartości opisujące wybrany punkt pracy) można otrzymany wzór wykorzystać do obliczenia sumy $R_C + R_E$.

Potencjometryczny układ polaryzacji ze sprzężeniem emiterowym jest zdecydowanie mniej wrażliwy na zmiany β i U_{BE} pod warunkiem, że wartość rezystora R_E nie będzie zbyt mała.

ZADANIE



Zadanie

Na rysunku pokazany jest tranzystor pracujący jako wzmacniacz w układzie wspólnego emitera (WE). Tranzystor T w stanie aktywnym spełnia następujące warunki:

- napięcie U_{BE} nie zależy od wartości prądu bazy I_B i wynosi 600mV,
- prąd zerowy kolektora I_{CE0} jest bardzo mały i może być pominięty,
- współczynnik wzmacnienia prądowego $\beta=50$,
- prąd kolektora I_C w obszarze aktywnym nie zależy od napięcia U_{CE} ,
- granicą między stanem aktywnym, a stanem nasycenia tranzystora jest warunek $U_{CB}=0$.

Przy podanych na rysunku danych liczbowych należy:

1. wyznaczyć punkt pracy tranzystora określony przez wartości stałego prądu kolektora I_C i napięcia kolektor-emiter U_{CE} ,
2. określić maksymalną amplitudę niezniekształconego napięcia wyjściowego U_{wy} ,
3. określić jakie wartości może przybierać R_1 , aby przy nie zmienionych wartościach U_{CC} i R_2 tranzystor pozostawał w stanie aktywnym.

Rozwiążanie

Dla wyjaśnienia - kondensatory C1 i C2 są kondensatorami sprzągającymi dla sygnału zmiennego i dla tego zadania nie mają żadnego znaczenia, emiter tranzystora podłączony jest do wspólnego potencjału masy wejścia i wyjścia, dlatego też mówi się, że jest to układ ze wspólnym emiterem. Stały prąd bazy I_B płynie od zasilania U_{CC} przez rezystor R2 do bazy (przez kondensator C1 nie płynie), stały prąd kolektora I_C płynie od zasilania U_{CC} przez R1 do kolektora (przez kondensator C2 nie płynie).

Ad.1 Tranzystor T jest tranzystorem npn - złącze baza-emiter jest więc spolaryzowane w kierunku przewodzenia gdyż na bazę (obszar typu p) podawany jest poprzez rezystor R2 dodatni potencjał z napięcia zasilającego U_{CC} . Korzystając z II-go prawa Kirchhoffa oraz z Prawa Ohma można wykonać następujące obliczenia:

- obliczenie prądu bazy potrzebnego do obliczenia szukanego prądu kolektora

$$I_B = U_{R2} / R_2$$

$$U_{R2} = U_{CC} - U_{BE}$$

$$I_B = (U_{CC} - U_{BE}) / R_2 = (10 - 0,6) / 9,4 \text{ [V/k}\Omega\text{]} = 1 \text{ mA}$$

- obliczenie szukanego prądu kolektora

$$I_C = \beta \cdot I_B + I_{CE0} \quad I_{CE0} \approx 0$$

$$I_C = \beta \cdot I_B = 50 \cdot 1 \text{ [mA]} = 50 \text{ mA}$$

- obliczenie szukanego napięcia kolektor-emiter U_{CE}

$$U_{CE} = U_{CC} - U_{R1} = U_{CC} - (I_C \cdot R_1) = 10 \text{ [V]} - (50 \cdot 100) \text{ [mA} \cdot \Omega\text{]} = 10 \text{ [V]} - 5000 \text{ [mV]} = 5 \text{ V}$$

Przy obliczaniu prądu kolektora został użyty wzór $I_C = \beta \cdot I_B + I_{CE0}$, który jest prawdziwy dla stanu aktywnego tranzystora, a więc stanu, w którym złącze kolektor-baza jest spolaryzowane zaporowo $U_{CB} > 0$ (potencjał na kolektorze wyższy od potencjału bazy - dla tranzystora npn). Należy sprawdzić czy tak jest faktycznie

$$U_{CB} = U_{CE} - U_{BE} = 5 \text{ [V]} - 0,6 \text{ [V]} = 4,4 \text{ V}$$

Jak widać z uzyskanego wyniku warunek jest spełniony, a więc użycie wzoru na prąd kolektora było uzasadnione.

Tranzystor znajduje się w punkcie pracy określonym
przez
 $I_C = 50 \text{ mA}$ $U_{CE} = 5 \text{ V}$

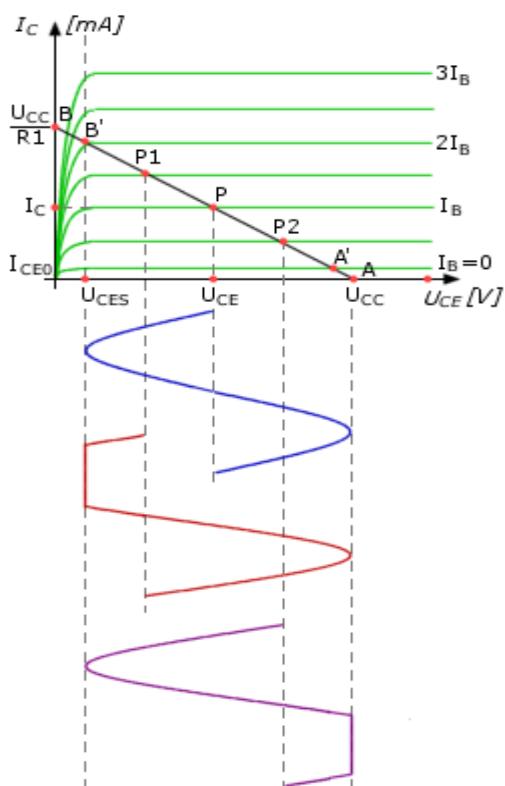
Ad.2 Najlepiej rozważyć całą sytuację dla sygnału wejściowego w kształcie sinusoidy. Podanie sinusoidalnego napięcia wejściowego U_{we} powoduje, że na stałą wartość prądu bazy $I_B=1\text{mA}$ nakłada się składowa zmienna o kształcie i amplitudzie odpowiadającym napięciu wejściowemu.

Punkt pracy P (patrz rysunek poniżej) przesuwa się po prostej obciążenia efektem czego jest zmiana prądu kolektora I_C i napięcia U_{CE} zgodnie z sygnałem wejściowym. Dla tranzystora znajdującego się w stanie aktywnym i dla niezbyt dużych zmian U_{we} kształt składowej zmiennej napięcia na kolektorze nałożonej na stałe napięcie $U_{CE}=5\text{V}$ jest taki sam jak napięcia wejściowego, różni się amplitudą, która jest większa (jest to przecież wzmacniacz) i jest odwrócony w fazie o 180° , co oznacza, że dodatniej połówce sinusoidy na wejściu odpowiada ujemna połówka sinusoidy na wyjściu i odwrotnie.

Jak to wytlumaczyć? Otóż narastającemu napięciu wejściowemu odpowiada zwiększenie prądu bazy I_B ponad (wyliczony wcześniej) 1mA , co powoduje proporcjonalne ($I_C \approx \beta \cdot I_B$) zwiększenie prądu kolektora I_C , a co za tym idzie zwiększenie spadku napięcia na rezystorze R_1 ($U_{R1} = I_C \cdot R_1$). W efekcie końcowym napięcie na kolektorze U_{CE} zacznie się zmniejszać poniżej wartości $U_{CE}=5\text{V}$ ($U_{CE} = U_{CC} - U_{R1}$). Kondensator C_2 oddziela składową stałą i na wyjściu uzyskuje się napięcie U_{wy} odpowiadające napięciu U_{CE} bez składowej stałej $U_{CE}=5\text{V}$.

Podobnie można przeanalizować sytuację, gdy sygnał wejściowy zaczyna maleć. Cały ten opis można porównać z rysunkiem przedstawionym poniżej - widać na nim jak dla większych prądów bazy (w stosunku do I_B) chwilowy punkt pracy przesuwa się w kierunku punktu B', co się wiąże ze zmniejszaniem napięcia U_{CE} , a dla mniejszych prądów bazy chwilowy punkt pracy przesuwa się w kierunku punktu A', co się wiąże ze zwiększeniem napięcia U_{CE} . Na kolektorze otrzymuje się sygnał wierny, co do kształtu sygnałowi wejściowemu lecz odwrócony w fazie o 180° (patrz na niebieską sinusoidę).

Z rysunku poniżej widać, że aby uzyskać maksymalną amplitudę niezniekształconego napięcia wyjściowego U_{wy} to punkt pracy P powinien się mieścić w połowie zakresu zmian U_{CE} (dla stanu aktywnego oczywiście), co pokazuje sinusoida narysowana niebieską linią.



W naszym przypadku na kolektorze może wystąpić maksymalnie napięcie $U_{CE}=U_{CC}=10\text{V}$ (przy pominięciu prądu zerowego kolektora I_{CE0} i dla $I_B=0$) czyli może się zwiększyć o 5V , natomiast minimalne

napięcie jakie może wystąpić na kolektorze (jeszcze dla stanu aktywnego - czyli na granicy stanu nasycenia) to $U_{CE}=0,6V$ (bo $U_{CE}=U_{BE}+U_{CB}$, a $U_{CB}=0$) czyli może się zmniejszyć o 4,4V.

Napięcie wyjściowe może mieć bez zniekształceń:

- dodatnią amplitudę równą 5,0V
- ujemną amplitudę równą 4,4V

Optymalnym rozwiązaniem jest więc wybranie punktu pracy, który będzie spełniał następujący warunek

$$U_{CE} = \frac{1}{2}(U_{CC} + U_{CEs}) = \frac{1}{2}(10 \text{ [V]} + 0,6 \text{ [V]}) = 5,3 \text{ V}$$

Bez zmiany pozostałych parametrów ($I_B=1\text{mA}$ oraz $I_C=50\text{mA}$) należy zastosować rezystor R_1 o wartości

$$R_1 = (U_{CC} - U_{CE}) / I_C = (10 - 5,3) / 50 \text{ [V/mA]} = 94 \text{ k}\Omega$$

Wówczas można uzyskać niezniekształcone napięcie wyjściowe o amplitudzie równej 4,7V.

Wracając do prostej obciążenia pokazanej na rysunku powyżej warto zastanowić się co się będzie działo z sygnałem wyjściowym jeżeli stałoprądowy punkt pracy przesunąłby się na pozycję P1 (czerwona sinusoida) lub P2 (fioletowa sinusoida). W obu przypadkach widać, że dojdzie do zniekształceń albo od strony napięcia nasycenia albo od strony napięcia zasilającego.

Ad.3 Na podstawie równania opisującego zależność prądu kolektora od prądu bazy

$$I_C = \beta \cdot I_B + I_{CE0} \cong \beta \cdot I_B = \beta(U_{CC} - U_{BE}) / R_2$$

można wywnioskować, że prąd kolektora nie zależy od wartości R_1 (R_1 nie występuje w tym równaniu) dopóki tranzystor pozostaje w stanie aktywnym. W stanie aktywnym niezależnie od wartości rezystora R_1 prąd kolektora wynosi $I_C=50\text{mA}$, natomiast za stan aktywny przyjmuje się granicę gdy $U_{CB}=0$ (gdy U_{CB} staje się ujemne to tranzystor wchodzi w stan nasycenia).

Należy rozpatrzyć dwa skrajne przypadki:

1. Niech $R_1=0$ - w takim przypadku nie ma spadku napięcia na R_1 czyli $U_{R1}=0$, a więc na kolektorze tranzystora występuje pełne napięcie zasilające

$$U_{CE} = U_{CC} - U_{R1} = 10 \text{ [V]} - 0 \text{ [V]} = 10 \text{ V}$$

Tranzystor znajduje się w stanie aktywnym gdyż złącze baza-kolektor jest spolaryzowane w kierunku zaporowym napięciem

$$U_{CB} = U_{CE} - U_{BE} = 10 \text{ [V]} - 0,6 \text{ [V]} = 9,4 \text{ V}$$

Dolną wartością graniczną rezystora R_1 , dla której tranzystor pozostaje w stanie aktywnym jest $R_{1\min}=0$. Oczywiście napięcie wyjściowe U_{wy} w takim przypadku jest równe zeru, gdyż zmianom sygnału

wejściowego nie towarzyszy zmiana napięcia na kolektorze. Widać z tego więc, że zadaniem rezystora R1 we wzmacniaczu jest przetwarzanie zmian prądu kolektora na zmienne napięcie wyjściowe.

2. $U_{CB}=0$ - taka sytuacja następuje przy zwiększaniu rezystora R1. Przy zwiększającym się R1 (I_C jest stałe i równe 50mA) napięcie na R1 zwiększa się, napięcie U_{CE} maleje aż dojdzie do wartości 0,6V i wtedy malejące również napięcie U_{CB} osiągnie wartość równą zero czyli stan graniczny między obszarem aktywnym, a nasycenia. dla tego warunku można obliczyć drugą skrajną wartość rezystora R1

$$U_{R1} = I_C \cdot R1_{max}$$

$$U_{R1} = 10 \text{ [V]} - 0,6 \text{ [V]} = 9,4 \text{ V}$$

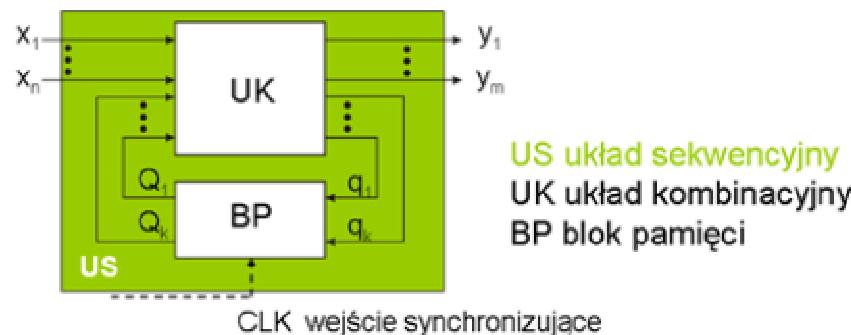
$$R1_{max} \cdot 50 \text{ [mA]} = 9,4 \text{ [V]}$$

$$R1_{max} = 9,4 / 50 \text{ [V/mA]} = 188 \text{ k}\Omega$$

Wartości graniczne rezystora R1, przy których tranzystor jest w stanie aktywnym:

$$R1_{min} = 0 \text{ k}\Omega \quad R1_{max} = 188 \text{ k}\Omega$$

Układ sekwencyjny



US układ sekwencyjny
UK układ kombinacyjny
BP blok pamięci

Układy sekwencyjne:

Synchroniczne (BP zbudowany z przerzutników synchronicznych)

Asynchroniczne (BP realizują opóźnienia lub przerzutniki asynchroniczne)

Synchroniczny układ sekwencyjny zbudowany jest z układu kombinacyjnego i pamięci. Układ kombinacyjny jest układem wielowyściowym, wytwarzającym sygnały wyjściowe y_1, \dots, y_m oraz sygnały wzbudzające układ pamięciowy Q_1, \dots, Q_k . Wejściami układu kombinacyjnego są sygnały wejściowe x_1, \dots, x_n oraz sygnały wyjściowe Q_1, \dots, Q_p układu pamięciowego. Układ kombinacyjny jest opisany tablicami wyjść i wzbudzeń.

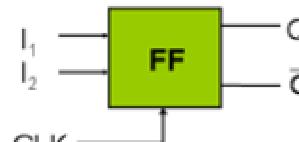
Synchroniczne układy sekwencyjne



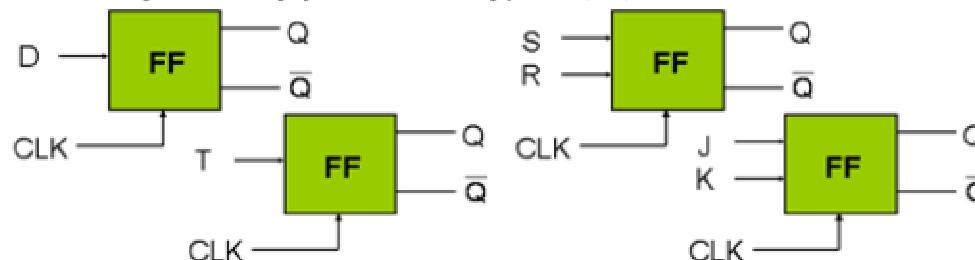
Pamięć układu jest zbudowana z tzw. przerzutników – synchronizowanych specjalnym sygnałem zegarowym oznaczonym **clk**.

Przerzutniki

Przerzutnik to automat typu Moore'a o dwóch stanach wewnętrznych, jednym lub dwóch wejściach informacyjnych, dwóch wyjściach (prostym i zanegowanym) oraz wejściu synchronizującym (zegarowym).

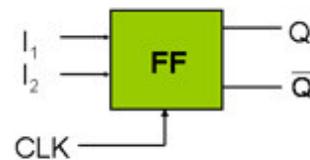


W zależności od rodzaju wejść informacyjnych wyróżniamy przerzutniki typu: D, T, SR oraz JK.



Stosowane przerzutniki mają jedno lub dwa wejścia (poza wejściem zegarowym i wejściami ustawiającymi statycznie). Wejścia te w zależności od typu przerzutnika są oznaczane: D, T, SR i JK. Ich tablice przejść są przedstawione kolejno w tablicach na planszy.

Przerzutniki



Przerzutnik jest określony:

- tablicą przejść,
- równaniem charakterystycznym,
- tablicą wzbudzeń.

Przerzutnik jest określony:

- tablicą przejść,
- równaniem charakterystycznym,
- tablicą wzbudzeń.

Przerzutniki – tablice przejść

	D	0	1
Q	0	0 1	1
	1	0 1	

$Q' = D$

	T	0	1
Q	0	0 1	1
	1	1 0	

$Q' = \bar{T}Q + T\bar{Q}$

	SR	00	01	11	10
Q	0	0 0	- 1		
	1	1 0	- 1		

	JK	00	01	11	10
Q	0	0 0	1 1		
	1	1 0	0 1		

Równanie charakterystyczne: $Q' = f(I_1, I_2, Q)$

Przerzutnik **typu D** jest to element opóźniający sygnał wejściowy o takt.

Przerzutnik **typu T** przy podaniu jedynki na wejście T zmienia w kolejnym taktie swój stan na przeciwny.

Przerzutnik **typu SR** jest to przerzutnik z dwoma wejściami: **ustawiającym** (Set) i **zerującym** (Reset), czyli przy $S = 1, R = 0$ przerzutnik przechodzi do stanu $Q = 1$, przy $S = 0, R = 1$ przerzutnik przechodzi do stanu $Q = 0$, przy czym podawanie jedynek na oba wejścia jednocześnie jest zabronione.

Przerzutnik **JK** działa jak **SR**, gdy **jedynka** jest podana na co najwyżej **jedno wejście** i jak typu **T**, gdy jedynka jest podana na **oba wejścia**. Zatem na wejścia przerzutnika JK może być podana dowolna kombinacja wartości sygnałów J i K, przy czym zawsze przy sygnałach $J = 1, K = 0$ przerzutnik ten „**zapala się**”, to znaczy przechodzi do stanu 1, zaś przy sygnałach $J = 0, K = 1$ przerzutnik „**gaśnie**”, to znaczy przechodzi do stanu 0. Przy sygnałach $J = K = 1$ przerzutnik zmienia stan na przeciwny.

Przerzutniki – tablice wzbudzeń

Q Q'	D	T	S R	J K
00	0	0	0 –	0 –
01	1	1	1 0	1 –
10	0	1	0 1	– 1
11	1	0	– 0	– 0

D – delay

T – trigger

S – set (wejście włączające)

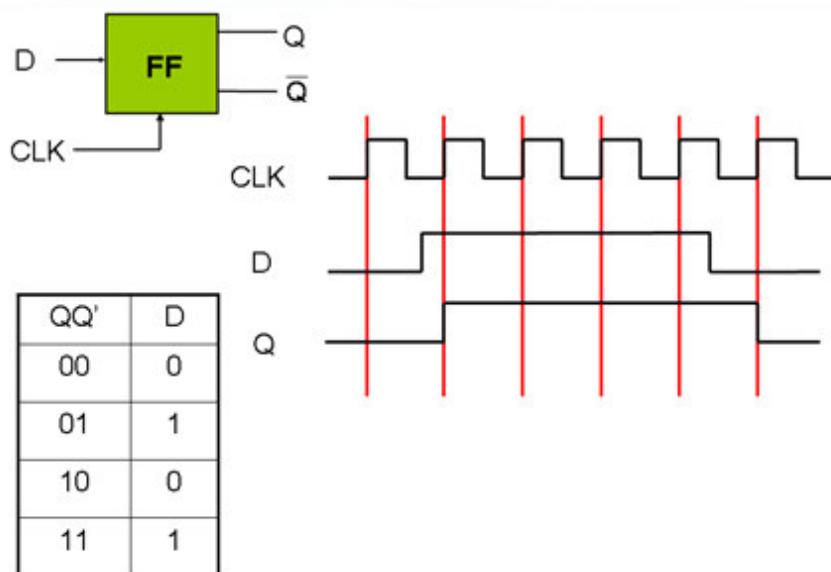
R – reset (wejście wyłączające)

J – wejście włączające

K – wejście wyłączające

Przy projektowaniu układów synchronicznych posługujemy się tzw. tablicami wzbudzeń przerzutników. Określają one, jakie muszą być sygnały wejściowe przerzutnika, aby uzyskać określona zmianę stanu (przejście ze stanu bieżącego Q do następnego Q').

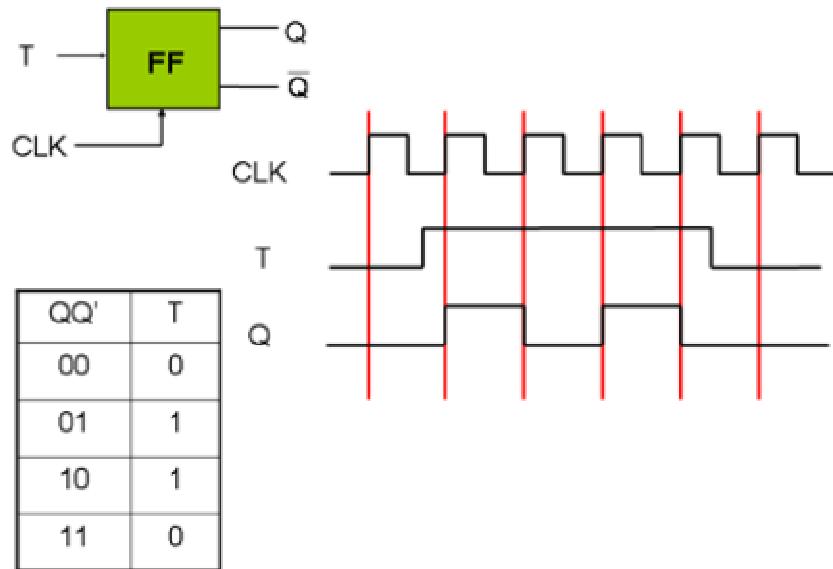
Przebiegi czasowe – przerzutnik typu D



Tablice przejść i tablice wzbudzeń przerzutników nie określają bezpośrednio roli sygnału zegarowego. Dlatego na kolejnych planszach przedstawiono pracę przerzutnika z uwzględnieniem sygnału zegarowego.

Na planszy pokazane są przebiegi sygnałów wejściowych przerzutnika typu D oraz sygnał na jego wyjściu Q.

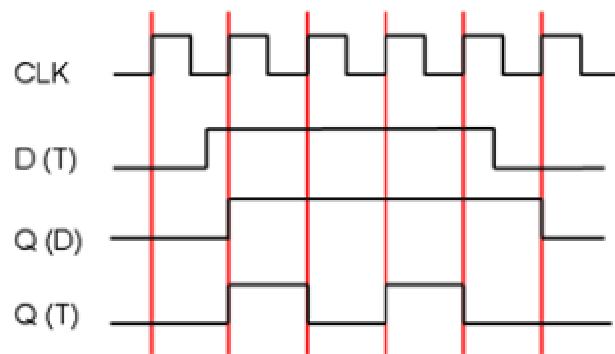
Przebiegi czasowe – przerzutnik typu T



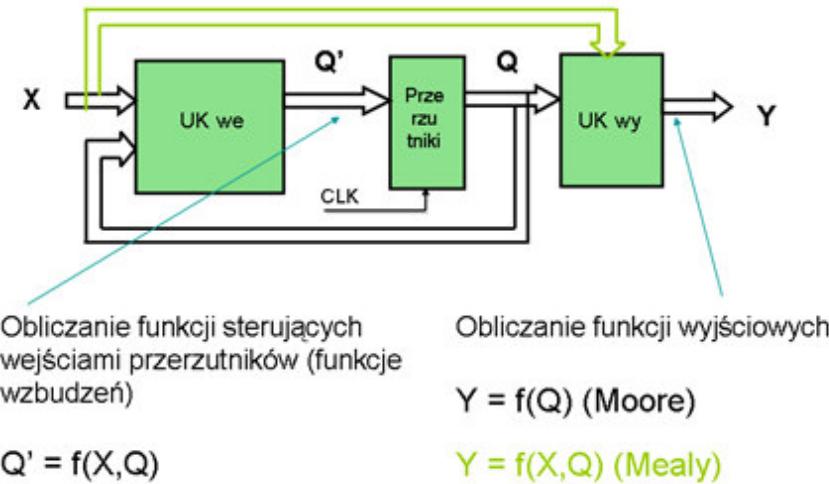
Te same przebiegi: tzn. informacyjny oraz zegarowy podajemy na wejścia przerzutnika typu T, ale w tym przypadku na wyjściu Q tego przerzutnika powstaje inny przebieg.

Przebiegi czasowe – porównanie

W celu lepszego porównania obie sytuacje podane są na jednej planszy.

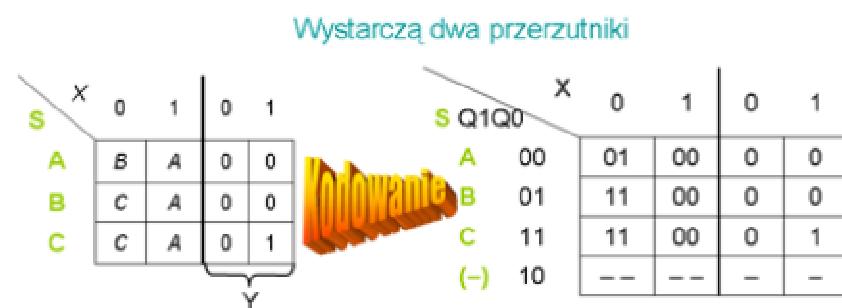


Synteza kombinacyjna



Synteza kombinacyjna (obliczanie funkcji wzbudzeń przerzutników i funkcji wyjściowych) jest najważniejszym etapem całego procesu syntezy. Polega on (jak to pokazano na rysunku na planszy) na obliczaniu funkcji sterujących wejściami przerzutników (funkcje wzbudzeń) oraz na obliczaniu funkcji wyjściowych. Warto podkreślić różnicę w obliczaniu funkcji wyjściowych dla automatów typu Moore'a i typu Mealy'ego. Otóż w pierwszym przypadku funkcje te są zależne tylko od wyjść Q przerzutników, natomiast w drugim, są zależne zarówno od wyjść Q jak i od wejść zewnętrznych X.

Przykład syntezy – detektor sekwencji

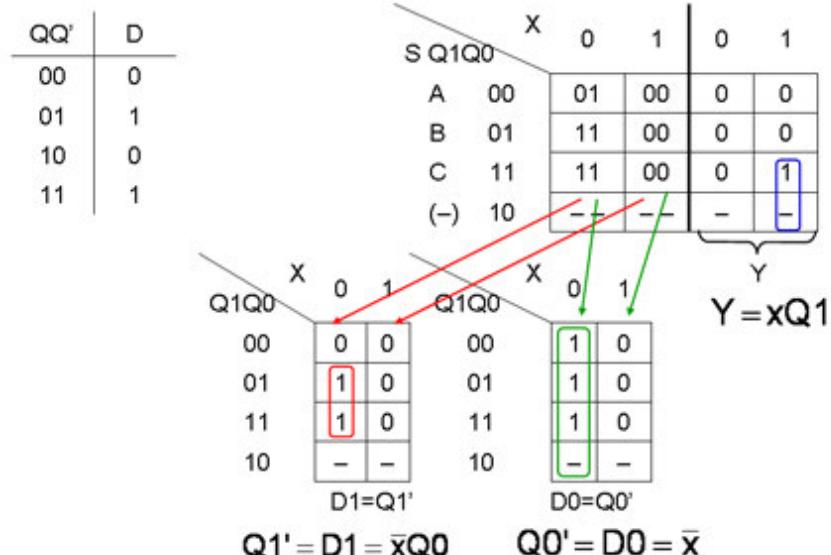


Na razie staramy się spełnić wyłącznie warunek jednoznaczności kodowania.

Syntezę kombinacyjną omówimy na przykładzie automatu, który dla ustalenia uwagi nazywać będziemy detektorem sekwencji. Jest to automat o trzech stanach wewnętrznych oznaczonych A, B, C, jednym sygnale wejściowym x oraz jednym sygnale wyjściowym. Pierwszą czynnością, jaką należy wykonać jest kodowanie stanów wewnętrznych.

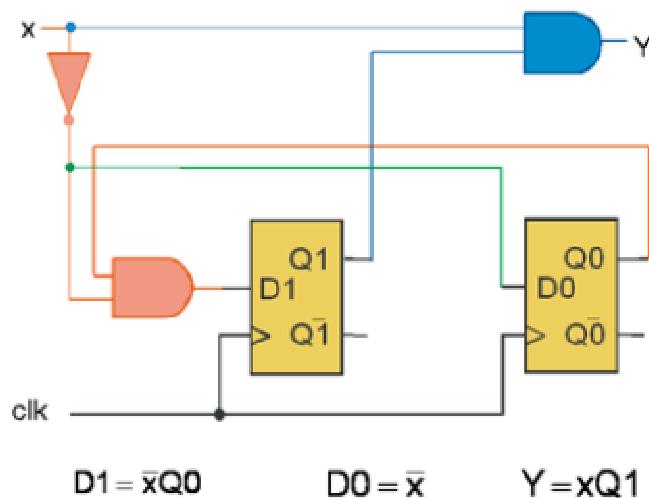
Kodowanie stanów polega na przyporządkowaniu abstrakcyjnym symbolom stanów A, B, C ciągów binarnych o możliwie najmniejszej liczbie bitów. Dla trzech stanów do jednoznacznego zakodowania wystarczą dwa bity. Dlatego przyjmiemy, że A = 00, B = 01, C = 11. Przyjęcie kodowania determinuje jednocześnie liczbę przerzutników układu sekwencyjnego. Oznaczając przerzutniki Q1, Q0 uzyskujemy zakodowaną tablicę przejść wyjść jak na planszy. Tablicę tę podajemy łącznie z nadmiarowym stanem wewnętrznym. Tak uzyskana tablica posłuży do obliczania funkcji wzbudzeń dla przerzutników w trzech różnych strukturach: z zastosowaniem przerzutników typu D, T oraz JK.

Obliczanie funkcji wzbudzeń i wyjściowych



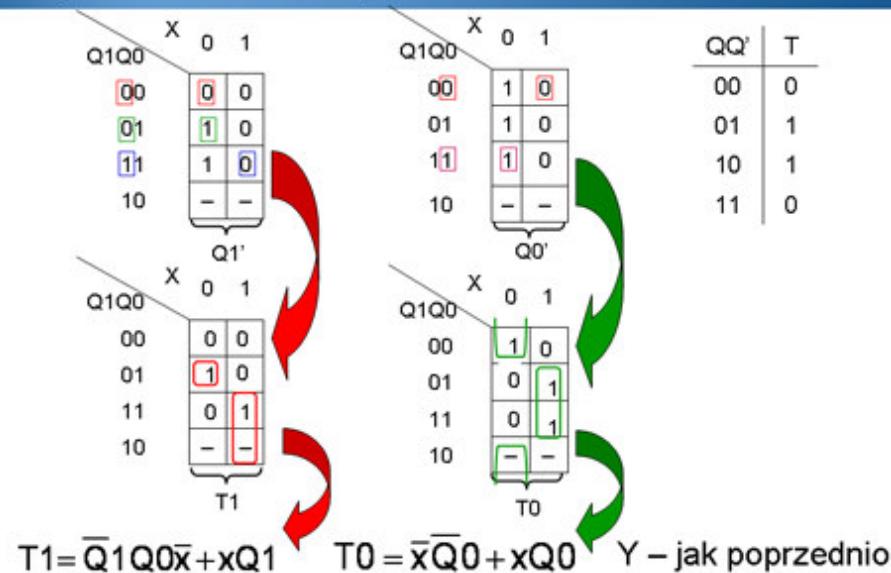
Zakodowana tabela reprezentuje dwa przerzutniki. Zatem w celu obliczenia funkcji wzbudzeń tablicę tę należy „rozpisać” na dwie tabelki odpowiadające poszczególnym przerzutnikom Q1 i Q0. Uzyskuje się w ten sposób oddzielne tablice wzbudzeń dla każdego przerzutnika. Można na nich zaznaczać pętelki w celu uzyskania minimalnych wyrażeń boolowskich dla funkcji wzbudzeń D1 i D0. W przypadku przerzutników typu D funkcje wzbudzeń są tożsame z funkcjami stanu następnego oznaczonym Q1' oraz Q0'.

Schemat logiczny detektora sekwencji

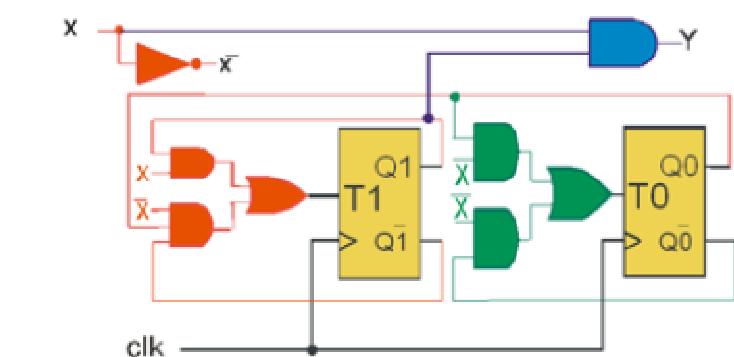


Jak widać schemat logiczny tak zaprojektowanego układu jest zbudowany z dwóch przerzutników, do których wejść sterujących D1 i D0 dołączone są wyjścia układów kombinacyjnych realizujących funkcje wzbudzeń oraz funkcję wyjściową jakie obliczyliśmy na poprzedniej planszy.

Przykład – realizacja T



Schemat logiczny detektora (T)



$$T1 = \bar{Q}1Q0\bar{x} + xQ1$$

$$T0 = \bar{x}\bar{Q}0 + xQ0$$

Y – jak poprzednio

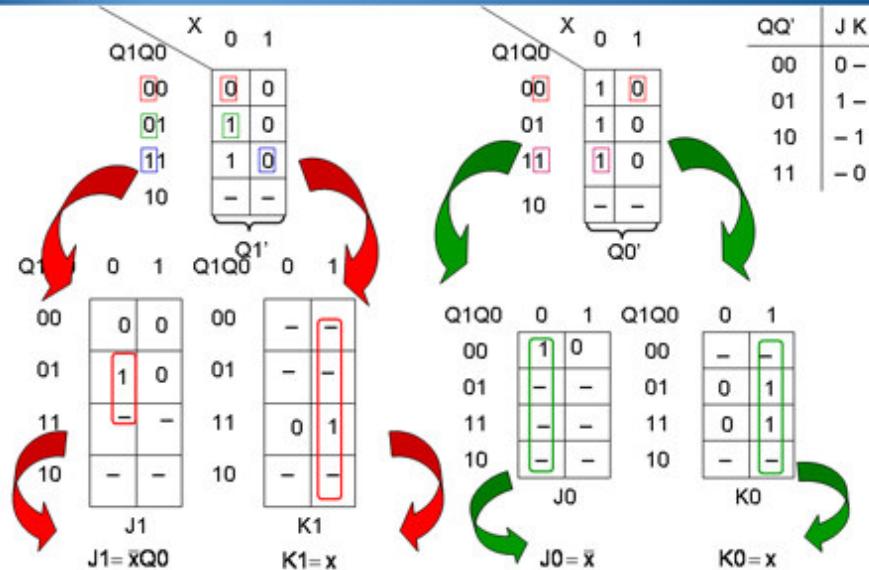
Przystępujemy do realizacji z przerzutnikami typu T.

W tym przypadku uzyskane poprzednio tabelki dla funkcji stanu następnego $Q1'$ i $Q0'$ należy dodatkowo przekształcić w celu uzyskania tablic wzbudzeń dla przerzutników $T1$ i $T0$. Transformacji takiej dokonujemy na podstawie tablicy wzbudzeń przerzutnika T .

W rezultacie uzyskujemy tablice dla funkcji wzbudzeń $T1$ i $T0$. Są one w formie tabelek Karnaugha, zatem po zakreśleniu pętelek bezpośrednio obliczamy wyrażenia boolowskie dla $T1$ i $T0$.

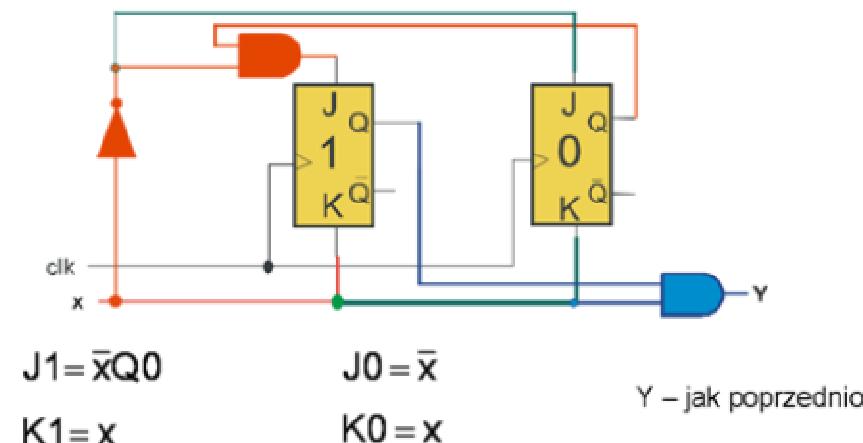
Podobnie jak poprzednio schemat logiczny tak zaprojektowanego układu jest zbudowany z dwóch przerzutników, do których wejść sterujących $T1$ i $T0$ dołączone są wyjścia układów kombinacyjnych realizujących funkcje wzbudzeń oraz funkcję wyjściową jakie obliczyliśmy na poprzedniej planszy. Funkcja wyjściowa nie uległa zmianie.

Przykład – realizacja JK



Nieco bardziej skomplikowane jest obliczanie funkcji wzbudzeń dla przerzutników JK. W tym przypadku każdą tabelkę funkcji stanu następnego tj., $Q1'$ oraz $Q0'$ należy przekształcić na dwie tabelki: jedną dla wejścia J , a drugą dla wejścia K . Odpowiednie wartości sygnałów binarnych, uzyskujemy z tablicy wzbudzeń dla JK. W rezultacie powstają cztery tabelki wzbudzeń: dla $J1$, $K1$ oraz dla $J0$, $K0$. Obliczone na ich podstawie funkcje wzbudzeń posłużą do narysowania schematu logicznego.

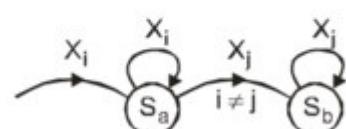
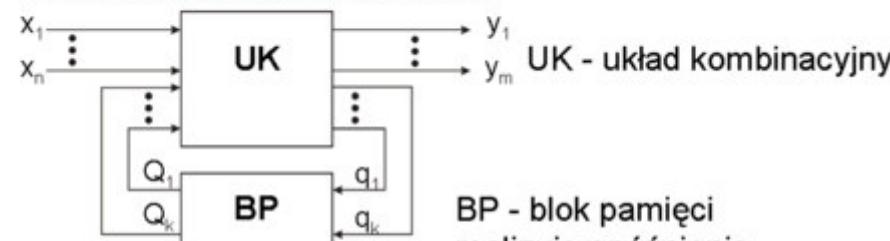
Schemat logiczny detektora (JK)



I w ten sposób powstaje schemat logiczny automatu zwanego detektorem sekwencji. Tym razem w realizacji na przerzutnikach typu JK.

Układy asynchroniczne

Model układu asynchronicznego



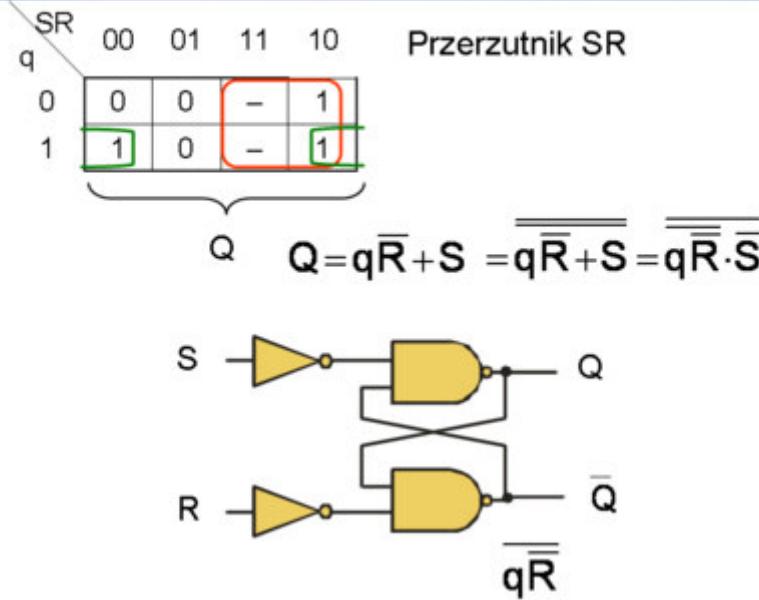
W automacie asynchronicznym wszystkie stany są **stanami stabilnymi**.

Struktura sekwencyjnego układu asynchronicznego jest podobna do struktury układu synchronicznego. Istotną różnicą jest brak wejścia zegarowego **clk**.

Z tego powodu pamięć układu mogą stanowić przerzutniki nie synchronizowane lub elementy opóźniające. Powstaje zatem pytanie: co – wobec braku sygnału zegarowego – wyznacza kolejne takty pracy układu, powodując zmiany jego stanów wewnętrznych?

Czynnikiem powodującym te zmiany może być tylko zmiana stanów wejść. Taka sytuacja jest pokazana na rysunku fragmentu grafu. Pod wpływem litery wejściowej X_i układ znalazł się w stanie S_a . Pozostaje w nim tak długo, aż na wejściu pojawi się inna litera – $X_j (j \in i)$. Wówczas układ może przejść do stanu S_b . Przykładowe stany S_a i S_b nazywa się stanami stabilnymi. Należy przyjąć, że w układzie asynchronicznym wszystkie stany są stanami stabilnymi, a zmiana stanu może nastąpić tylko w wyniku zmiany stanu wejścia.

Najprostszy układ asynchroniczny

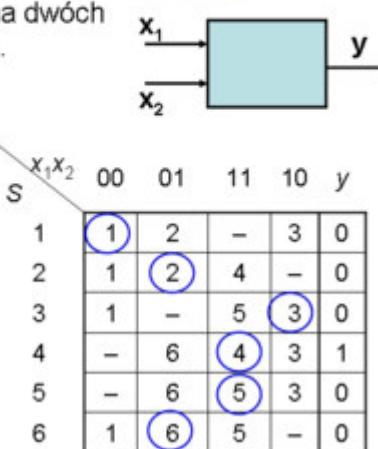
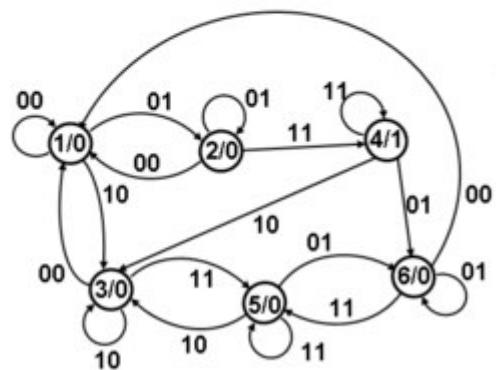


Najprostszym asynchronicznym układem sekwencyjnym jest przerzutnik asynchroniczny typu *SR*. Na planszy podana jest tablica przejść przerzutnika *SR*. Z tablicy tej wyznaczamy tzw. funkcję charakterystyczną przerzutnika. Funkcja ta podaje zależność stanu następnego Q od stanu bieżącego i sygnałów na wejściach S, R . Wyrażenie boolowskie tej funkcji przekształcamy do postaci zawierającej funktry *NAND*.

Odpowiedni schemat logiczny przerzutnika *SR* podany jest na rysunku.

Przykład

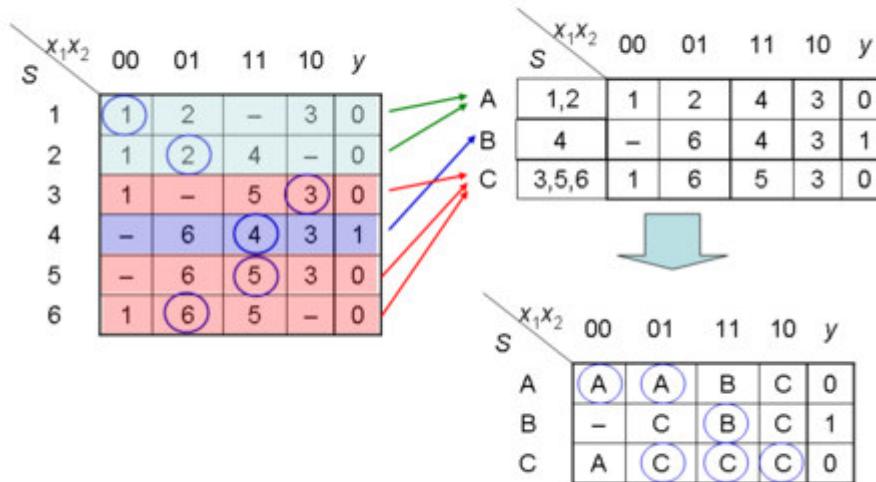
Zaprojektować układ asynchroniczny o dwóch wejściach binarnych x_1, x_2 i jednym wyjściu y , który ma sygnalizować jedynkę pojawienie się na wejściu sekwencji wektorów wejściowych ..., 00, 01, 11. Należy założyć, że jednoczesna zmiana dwóch sygnałów wejściowych jest niemożliwa.



Zaprojektujemy układ asynchroniczny, którego działanie jest opisane na planszy. Najpierw wykażemy, że automat działa zgodnie z grafem pokazanym na rysunku. Założmy, że na wejściu jest wektor 00; układ jest w stanie stabilnym 1 z wyjściem 0 (pętla z wektorem wejściowym 00). W tym stanie (zgodnie z założeniem) może na wejściu pojawić się wektor 01 – przechodzimy do stanu 2 (wyjście 0) lub wektor 11 – przechodzimy do stanu 3 (wyjście 0). W stanie 2 na wejściu może się pojawić wektor 11 – przechodzimy do stanu 4, a na wyjściu jest stan 1, gdyż ta sytuacja oznacza, że na wejściu kolejno pojawiały się wektory 00, 01, 11. Jeśli w stanie 2 pojawi się 00 – wracamy do stanu 1. Należy teraz rozpatrzyć sytuację w stanie 3 i 4. W stanie 3 po przyjściu 00 wracamy do stanu 1, a po przyjściu 11 przechodzimy do stanu 5 (z wyjściem 0). W stanie 4 po przyjściu 10 można przejść do już istniejącego stanu 3, zaś po przyjściu 01 trzeba przejść do nowego stanu 6 (nie można przejść do stanu 2, gdyż sekwencja wejściowa ...01, 11, 01, 11, ... powodowałaby wygenerowanie na wyjściu sekwencji 0101...).

Redukcja stanów

... jest prosta

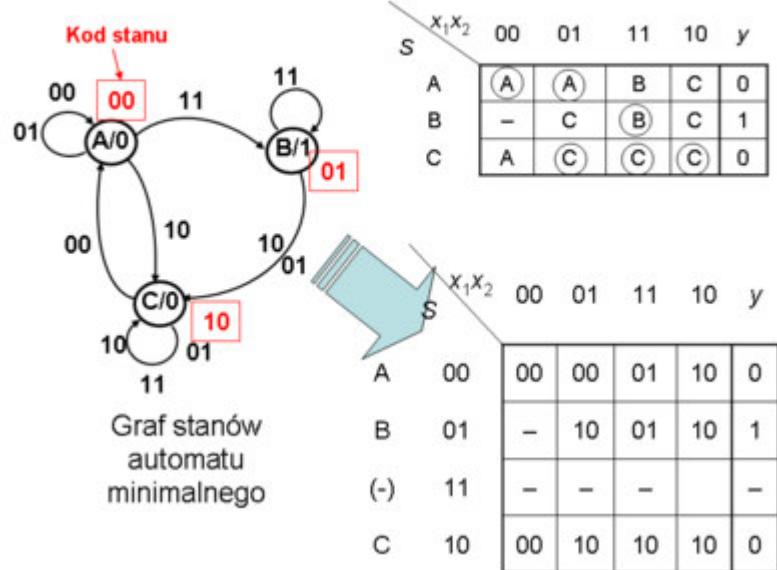


a kodowanie ...

Następnym etapem syntezy układów asynchronicznych jest minimalizacja liczby stanów automatu, która przebiega tak samo, jak w przypadku układów synchronicznych. Łatwo sprawdzić, że na podstawie uzyskanej tablicy przejść wyjść można wyznaczyć zbiór par zgodnych: $\{1,2\}, \{1,3\}, \{3,5\}, \{3,6\}, \{5,6\}$. Stąd maksymalne klasy zgodne są następujące: $\{1,2\}, \{1,3,4\}, \{3,5,6\}$. Warunek pokrycia i zamknięcia spełniają zbiory: $\{1,2\}, \{4\}, \{3,5,6\}$. Oznaczając stany wewnętrzne kolejno literami A, B i C , uzyskujemy tablicę przejść wyjść automatu minimalnego.

Kodowanie stanów

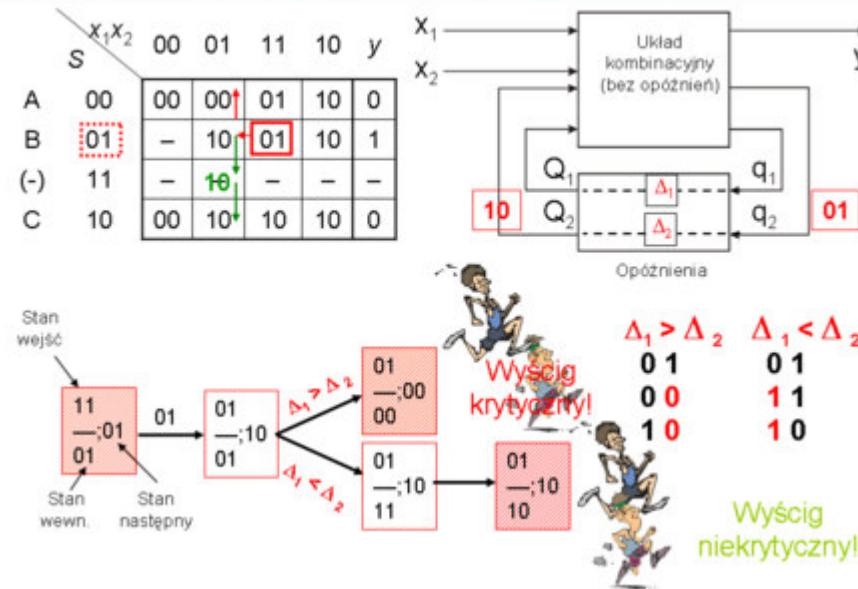
... jest trudne



W realizacji automatu asynchronicznego, podobnie jak w realizacji automatu synchronicznego, występują dwa etapy: kodowanie stanów i synteza strukturalna, czyli wyznaczenie funkcji wzbudzeń przerzutników. Oba te procesy w odniesieniu do układów asynchronicznych mają swoją specyfikę spowodowaną brakiem zewnętrznej synchronizacji.

Aby przeanalizować zjawiska zachodzące w układzie asynchronicznym przeprowadzimy syntezę automatu minimalnego. Stanom **A**, **B**, **C** tego automatu przyporządkujemy wektory kodowe odpowiednio 00, 01, 10. Otrzymujemy zakodowaną tablicę przejść-wyjścia, uwzględniającą niewykorzystany wektor stanu 11. Na planszy pokazano również graf stanów automatu minimalnego z odpowiednimi wektorami kodowymi dla poszczególnych stanów.

Analiza działania układu asynchronicznego (1)



Zaprojektowany układ będzie działał poprawnie, jeżeli czasy działania elementów opóźniających Δ są jednakowe, to znaczy $\Delta_1 = \Delta_2$. W rzeczywistości funkcja opóźnienia Δ jest realizowana w układzie kombinacyjnym przez opóźnienia (czas przenoszenia) bramek, realizujących ten układ.

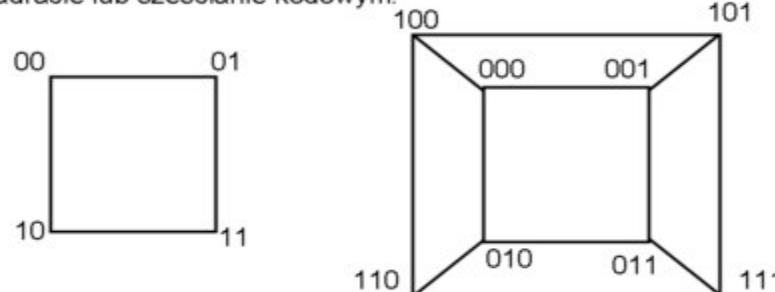
Dlatego sygnały Q_1, Q_2 na wyjściach tego układu nie zmieniają swych wartości jednocześnie. Taka sytuacja może mieć wpływ na poprawność działania układu zwłaszcza w takim przypadku, w którym wektory kodowe sąsiednich stanów różnią się na więcej niż jednej pozycji. Właśnie tak jest w grafie automatu minimalnego przy przejściu ze stanu B (wektor kodowy 01) do stanu $C(10)$. Na planszy rozważono tę sytuację. Dla $\Delta_1 < \Delta_2$ (Δ_1, Δ_2 – czasy opóźnienia sygnałów q_1, q_2) stan 01 pod wpływem wejścia 01 zmieni się na stan niestabilny 11 , po czym (zgodnie z tablicą przejść) układ przejdzie do stanu stabilnego 10 , zgodnego z założeniem. Takie przejście nazywa się wyścigiem niekrytycznym. Jeżeli $\Delta_1 > \Delta_2$, to dla wejścia 01 układ przejdzie do stanu 00 , ale stan ten dla wejścia 01 jest stabilny; układ nie przejdzie do stanu 10 .

Kodowanie stanów

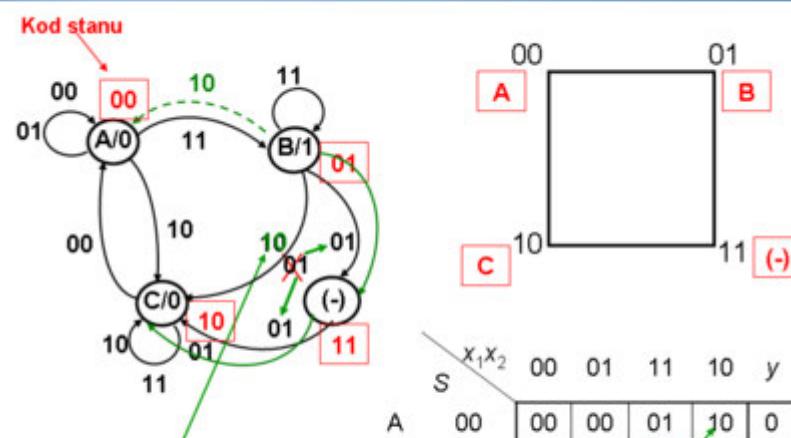
Aby uniknąć wyścigów krytycznych należy kodowanie przeprowadzić tak, aby kody stanów, pomiędzy którymi jest przejście, różniły się tylko na jednej pozycji.

Np.: $000 \Rightarrow 001$; $011 \Rightarrow 010$; $111 \Rightarrow 101$ itp..

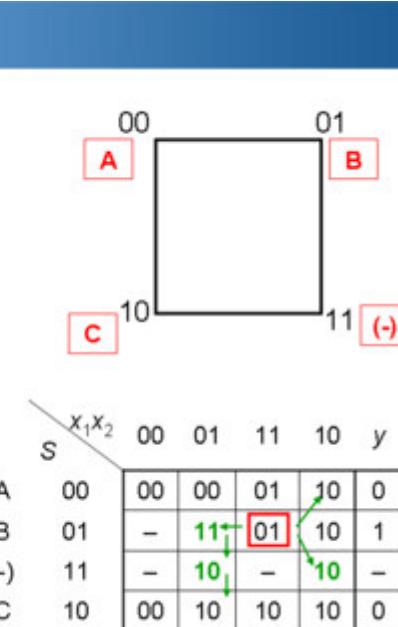
Takie kodowanie zapewnia „rozpięcie” grafu stanów automatu na kwadracie lub sześcianie kodowym.



Kodowanie stanów



Wyścig niekrytyczny można wykorzystać do właściwego kodowania stanów w układach asynchronicznych.



Aby uniknąć analizy poprawności działania realizacji układu asynchronicznego po jego zaprojektowaniu, można automat (minimalny) odpowiednio zakodować w taki sposób, aby wektory kodowe sąsiednich stanów różniły się tylko na jednej pozycji.

Uzgugleńiając przeprowadzone rozważania łatwo stwierdzić, że graf automatu należy uzupełnić o stan niestabilny zakodowany 11, co prowadzi do zmodyfikowanej tablicy przejść podanej na planszy.

Tablice przejść

		x_1x_2	00	01	11	10	y
		S	00	00	01	10	0
A		00	00	00	-	-	-
B		01	-	11	01	10	1
(-)		11	-	10	-	10	-
C		10	00	10	10	10	0

		x_1x_2	00	01	11	10	00	01	11	10	Q1Q2
		Q1Q2	00	00	01	10	00	01	11	10	00
Q1Q2		00	00	01	10	00	01	11	10	00	00
Q1Q2		01	-	11	01	10	-	1	0	1	0
Q1Q2		11	-	10	-	10	-	1	-	1	0
Q1Q2		10	00	10	10	00	1	1	1	0	0

Q1'Q2'
 Q1'
 Q2'

Wyznaczanie funkcji wzbudzeń

		x_1x_2	00	01	11	10	00	01	11	10	Y	
		Q1Q2	00	00	01	10	0	0	0	1	0	0
Q1Q2		00	00	01	10	0	0	0	1	0	0	0
Q1Q2		01	-	11	01	10	-	1	0	1	-	1
Q1Q2		11	-	10	-	10	-	1	-	1	-	0
Q1Q2		10	00	10	10	0	1	1	1	0	0	0

Q1'Q2'
 Q1'
 Q2'

$$Q1' = Q_1 x_2 + Q_2 \bar{x}_1 + x_1 \bar{x}_2 + Q_1 x_1 \\ Q2' = \bar{Q}_1 x_1 x_2 + \bar{Q}_1 Q_2 x_2$$

Dlaczego dodano dodatkową pętlę – składnik $Q_1 x_1$?



Zjawisko hazardu

$$Y = Q2$$

Zmodyfikowaną tablicę rozpisujemy na poszczególne funkcje wzbudzeń $Q1'$ oraz $Q2'$.

Wyznaczone na podstawie tych tablic funkcje Q'_1 i Q'_2 , opisują realizację układu kombinacyjnego, nazywaną realizacją ze sprzężeniem zwrotnym:

$$y = Q_2 \quad Q'_1 = Q_1 x_1 + Q_1 x_2 + Q_2 \bar{x}_1 + x_1 \bar{x}_2 \quad Q'_2 = \bar{Q}_1 x_1 x_2 + \bar{Q}_1 Q_2 x_2$$

gdzie składnik $Q_1 x_1$ wprowadzono w celu uniknięcia szkodliwego zjawiska, zwanego hazardem. Wprowadzenie tego składnika zapobiegnie pojawiению się na wyjściu Q_1 krótkiego impulsu o wartości logicznej 0, który może powstać przy zmianie sygnału x_2 z 1 na 0.

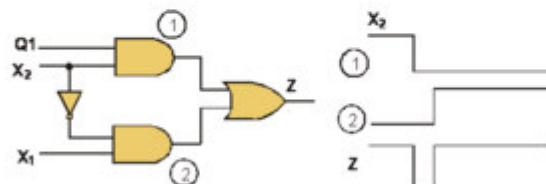
Zjawisko hazardu

$$Q1' = Q_1 x_2 + Q_2 \bar{x}_1 + x_1 \bar{x}_2$$



$$Z = Q_1 x_2 + x_1 \bar{x}_2$$

Przy $Q_1 = 1$, $x_1 = 1$, a przy zmianie x_2 : $1 \rightarrow 0$ na wyjściu Z powinna być stała 1.



Na skutek opóźnienia sygnału \bar{x}_2 w sygnale Z pojawia się krótki impuls o wartości 0.

Jest to **hazard statyczny - szkodliwy w układach asynchronicznych!**

Plansza wyjaśnia powstawanie zjawiska hazardu. W układach asynchronicznych funkcje wzbudzeń muszą być realizowane w taki sposób, aby nie występował hazard statyczny.

Jak zlikwidować hazard?



		x ₁ x ₂	00	01	11	10
		Q ₁ Q ₂	00	-	0	1
		01	-	1	0	1
		11	-	1	-	1
		10	0	1	1	1

Q_{x1}

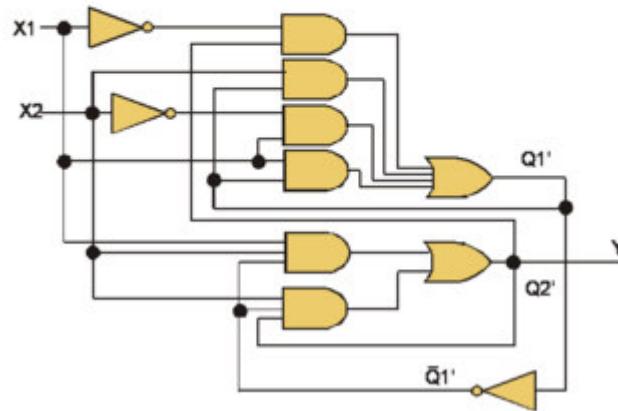
Wyrażenia boolowskie należy uzupełnić o składnik (nadmiarowy), odpowiadający pętli na tablicy Karnaugha, w taki sposób, aby każde dwie sąsiednie jedynki były objęte wspólną pętlą.

W celu likwidacji hazardu wyrażenia boolowskie funkcji wzbudzeń należy uzupełnić o składnik (nadmiarowy), odpowiadający pętli na tablicy Karnaugha, w taki sposób, aby każde dwie sąsiednie jedynki były objęte wspólną pętlą.

Realizacja układu

$$Y = Q_2$$

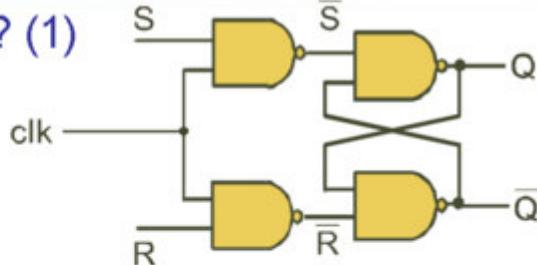
$$Q_1' = Q_1 x_2 + Q_2 \bar{x}_1 + x_1 \bar{x}_2 + Q_1 x_1 \quad Q_2' = \bar{Q}_1 x_1 x_2 + \bar{Q}_1 Q_2 x_2$$



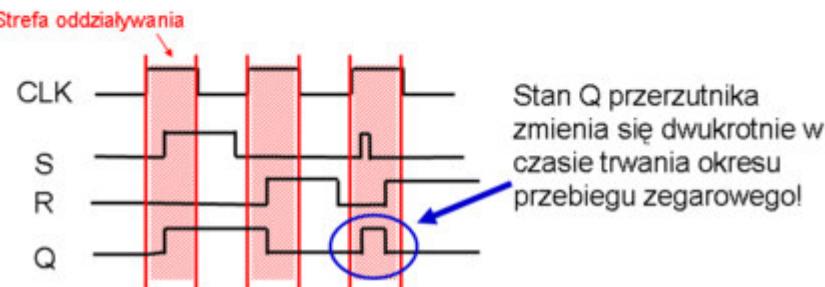
Mając świadomość, że w realizowanym automacie zlikwidowaliśmy przyczyny wszystkich szkodliwych zjawisk, możemy przystąpić do narysowania schematu logicznego tego automatu.

Jak jest zbudowany przerzutnik

synchroniczny? (1)



Jest to synchronizacja szerokością impulsu – latch (zatrzask)

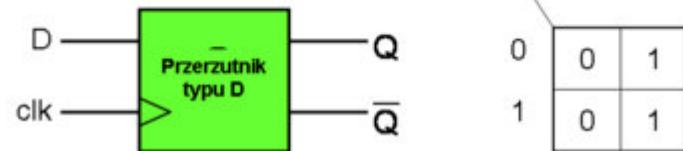


Z asynchronicznych przerzutników typu $SR(\bar{S}\bar{R})$ są budowane przerzutniki synchroniczne typu D , T i JK . Istnieją różne mechanizmy synchronizacji przerzutników: od najprostszej – szerokością impulsu (tzw. *latch*), przez synchronizację dwustopniową (*master-slave*), aż po synchronizację zboczem przebiegu zegarowego. Synchronizacja zboczem polega na tym, że stan wejść przerzutnika oddziałuje na jego stan wewnętrzny (i tym samym na stan wyjścia) tylko w momencie wystąpienia zmiany, np. z 0 na 1, w przebiegu zegarowym.

Przerzutniki tego typu mają prostą budowę, ale mogą służyć tylko do przechowywania (zatrzaskiwania) informacji. Nie mogą służyć do budowy układów sekwencyjnych.

Jak jest zbudowany przerzutnik

synchroniczny? (2)



D	0	1
Q	0	1
0	0	1
1	0	1

Prawidłowa synchronizacja powinna działać tak, aby w czasie trwania okresu przebiegu zegarowego sygnał wejściowy przerzutnika był odczytywany jeden raz, a stan przerzutnika zmieniał się także jeden raz – niezależnie od zmiany sygnałów wejściowych.

Mechanizm ten zostanie dokładnie omówiony na przykładzie, którego celem będzie zaprojektowanie asynchronicznego układu realizującego funkcje przerzutnika typu *D* synchronizowanego narastającym (dodatnim) zboczem przebiegu zegarowego.

UKŁADY ZASILAJĄCE

Wprowadzenie

Większość urządzeń elektrycznych i elektronicznych wymaga zastosowania odpowiedniego zasilacza, którego podstawowe zadania są następujące:

- zapewnienie jednego lub kilku napięć stałych, najczęściej niskich (od kilku do kilkudziesięciu V), potrzebnych do zasilania układów sterujących, kontrolnych, a także układów wykonawczych (silniki, silowniki, przekaźniki itp.)
- stabilizacja tych napięć z dokładnością wymaganą dla poszczególnych obwodów zasilanych
- zapewnienie izolacji pomiędzy obwodami niskich napięć wyjściowych, a siecią energetyczną stanowiącą najczęściej pierwotne źródło zasilania – izolacja ta jest konieczna ze względu na bezpieczeństwo (wymagania Dyrektyw w Unii Europejskiej) i ochrony przed porażeniem elektrycznym

Napięcia stałe wytwarzają się przez transformowanie i prostowanie napięcia sieciowego jedno lub trójfazowego. Uzyskane w ten sposób napięcie zawiera najczęściej znaczne tężnienia. Zatem, aby można korzystać z takiego zasilacza należy zastosować odpowiednie filtry tężnień.

Powszechnie stosowane zasilacze można podzielić na dwie podstawowe grupy:

- **tradycyjne** (zwane też liniowymi) – oparte na typowym transformatorze i liniowej stabilizacji napięcia lub prądu za pomocą tranzystora, który zmieniając swój stopień przewodzenia reguluje parametry wyjściowe
- **impulsowe** (zwane też przetwornicami) – oparte o cyfrowy układ przełączający napięcie z wysoką częstotliwością i kontrolujący jego średnią wartość za pomocą modulacji PWM.

Podstawowe zalety **zasilaczy liniowych** to:

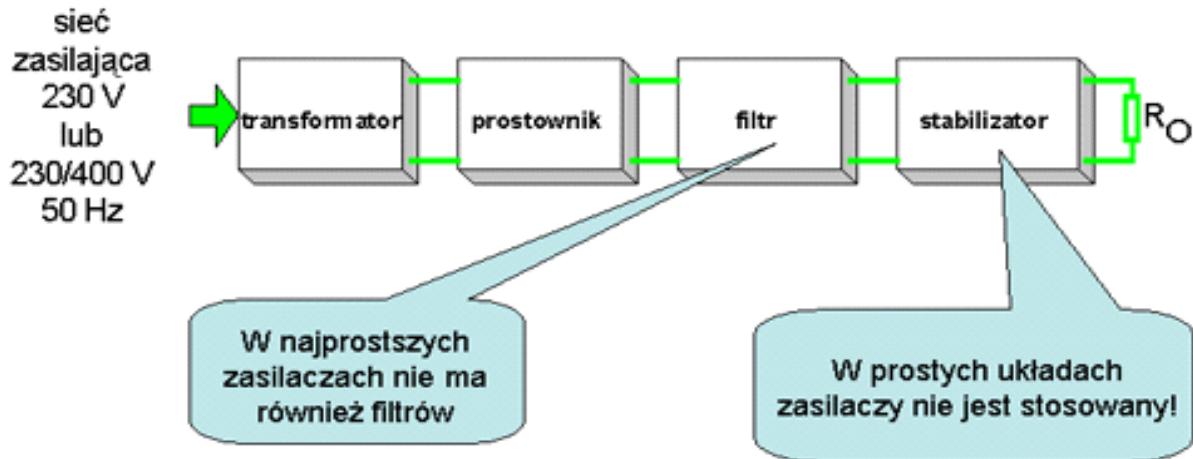
- prostota konstrukcji
- niewielka liczba elementów
- niski poziom szumów i tężnień napięcia wyjściowego

Natomiast istotne wady są następujące:

- duże gabaryty transformatora pracującego przy niskiej częstotliwości 50Hz
- duże wymiary kondensatora filtrującego napięcie tężnień
- duże straty mocy w liniowym stabilizatorze
- ogólna niska sprawność energetyczna zasilacza (zwykle < 40 % - 50%)

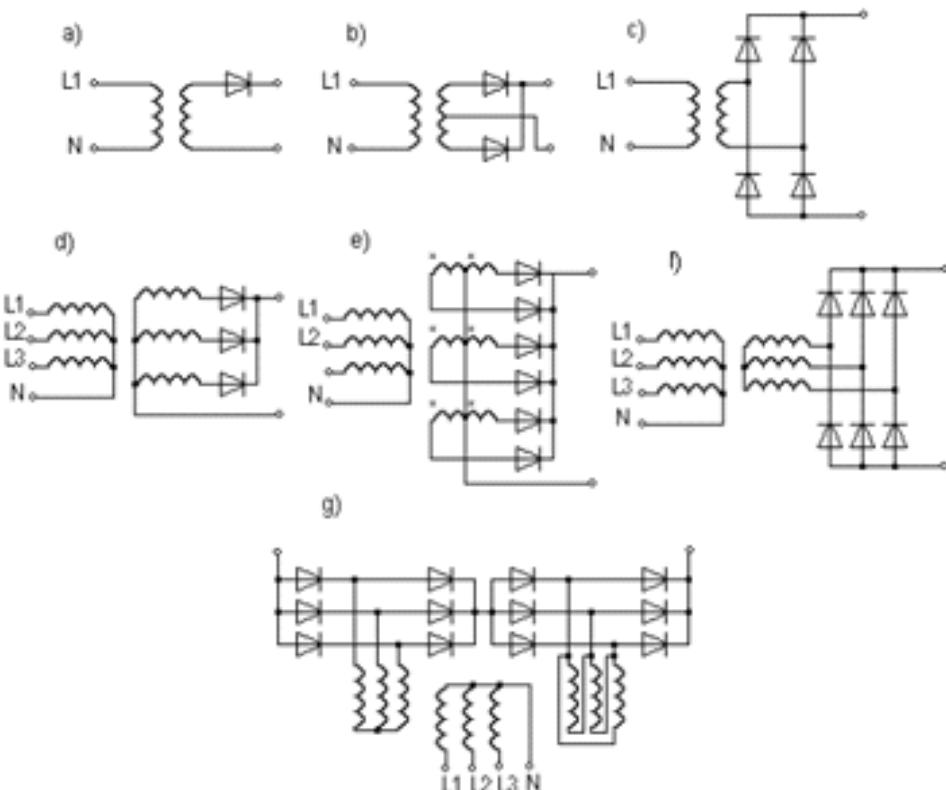
Klasyczny układ zasilacza

Stabilizowany układ zasilacza napięcia stałego



Klasyczny układ zasilacza składa się z czterech podstawowych elementów: transformatora sieciowego, prostownika, filtra i jeżeli to jest potrzebne ze stabilizatora napięcia lub rzadziej prądu.

Prostowniki sieciowe niesterowane



W zależności od liczby faz zasilających układ wyróżnia się:

- prostowniki jednofazowe (rys. a, b, c),
- prostowniki trójfazowe (rys. d, e, f).

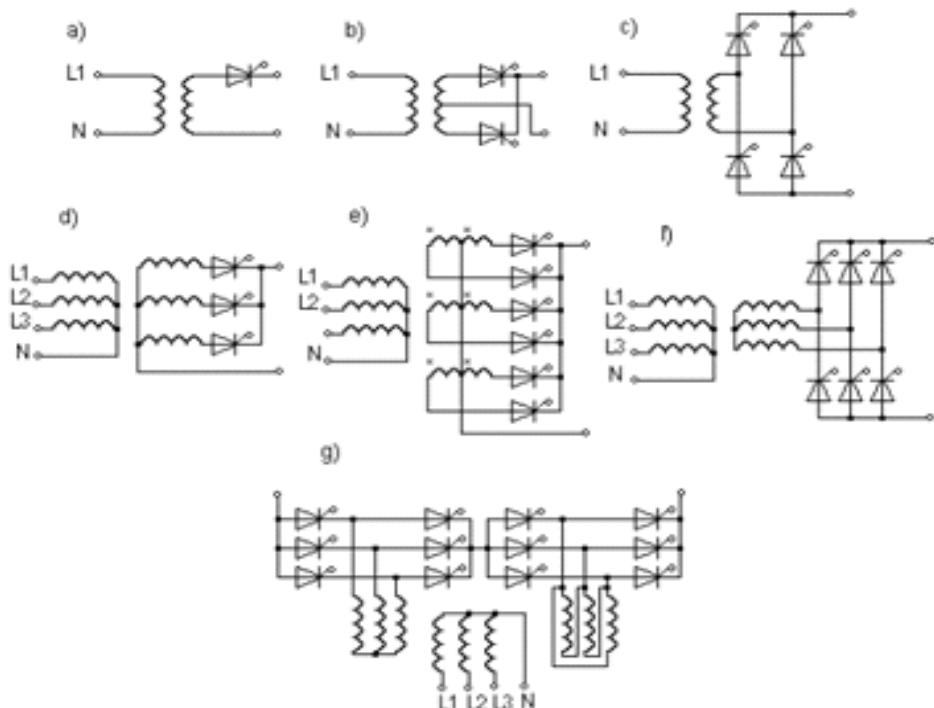
W zależności od liczby pulsów napięcia wyjściowego prostownika w jednym okresie napięcia zasilającego układ wyróżnia się,

- w grupie prostowników jednofazowych układy:
 - jednopersowe (rys. a),
 - dwupersowe (rys. b, c),

Ze względu na topografię układu prostownika wyróżnia się:

- układy z transformatorem zasilającym,
- bez transformatora zasilającego (rys. a, d),
- układy z dzielonym uzwojeniem wtórnym transformatora zasilającego (rys. b),
- układy mostkowe (rys. c).

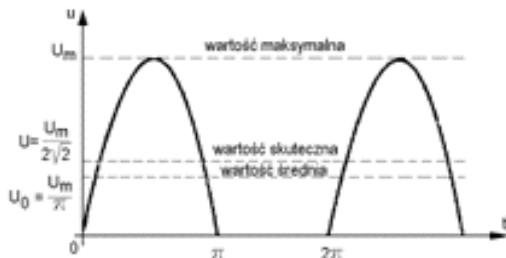
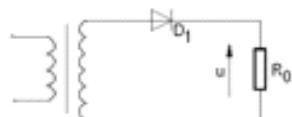
Prostowniki sieciowe sterowane



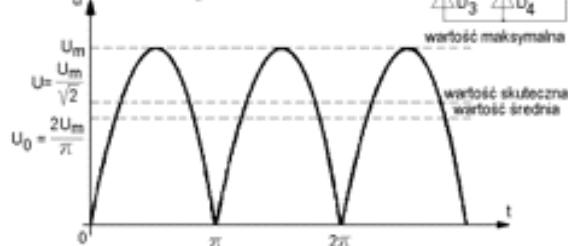
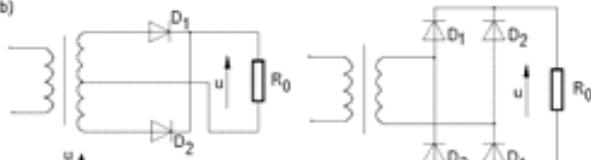
Prostowniki sieciowe sterowane buduje się zastępując diody prostownicze w układach niesterowanych, tyristorami.

Prostowniki sieciowe (cd)

a)



b)



$$u(t) = U_m \left[\frac{1}{\pi} + \frac{1}{2} \sin \omega t - \frac{2}{\pi} \sum \frac{\cos k\omega t}{(k+1)(k-1)} \right]$$

$$u(t) = U_m \left[\frac{2}{\pi} - \frac{4}{\pi} \sum \frac{\cos k\omega t}{(k+1)(k-1)} \right]$$

gdzie k – liczba parzysta

Przy obciążeniu rezystancyjnym kształty przebiegów prądu odbiornika i napięcia na jego zaciskach są identyczne, a każda dioda w układzie prostownika przewodzi przez pół okresu zmienności przebiegu napięcia zasilania.

Filtry tętnień

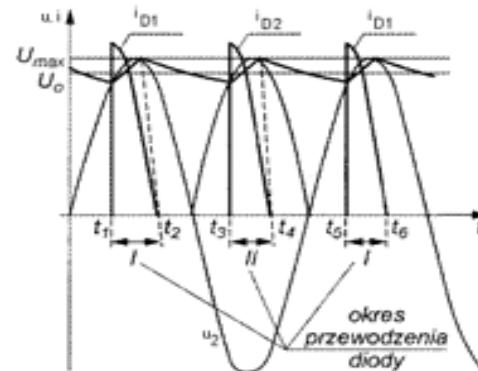
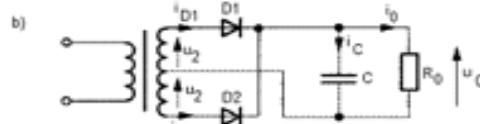
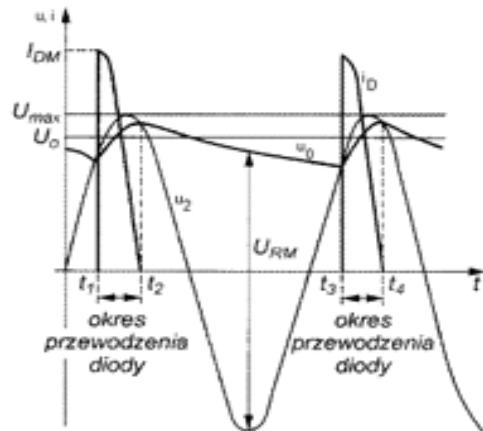
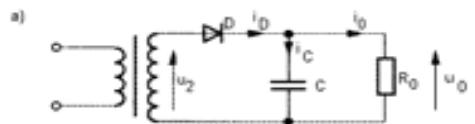
W celu zmniejszenia amplitudy napięcia tętnień na zaciskach odbiornika, a co za tym idzie także amplitudy tętnień prądu odbiornika, pomiędzy prostownikiem i odbiornikiem włącza się filtr tętnień.

Zadaniem filtru jest zmniejszenie wartości składowej zmiennej w przebiegu napięcia wyprostowanego. W filtrach wykorzystuje się właściwości akumulowania energii przez elementy inercyjne: kondensator w polu elektrycznym i dławik indukcyjny w polu magnetycznym.

Wyróżnia się proste filtry typu C (pojemnościowe), L (indukcyjne) oraz filtry złożone typu RC, LC, CRC, CLC. Rodzaj zastosowanego filtru zależy od wartości średniej prądu odbiornika.

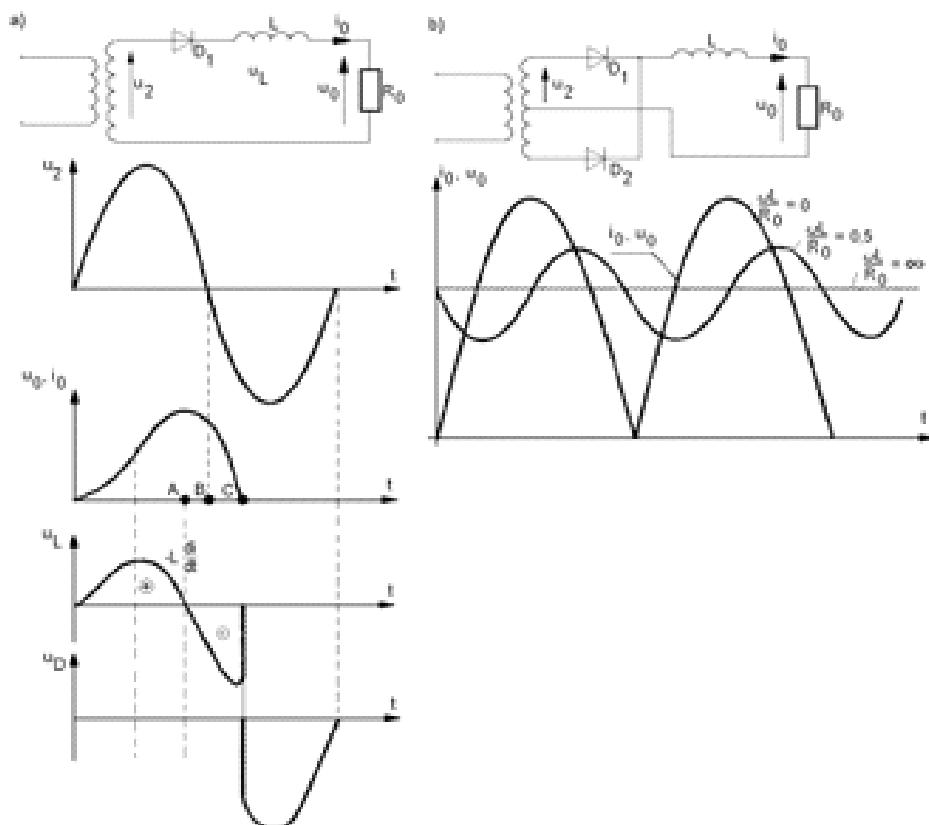
Ogólnie należy powiedzieć, że dla „małych” prądów obciążenia stosuje się filtry C, RC lub CRC, dla „dużych” filtry L, LC, a dla „średnich” filtry mające cechy obu poprzednich typów tzn. filtry CLC. Podział na małe, średnie i duże prądy jest umowny, ale przyjmuje się często, że małe prądy to prądy o wartości poniżej 5 A.

Filtr prosty typu C



Filtr pojemnościowy dołącza się równolegle do odbiornika. Działanie filtru pojemnościowego polega na gromadzeniu energii w polu elektrycznym kondensatora podczas przewodzenia prostownika i stopniowym oddawaniu tej energii do odbiornika, także wtedy, kiedy diody prostownika nie przewodzą.

Filtr prosty typu L



Filtr indukcyjny włącza się szeregowo z odbiornikiem. Jest on bardzo rzadko stosowany w prostownikach małej mocy, ponieważ wykonanie specjalnego dławika z masywnym (stalowe blachy elektrotechniczne), często o znacznych rozmiarach rdzeniem, jest kłopotliwe.

Tylko w energoelektronice filtry indukcyjne są niezastąpione.

Działanie filtra indukcyjnego polega na magazynowaniu energii w polu magnetycznym dławika indukcyjnego, gdy chwilowa wartość prądu w obwodzie narasta i oddawaniu zmagazynowanej energii, gdy chwilowa wartość prądu maleje. W dławiku indukcyjnym indukuje się siła elektromotoryczna, która zawsze przeciwdziała zmianom chwilowej wartości prądu płynącego przez dławik.

Gdy chwilowa wartość prądu ma tendencję do wzrostu indukowana siła elektromotoryczna hamuje ten wzrost i jednocześnie magazynowana jest energia w polu magnetycznym. Kiedy wartość chwilowa prądu maleje to energia pola magnetycznego oddawana jest do obwodu, a indukowana siła elektromotoryczna powoduje podtrzymanie przepływu prądu. W rezultacie zmniejszają się tężnienia prądu odbiornika.

Układy prostowników jednopulsowych z filtrem indukcyjnym nie są stosowane, ponieważ prąd odbiornika, niezależnie od tego jak duża jest wartość indukcyności, zawsze w każdy okresie napięcia zasilania osiągnie wartość zerową.

Ciągłe stabilizatory napięcia

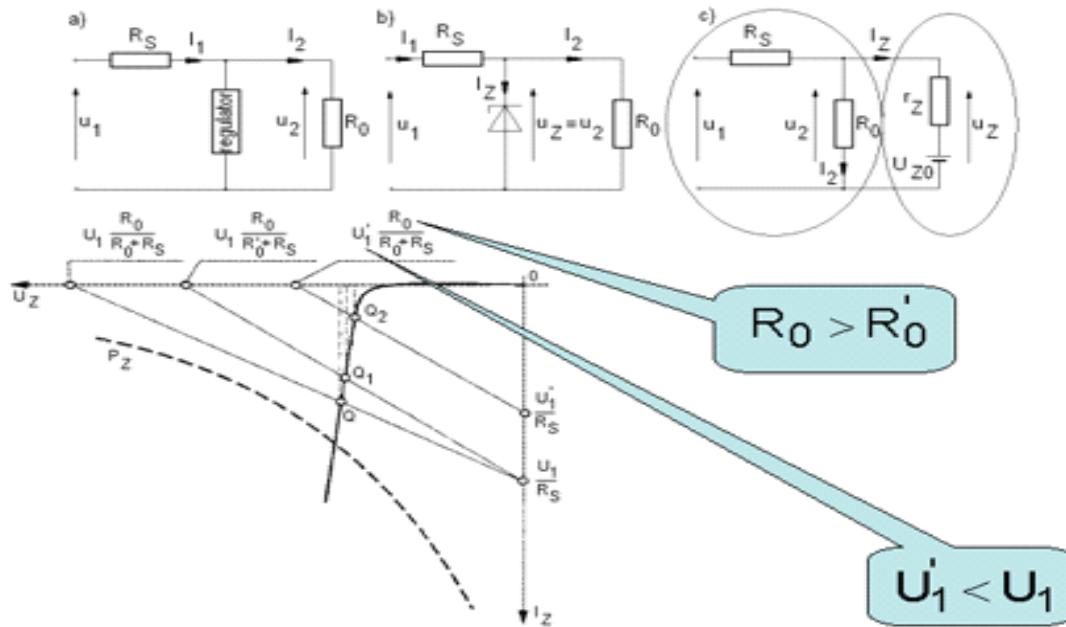
Stabilizatory napięć i prądów stałych są układami elektronicznymi, których zadaniem jest utrzymywanie na zadanym poziomie stałej wartości napięcia lub prądu wyjściowego niezależnie od zmian: **napięcia zasilania, parametrów odbiornika oraz temperatury.**

Stabilizator napięć i prądów stałych można ogólnie podzielić na układy o działaniu ciągłym i układy impulsowe. Stabilizatory impulsowe stosuje się przede wszystkim ze względu na ich wysoką (ok. 98%) sprawność. Czasami tego typu stabilizatory realizują wstępную stabilizację i zasilają zespół wyjściowy stabilizatorów o działaniu ciągłym.

Ze względu na topologię układu stabilizatora wyróżnia się **układy parametryczne** i **układy ze sprzężeniem zwrotnym** czasami nazywane także **układami kompensacyjnymi**.

W zależności od sposobyłączenia elementu regulującego napięcie lub prąd, np.łącznika energoelektronicznego w obwodzie stabilizatory można podzielić na **szeregowe i równoległe**.

Stabilizator parametryczny



W układzie stabilizatora parametrycznego efekt stabilizacji uzyskuje się wykorzystując kształt charakterystyki elementu regulacyjnego, stabilistora, np. diody Zenera. Schemat prostego układu ze stabilistorem przedstawiono powyżej.

Zasadę działania układu ilustruje rysunek. Napięcie wyjściowe stabilizatora jest równe napięciu na diodzie Zenera, dlatego badanie wpływu napięcia wejściowego i rezystancji obciążenia na wartość napięcia U_2 polega na analizie położenia punktu pracy na charakterystyce diody.

Dwa skrajne położenia odpowiadają stanom, kiedy dioda praktycznie nie przewodzi $I_2 \approx 0 A$, $U_2 \approx U_{Z0}$ oraz kiedy przewodzi prąd o wartości dopuszczalnej $I_Z = I_{ZMAX}$, gdzie $I_{ZMAX} = P_Z/U_{Z0}$.

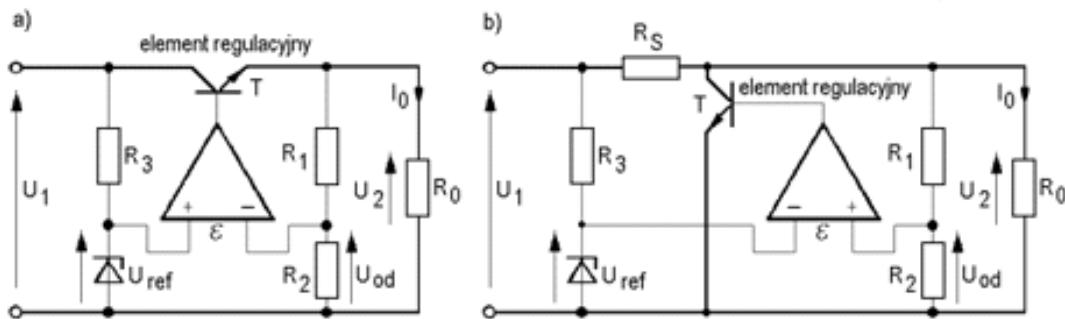
Jeżeli na charakterystyce diody narysuje się tzw. prostą obciążenia (charakterystyka prądowo – napięciowa pozostałej, liniowej części obwodu stabilizatora) to punkt przecięcia tej prostej z nieliniową charakterystyką diody Zenera wyznacza punkt pracy diody Zenera i jednocześnie punkt pracy obwodu do niej dołączonego. Zmieniając odpowiednio parametry diody Zenera (napięcie przebicia U_{Z0} , rezystancja dynamiczna r_Z) i rezystancje obwodu (R_s, R_o) można dokładnie prześledzić ruchy punktu pracy po charakterystyce diody i charakterystykach elementów z jakich jest zbudowany stabilizator.

Przyjmując dwuocinkową aproksymację charakterystyki diody Zenera oraz, że punkt pracy diody leży na odcinku umożliwiającym stabilizację napięcia można napisać:

$$U_2 = U_Z = U_{Z0} + I_Z \cdot r_Z$$

Stabilizatory napięcia ze sprzężeniem zwrotnym (kompensacyjne)

Stabilizatory kompensacyjne



$$U_{ref} = U_{od}, \quad U_{ref} = U_2 \frac{R_2}{R_1 + R_2}$$

$$U_2 = U_{ref} \left(1 + \frac{R_1}{R_2} \right)$$

Zasada działania stabilizatora kompensacyjnego polega na zmianie rezystancji statycznej elementu regulacyjnego (np. tranzystora mocy), który jest sterowany różnicą napięć, uzyskiwaną na drodze ciągłego porównywania wartości napięcia wyjściowego U_2 lub jego części z wartością napięcia odniesienia.

Stabilizatory kompensacyjne mogą pracować w układzie szeregowym lub równoległym. Decyduje o tym sposóbłączenia elementu regulacyjnego – szeregowo lub równolegle w stosunku do odbiornika.

Aby uzyskać niezbędne dla działania tych układów ujemne sprzężenie zwrotne, źródło odniesienia dołączone jest w stabilizatorach szeregowych do nieodwracającego wejścia, a w równoległych do wejścia odwracającego.

Zmiany napięcia wyjściowego stabilizatora powodują zmiany sygnału błędu. Sygnał błędu jest wzmacniany przez wzmacniacz operacyjny k_{UR} razy i zmienia wysterowanie tranzystora regulacyjnego, tzn. jego rezystancję statyczną. Zmiany następują, aż do momentu pełnego skompensowania sygnału błędu.

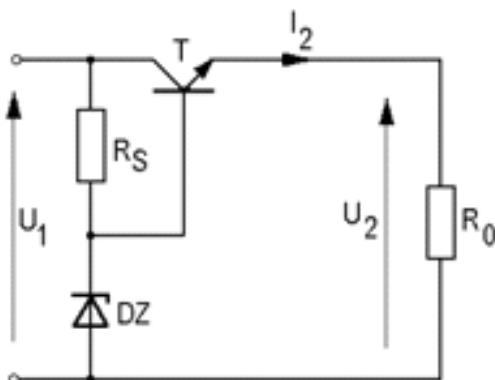
Na tej zasadzie działają wszystkie stabilizatory kompensacyjne, niezależnie od topologii obwodu. Przy założeniu, że wzmacniacz operacyjny jest idealny można w warunkach równowagi napisać:

$$U_{ref} = U_2 \frac{R_2}{R_1 + R_2} \quad \text{zatem napięcie wyjściowe jest równe: } U_2 = U_{ref} \left(1 + \frac{R_1}{R_2} \right)$$

Prosty stabilizator kompensacyjny

Jeżeli nie jest wymagana wysoka jakość stabilizacji, rezygnuje się z zastosowania wzmacniacza w pętli sprzężenia zwrotnego i napięcie referencyjne doprowadza się bezpośrednio do bazy tranzystora sterującego.

Stabilizator pracuje w tym wypadku w układzie [wtórnika emiterowego](#).



Rezystancja wyjściowa oraz napięcie wyjściowe dla takiego układu jest równa:

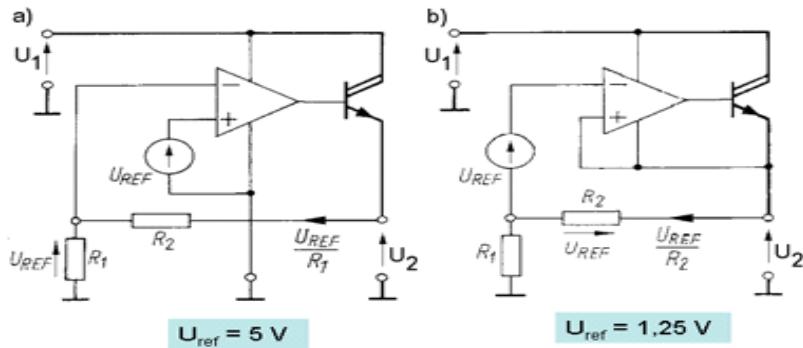
$$r_{WY} = \frac{r_{BE}}{\beta} \quad U_2 = U_{ref} - U_{D0} = U_{ref} - 0,7V$$

Stabilizatory monolityczne

Scalone układy stabilizatorów kompensacyjnych, najczęściej szeregowych, zawierają wszystkie podzespoły niezbędne do uzyskania wysokich parametrów użytkowych układu: precyzyjne skompensowane źródło napięcia referencyjnego, wzmacniacz błędu, tranzystor regulacyjny oraz układy zabezpieczenia prądowego.

Najliczniejszą grupę stanowią tu układy serii 78XX i 79XX o stałej wartości napięcia wyjściowego, oraz układy serii 78G lub LM317 o zadawanej za pomocą dzielnika rezystancyjnego R1, R2 wartości napięcia wyjściowego.

Stabilizatory serii 78G i LM317

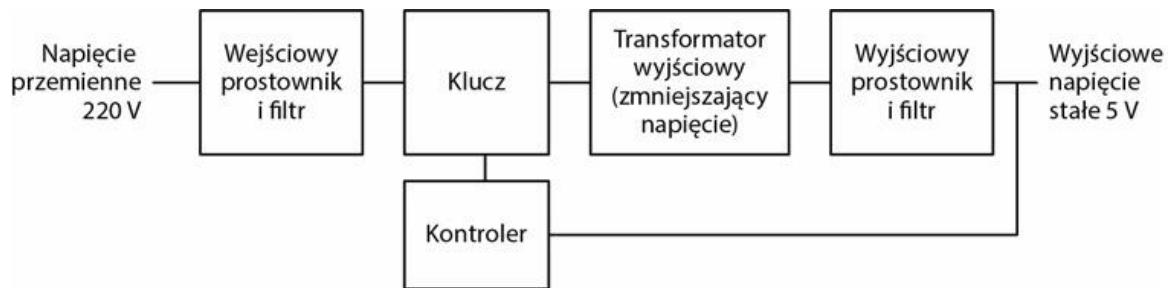


$$U_2 = \left(1 + \frac{R_2}{R_1} \right) U_{ref}$$

$$U_2 = \left(1 + \frac{R_1}{R_2} \right) U_{ref}$$

ZASILACZE IMPULSOWE (przetwornice napięcia)

W typowym zasilaczu impulsowym napięcie wejściowe jest wyprostowane w prostowniku wejściowym, odfiltrowane na kondensatorze i jako wysokie napięcie stałe doprowadzone jest do przetwornicy impulsowej pracującej z częstotliwością kilkudziesięciu do kilkuset kHz. Przetwornica zamienia wysokie napięcie stałe na ciąg impulsów prostokątnych, które są następnie transformowane do wymaganego niskiego poziomu w transformatorze impulsowym. Impulsy wyjściowe z transformatora są następnie prostowane w prostowniku wyjściowym, a dolnoprzepustowy filtr wyjściowy obcina wyższe składowe harmoniczne wyprostowanego przebiegu pozostawiając na wyjściu praktycznie napięcie stałe.



Zasilacz impulsowy uzyskuje taką samą wydajność jak zasilacz transformatorowy przy zaledwie 1/10 jego wagi.

Dzięki temu, że transformator działa na bardzo wysokich częstotliwościach, może on być znacznie mniejszy i lżejszy od typowego transformatora działającego z częstotliwością 50 Hz.

Transformator jest bowiem podłączony przez tranzystor, który włącza i wyłącza prąd z bardzo dużą częstotliwością rzędu kilku do kilkunastu tysięcy razy na sekundę stosując modulację PWM. Dzięki tak dużej częstotliwości pracy oraz braku przemienności napięcia sprawność transformatora drastycznie się zwiększa. Dlatego może on być zdecydowanie mniejszy i lżejszy niż w zasilaczu liniowym przy podobnej mocy wyjściowej.

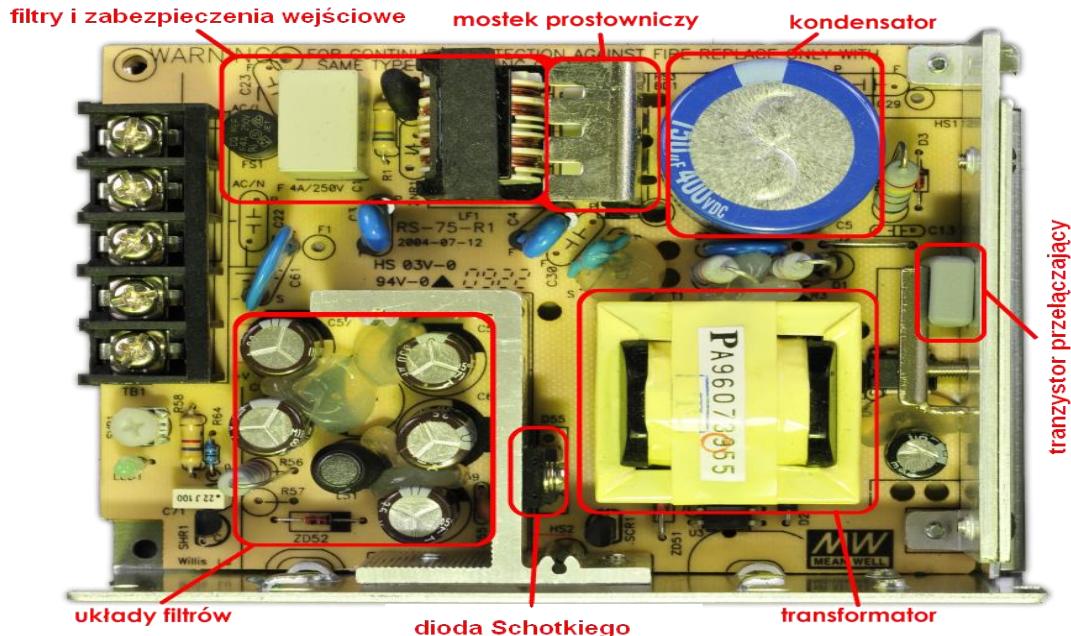
Regulacja napięcia jest realizowana przez sygnał zwrotny z napięcia wyjściowego, które powoduje zmianę szerokości impulsów zasilających transformator, co z kolei powoduje zmianę wartości napięcia wyjściowego.

W celu odizolowania wyjściowego napięcia stałego od wysokiego napięcia przemiennego sygnał zwrotny jest przekazywany do kontrolera za pośrednictwem optoizolatora.

Ważne jest to, że wielkość tego napięcia stałego jest zależna od tzw. współczynnika wypełnienia impulsów wyjściowych z przetwornicy – a więc relacji pomiędzy czasem trwania impulsu i czasem przerwy pomiędzy poszczególnymi

impulsami. Ten współczynnik wypełnienia może być płynnie regułowany w układzie przetwornicy impulsowej.

Tak więc zapewniając odpowiednie sterowanie pracą przetwornicy można zmieniać (a więc i stabilizować) stałe napięcie uzyskiwane na wyjściu zasilacza impulsowego.



Podstawowe zalety zasilaczy impulsowych są następujące:

- bardzo małe wymiary transformatora impulsowego (transformującego przebiegi o dużej częstotliwości)
- małe wymiary wejściowego kondensatora filtrującego (pracującego przy dużym napięciu)
- małe wymiary elementów w filtrze wyjściowym (duża częstotliwość pracy)
- brak stabilizatora wyjściowego (brak strat mocy i przyrostu temperatury)
- możliwość zasilania napięciem stałym lub zmiennym i to w szerokim zakresie napięć (np. od 90V AC do 260V AC lub 110VDC – 400V DC))
- ogólna bardzo wysoka sprawność energetyczna (zwykle > 80%)

Zasilacz impulsowy posiada także kilka niedogodności, do których należy zaliczyć:

- złożoność konstrukcji
- zwiększyony poziom szumów i tętnień napięcia wyjściowego
- zwiększyony poziom zakłóceń elektromagnetycznych generowanych do sieci zasilającej oraz do otoczenia

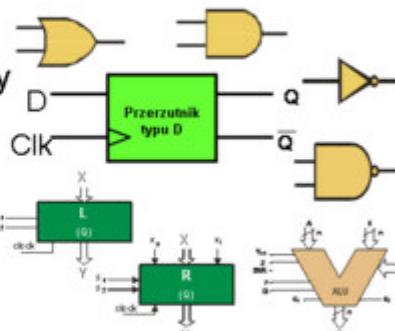
Układy cyfrowe

Układy cyfrowe konstruowane są w różnych technologiach i na różnych poziomach opisu.

Poziomy opisu:

- bramki i elementarne układy pamięciowe (przerzutniki),
- bloki funkcjonalne: układy arytmetyczne (sumatory), liczniki, rejestrty.

Tworzą one nowe elementy konstrukcyjne, z których buduje się złożone układy cyfrowe o różnorodnych zastosowaniach: układy przetwarzania sygnałów, układy sterowania, specjalizowane procesory, układy kryptograficzne.



Omawiane do tej pory układy logiczne to inaczej mówiąc układy cyfrowe konstruowane z bramek i przerzutników. I w zasadzie można z nich zaprojektować i zbudować dowolny układ cyfrowy.

Problem jednak leży w tym, że takie postępowanie byłoby bardzo skomplikowane. Dlatego z podstawowych układów logicznych buduje się najpierw tzw. bloki funkcjonalne, a dopiero z nich konstruuje się bardziej złożone układy cyfrowe jak np.: układy przetwarzania sygnałów, układy sterowania, specjalizowane procesory, układy kryptograficzne.

Synteza strukturalna układów cyfrowych



Każdy **układ cyfrowy** składamy z bloków funkcjonalnych.

Bloki funkcjonalne stanowią wyposażenie bibliotek komputerowych systemów projektowania.

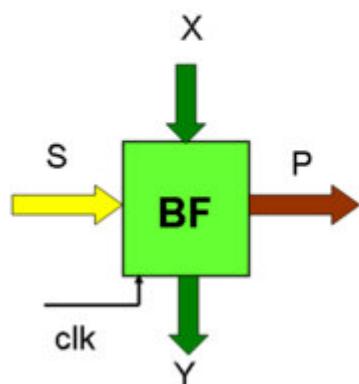
Podstawową techniką w projektowaniu układów cyfrowych jest tzw. synteza strukturalna. Jest to metoda budowania „większego” układu z „mniejszych” podukładów, zwanych blokami funkcjonalnymi (*BF*).

Powszechnie stosowana seria układów scalonych TTL (tzw. seria 74) obejmowała takie układy jak: multipleksery, liczniki, rejstry itp. Układom tym nadawano specyficzne, katalogowe oznaczenia np. 74151 dla multipleksera, 74163 dla licznika itp.

Obecnie większość tych układów wchodzi w skład elementów bibliotecznych systemów projektowania układów cyfrowych w postaci tzw. komponentów lub makrobloków.

Blok funkcjonalny

... to specjalizowany układ cyfrowy:

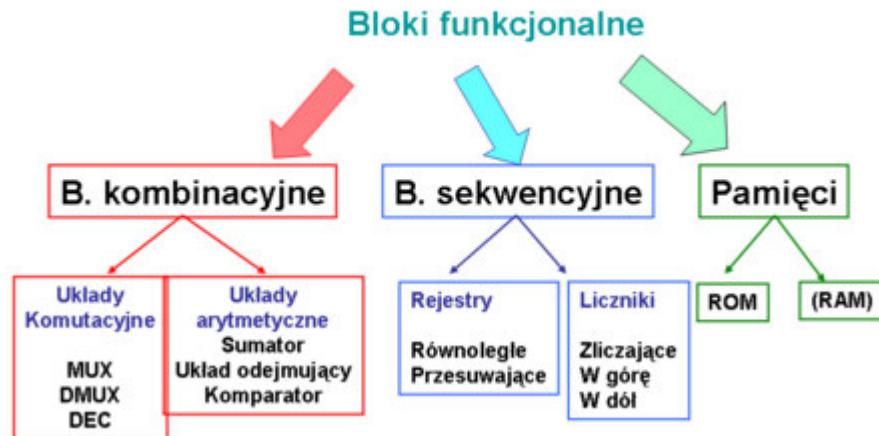


$X, (Y)$ – wejścia (wyjścia) sygnałów reprezentujących dane wejściowe i wyjściowe
 S – wejście sterujące,
 P – wyjście predykatowe,
 clk – wejście zegarowe

Blok funkcjonalny to specjalizowany układ cyfrowy przystosowany do wykonania jednej lub kilku określonych operacji przetwarzania sygnałów binarnych.

Informacja o stanie operacji przetwarzania w BF jest ewentualnie przekazana na zewnątrz za pośrednictwem sygnałów na wyjściach predykatowych. Dodatkowo sekwencyjny blok funkcjonalny jest wyposażony w wejście synchronizujące (zegarowe) clk

Blok funkcjonalne



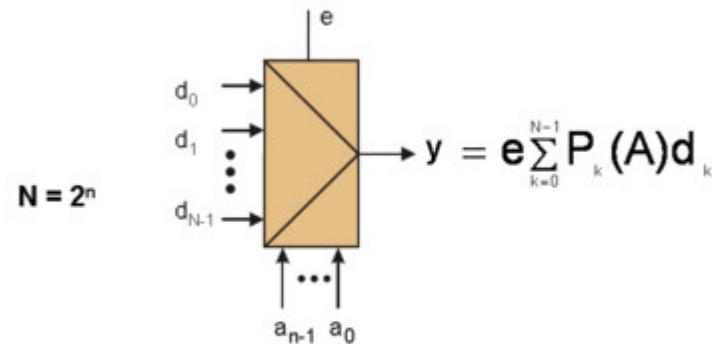
Najogólniejsza klasyfikacja bloków funkcjonalnych uwzględnia bloki kombinacyjne oraz sekwencyjne. Typowe bloki funkcjonalne kombinacyjne to multipleksery, demultipleksery, dekodery, sumatory, komparatory.

Typowe bloki sekwencyjne to rejesty i liczniki.

Warto podkreślić, że pojęcie bloku funkcjonalnego, jak też ich klasyfikacja uległo pewnej modyfikacji i powinno być rozumiane ogólniej niż to miało miejsce w technice układów katalogowych.

W dzisiejszej technice BF może być specjalizowanym układem cyfrowym, którego mikrooperacje zarówno pod względem ilości jak też funkcjonalności definiuje sam użytkownik.

Multiplekser (MUX)

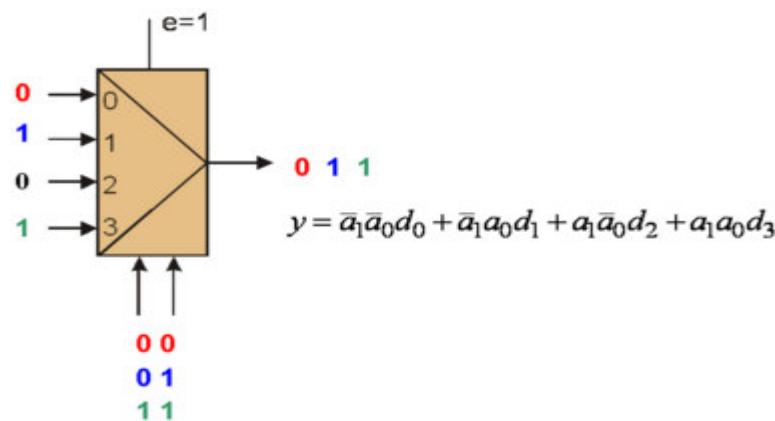


gdzie $P_k(A)$ oznacza pełny iloczyn zmiennych a_{n-1}, \dots, a_0 , prostych lub zanegowanych, zgodnie z reprezentacją binarną liczby $k = L(A)$.

Multiplekser to funkcjonalny blok kombinacyjny, w którym jest: N wejścia informacyjne ($N = 2^n$), n wejścia adresowe a_{n-1}, \dots, a_0 , wyjście y oraz wejście zezwolenia e (enable). Multiplekser (MUX) realizuje funkcję y opisaną wyrażeniem boolowskim: $y = e \sum_{k=0}^{N-1} P_k(A) d_k$,

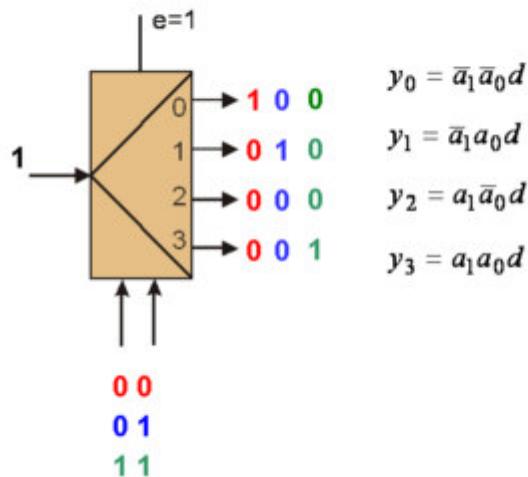
gdzie $P_k(A)$ oznacza pełny iloczyn zmiennych a_{n-1}, \dots, a_0 , prostych lub zanegowanych, zgodnie z reprezentacją binarną liczby k .

Multiplekser jako przełącznik



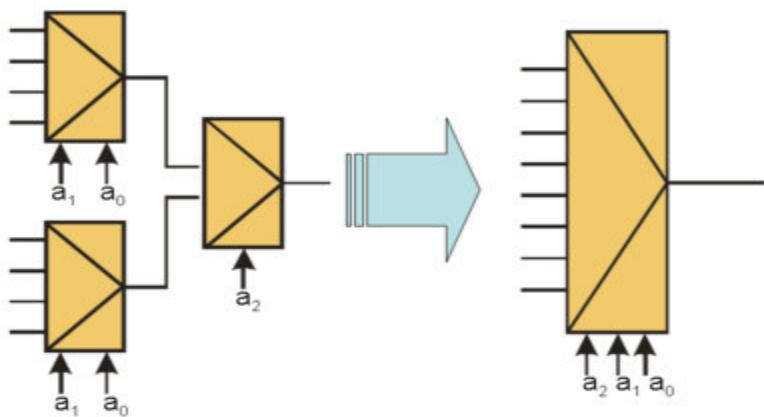
Multiplekser pracuje jako przełącznik. Dla multipleksera o dwóch wejściach adresowych (jak na rysunku) oznacza to, że jeśli sygnały na jego wejściach adresowych są odpowiednio 00, to na wyjściu y pojawi się sygnał taki jak na wejściu informacyjnym oznaczonym 0, podobnie dla adresu 01, będzie to sygnał taki jak na wejściu 1, itd.

Demultiplexer jako przełącznik



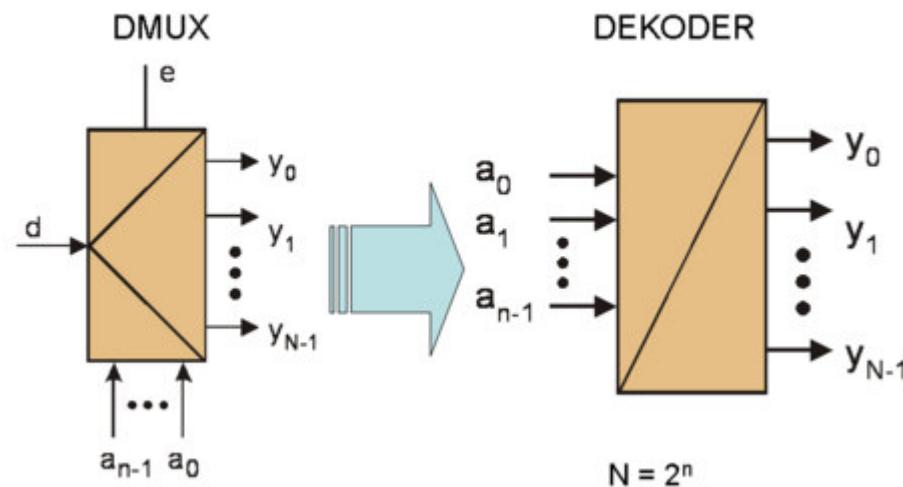
Demultiplexer też pracuje jako przełącznik, ale jego działanie jest przeciwnie do działania multipleksera. W tym przypadku sygnał podany na wejście (informacyjne jest „rozprowadzany” na różne wyjścia. Dla DMUX z rysunku na planszy przy adresie równym 00, sygnał 1 pojawi się na wyjściu oznaczonym 0, (a na pozostałych wyjściach wartość logiczna sygnału będzie 0), przy adresie równym 01, 1 logiczna pojawi się na wyjściu ozn. 1. itd.

Multiplekser kaskadowy



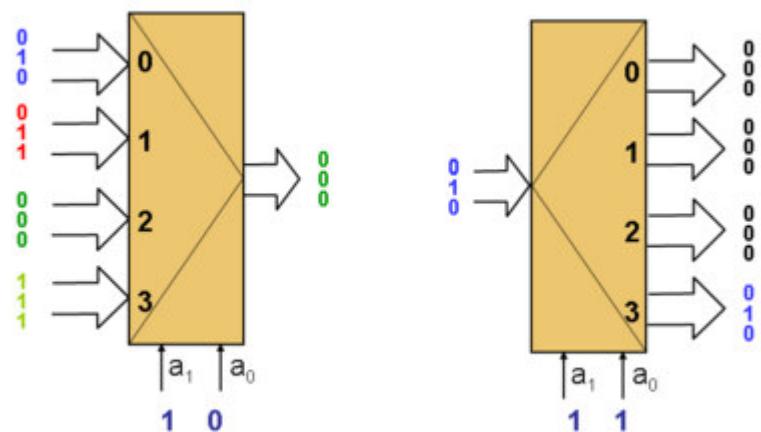
Liczba wejść informacyjnych multipleksera (również demultiplexera) rośnie wykładniczo. Z tych powodów nie realizuje się bezpośrednio multiplekserów o dużej liczbie wejść adresowych (np. większej od czterech), a raczej „składa” się je z mniejszych multiplekserów. Przykład takiego kaskadowego połączenia jest pokazany na rysunku.

Dekoder



Szczególnym przypadkiem demultipleksera jest **dekoder**, w którym przyjmuje się, że do wejścia dzawsze jest dołączony sygnał o wartości logicznej 1. Dlatego wyjście to nie jest dostępne na zewnątrz układu i w rezultacie symbol graficzny dekodera jest nieco inny.

Bloki komutacyjne



Najważniejsze zastosowanie

Dla MUX z rysunku na planszy jego wyjście jest ciągiem 000, gdyż adres 10 przełącza sygnały z wejść informacyjnych oznaczonych cyfrą 2. Dla DMUX na wyjściu oznaczonym 3 pojawiają się sygnały z wejść informacyjnych, czyli 010.

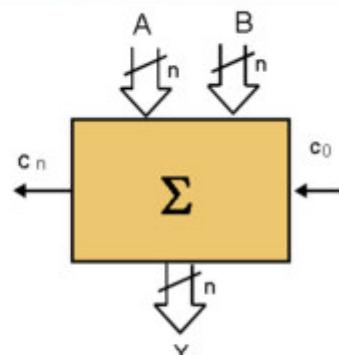
Sumatory

Sumator – podstawowy BF powszechnie stosowany w technice DSP

Inne układy arytmetyczne:

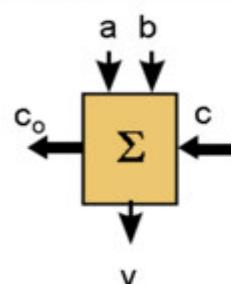
- układy odejmowania
- układy mnożące
- układy dzielenia

... budowane są z sumatorów.



Operację sumowania arytmetycznego $Y = A + B$ realizuje sumator. Na wyjściu Y sumatora powstaje suma liczb binarnych A i B . Ze zrozumiałych względów suma ta, reprezentowana n -bitowym wektorem Y może być „przekłamana”, gdy zapis jej wartości wymagać będzie $n + 1$ bitów. Sytuacja taka jest sygnalizowana na wyjściu przeniesienia c_n sygnałem logicznym 1, a wektor (c_n, Y) jest prawidłowym wynikiem.

Funkcje logiczne sumatora



$$y_i = a_i \oplus b_i \oplus c_i \\ c_{i+1} = ab \vee c_i(a \vee b)$$

a	b	c	c ₀	y
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

$$y = cab \vee c\bar{a}\bar{b} \vee \bar{c}ab \vee \bar{c}\bar{a}b \\ = c(a \oplus b) \vee \bar{c}(a \oplus b)$$

$$y = c \oplus a \oplus b$$

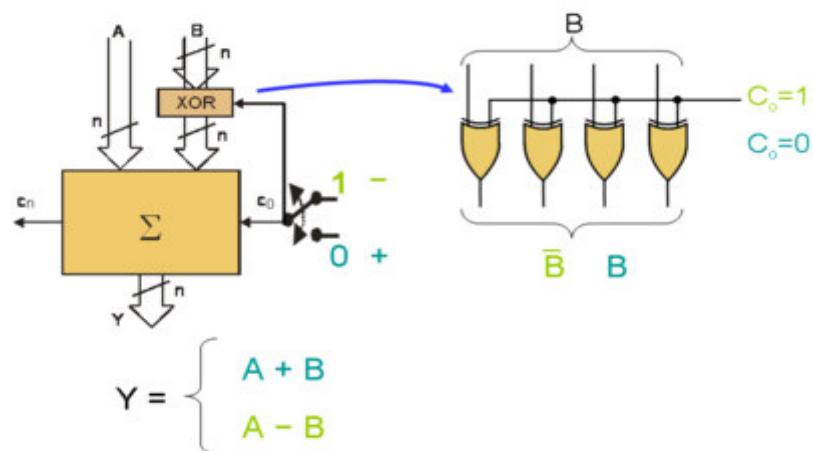
a	b	c	c ₀	y
0	0	0	0	0
1	0	0	1	1

$$c_o = ab \vee c(a \vee b) = ab \vee c(a \oplus b)$$

Działanie pojedynczego ogniwa sumatora można opisać funkcjami boolowskimi y_i, c_{i+1} podanymi w tablicy. Po odpowiedniej minimalizacji (na tablicach Karnaugha) i stosownych przekształceniach uzyskuje się wyrażenia boolowskie bezpośrednio opisujące strukturę pojedynczego ogniwa sumatora (często zwanego sumatorem pełnym i oznaczanego *FA – Full adder*).

Sumator/układ odejmujący

Jak z sumatora zbudować układ odejmujący?



Sumator może być wykorzystany do realizacji operacji odejmowania $Y = A - B$. W tym celu wystarczy wejścia B dołączyć do wejść sumatora za pośrednictwem inwertorów, ale najlepiej jest negować poszczególne bity wektora B za pośrednictwem dwuwejściowych bramek *EXOR*, w sposób pokazany na rysunku. Sposób takiej konstrukcji wynika z zasad działania na liczbach zapisanych w kodzie uzupełnień do dwóch.

Reprezentacje liczb – NKB/U2

$A = \langle a_{n-1}, \dots, a_j, \dots, a_0 \rangle$ gdzie $a_j \in \{0,1\}$

Naturalny Kod Binarny (NKB):

$$A_D = L(A_{NKB}) = \sum_{j=0}^{n-1} a_j 2^j$$

Kod uzupełnień do 2 (U2):

$$A_D = L(A_{U2}) = -a_{n-1} \cdot 2^{n-1} + \sum_{j=0}^{n-2} a_j 2^j$$

Wartość dziesiętna A_D liczby przedstawionej za pomocą wektora zapisanego w NKB $A_{NKB} = \langle a_{n-1}, \dots, a_j, \dots, a_0 \rangle$ wynosi:

$$A_D = L(A_{NKB}) = \sum_{j=0}^{n-1} a_j 2^j$$

Za pomocą wektora A_0 długości n można przedstawić dziesiętne liczby dodatnie z zakresu $0 \leq A_D \leq 2^n - 1$.

Kod NKB służy do zapisu całkowitych liczb dodatnich. Zapis zarówno liczb dodatnich, jak i ujemnych umożliwia często stosowany kod $U2$ (kod uzupełnieniowy do dwóch):

$$A_D = L(A_{U2}) = -a_{n-1} 2^{n-1} + \sum_{j=0}^{n-2} a_j 2^j$$

Kod U2

$A_{U2} = \langle a_{n-1}, \dots, a_j, \dots, a_0 \rangle$, gdzie $a_j \in \{0,1\}$

$$A_D = L(A_{U2}) = -a_{n-1} \cdot 2^{n-1} + \sum_{j=0}^{n-2} a_j 2^j$$

Bit a_{n-1} można interpretować jako bit znaku.
Jeśli $a_{n-1} = 0$, to liczba jest dodatnia;
jeśli $a_{n-1} = 1$ to liczba jest ujemna;
pozostałe bity stanowią uzupełnienie (różnicę) wartości
liczby do najwyższej potęgi liczby 2.

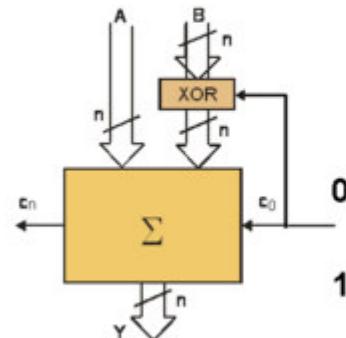
$$\begin{array}{r|l} <0101> & |_{U2} = +5 \\ <1011> & |_{U2} = -5 \end{array} _D$$

$$\text{Zakres: } -2^{n-1} \leq A_D \leq 2^{n-1} - 1$$

W kodzie $U2$ $A_{U2} = \langle a_{n-1}, \dots, a_j, \dots, a_0 \rangle$, gdzie $a_j \in \{0,1\}$.

Bit a_{n-1} można interpretować jako bit znaku. Jeśli $a_{n-1} = 0$, to liczba jest dodatnia; jeśli $a_{n-1} = 1$ to liczba jest ujemna; pozostałe bity stanowią uzupełnienie (różnicę) wartości liczby do najwyższej potęgi liczby 2.

Sumator/układ odejmujący



$$Y = A - B = A + (-B|_{U_2})$$

$$-B|_{U_2} = \overline{B} + 1 = B \oplus 1 + 1$$

Dla $c_0 = 0$

$$Y = A + B \oplus 0 + 0 = A + B$$

Dla $c_0 = 1$

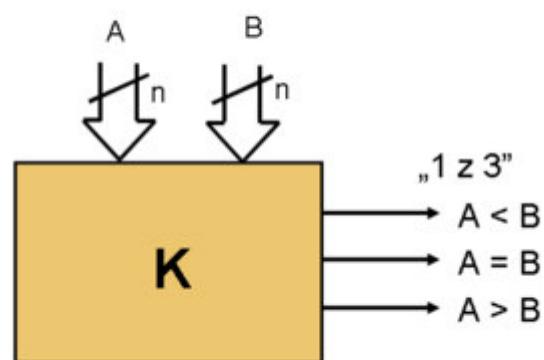
$$Y = A + \overline{B} + 1 = A - B$$

Działanie układu z rys. na planszy można opisać:

$$A + (B \oplus c_0) + c_0, \text{ gdzie } c_0 \in \{0, 1\}$$

Dla $c_0 = 0$ mamy $Y = A + B$, czyli sumowanie. Dla $c_0 = 1$ mamy $Y = A + \overline{B} + 1$; $\overline{B} + 1$ oznacza liczbę $-B$ w kodzie U_2 , zatem $Y = A - B$.

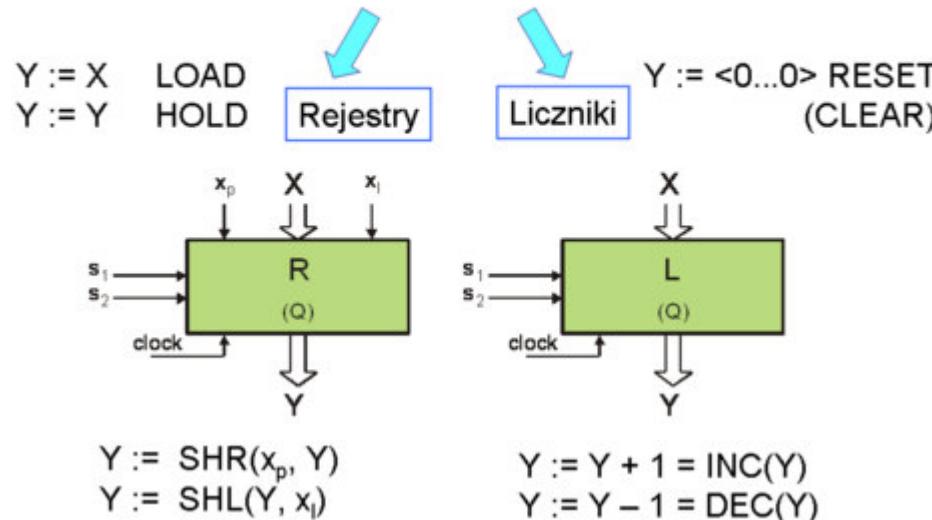
Komparator



Komparator umożliwia porównanie dwóch liczb n-bitowych i określenie czy są sobie równe, a także, która z liczb jest większa, a która mniejsza. Stan logiczny na wyjściach Y_r , Y_w lub Y_m , określa odpowiednio sytuację, gdy: $A = B$, $A > B$, $A < B$.

Sekwencyjne bloki funkcyjonalne

Sekwencyjne bloki funkcyjonalne



Sekwencyjne bloki funkcyjonalne to przede wszystkim rejstry i liczniki. W tak zwanym rejestrze uniwersalnym, oprócz typowych operacji *LOAD* i *HOLD* występują mikrooperacje przesuwania w prawo *SHR*(Shift Right) oraz w lewo *SHL*(Shift Left).

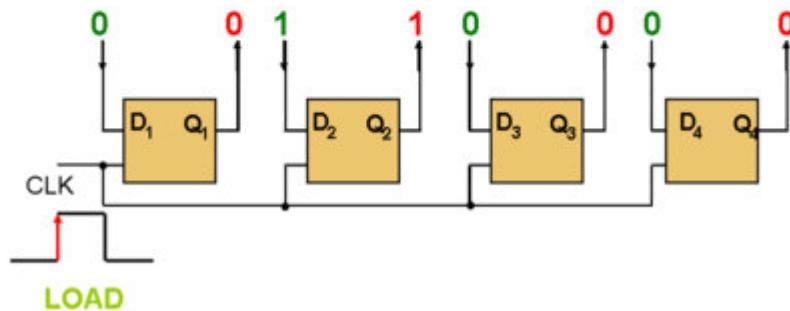
Licznik to rejestr specjalnego typu, dodatkowo wyposażony w mikrooperację zwiększania (zliczania w górę $Y := Y + 1$) lub zmniejszania (zliczania w dół $Y := Y - 1$) jego zawartości. Mikrooperacje te zapisuje się również jako inkrementację lub dekrementację:

$$Y := \text{INC}(Y),$$

$$Y := \text{DEC}(Y),$$

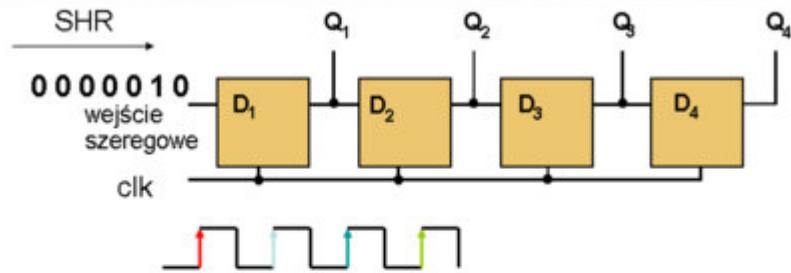
Prosty rejestr

Rejestr zbudowany jest z przerzutników – ładowanie (load) i pamiętanie.



Rejestr to w najprostszym przypadku układ składający się z zespołu przerzutników, z których każdy wykonuje identyczne funkcje. Na rysunku pokazano rejestr zbudowany z czterech przerzutników. Jest on wyposażony w 4 wejścia typu D . W rejestrze takim wpisanie ($LOAD$) nowej zawartości jest dokonywane przez wejścia D_i synchronicznie z zegarem CLK . Inaczej mówiąc, po podaniu na wejścia D_i 4-bitowego słowa i po przyjściu ustalonego zbocza sygnału CLK nastąpi zapamiętanie tego słowa w rejestrze, co znaczy, że pojawi się ono na wyjściach Q_i .

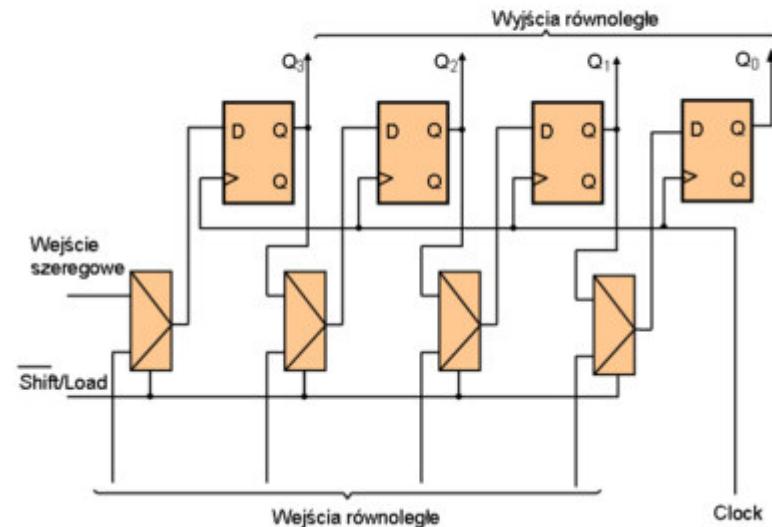
Rejestr przesuwający



WE	Q ₁	Q ₂	Q ₃	Q ₄
0	0	0	0	0
1	1	0	0	0
0	0	1	0	0
0	0	0	1	0
0	0	0	0	1
0	0	0	0	0

Ważnym w zastosowaniach jest rejestr, w którym wejścia i wyjścia są połączone kaskadowo. Taki rejestr nazywa się rejestrem przesuwającym (*shift register*). Pracę rejestru przesuwającego można opisać jak w tablicy na planszy. Pokazano w niej sześć kolejnych stanów rejestru dla kolejnych sześciu impulsów zegarowych, przy założeniu, że pierwotnie rejestr znajdował się w stanie 0000, a na jego wejście D₁ podano szeregowo sekwencję bitów 010000. Z tablicy wynika, że jedynka podana na wejście rejestru (wejście D₁ pierwszego przerzutnika) pojawi się na wyjściu przerzutnika Q₄ po czwartym impulsie zegarowym.

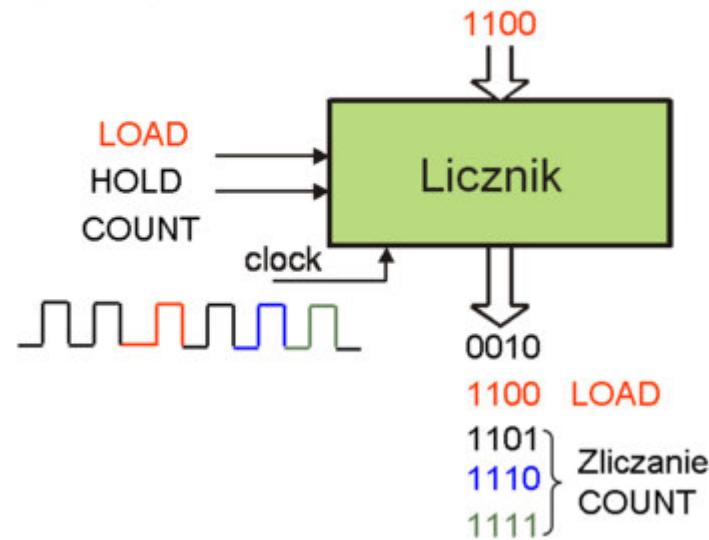
Rejestr przesuwający z wpisem równoległy



Dodając przed wejście każdego przerzutnika multiplekser uzyskuje się rejestr szeregowy z wpisem równoległy. W rejestrze tym sygnał wprowadzony na wejście D przerzutnika jest za pośrednictwem multipleksera pobierany bądź to z wejścia równoległego, bądź szeregowego (dla pierwszego ogniska) lub z wyjścia poprzedzającego przerzutnika. W rezultacie przy sygnale $\text{Shift}/\text{Load} = 0$ w układzie jest wykonywana mikrooperacja przesuwania, a przy $\text{Shift}/\text{Load} = 1$ jest wykonywany wpis równoległy.

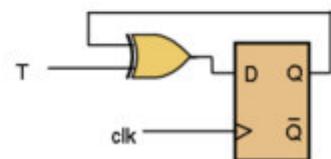
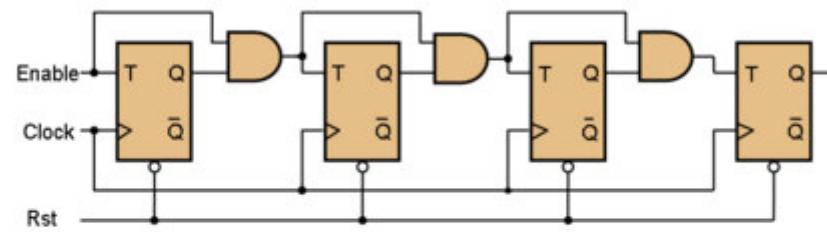
Mikrooperacje licznika

LOAD, HOLD, COUNT



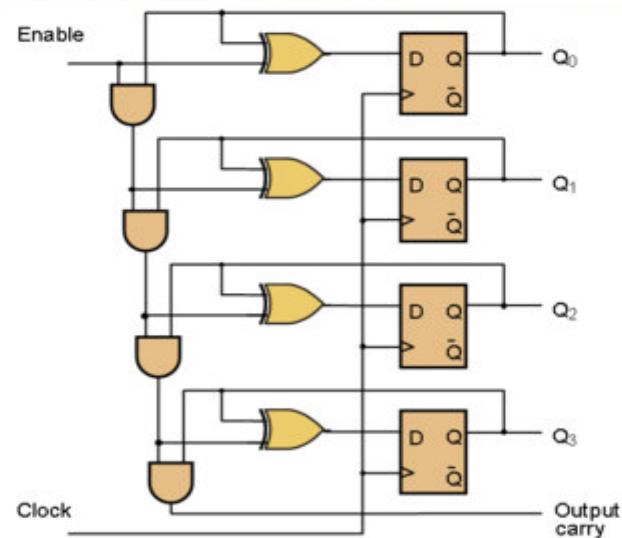
Licznik to rejestr specjalnego typu, dodatkowo wyposażony w mikrooperację zliczania. Rysunek na planszy ilustruje pracę licznika o mikrooperacjach: LOAD, HOLD, COUNT.

Licznik w góre



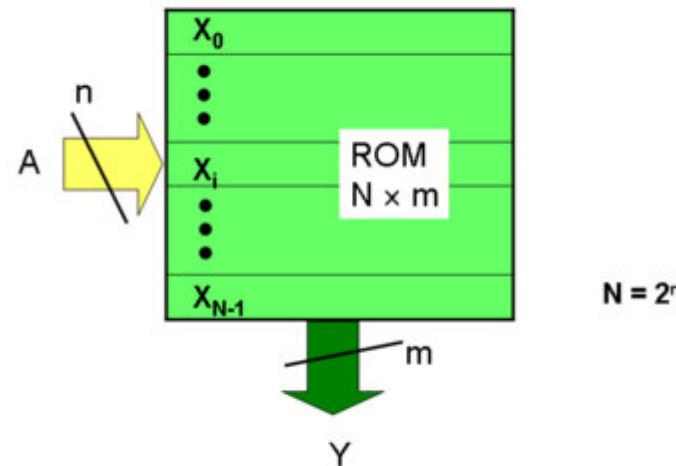
Łatwo sprawdzić, że obliczonym w ten sposób funkcjom wzbudzeń odpowiada schemat logiczny licznika. Rozbudowa tego licznika do układu z wpisywaniem równoległy polega na wykorzystaniu spostrzeżenia, że naturalnym układem do wpisywania jest rejestr zbudowany z przerzutników typu D . Przerzutnik typu T można zbudować z przerzutnika D w sposób pokazany na rysunku.

Licznik z przerzutnikami D



Zastępując każdy przerzutnik T licznika z planszy 10 przerzutnikiem typu D z bramką $EXOR$ uzyskujemy układ, w którym możliwe będzie zrealizowanie dodatkowej mikrooperacji ładowania ($LOAD$).

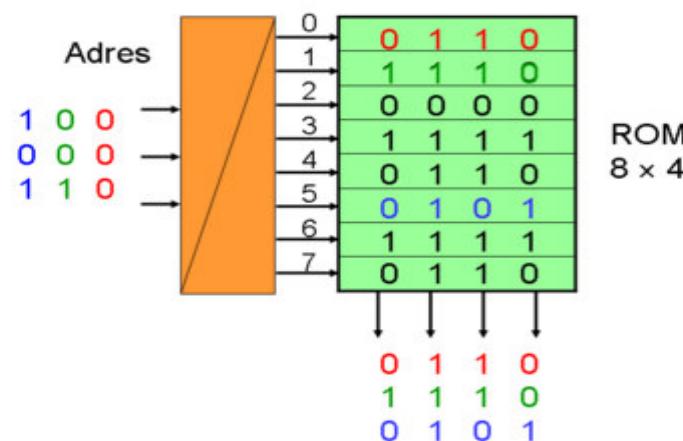
Pamięci typu ROM



ROM – uniwersalny układ kombinacyjny

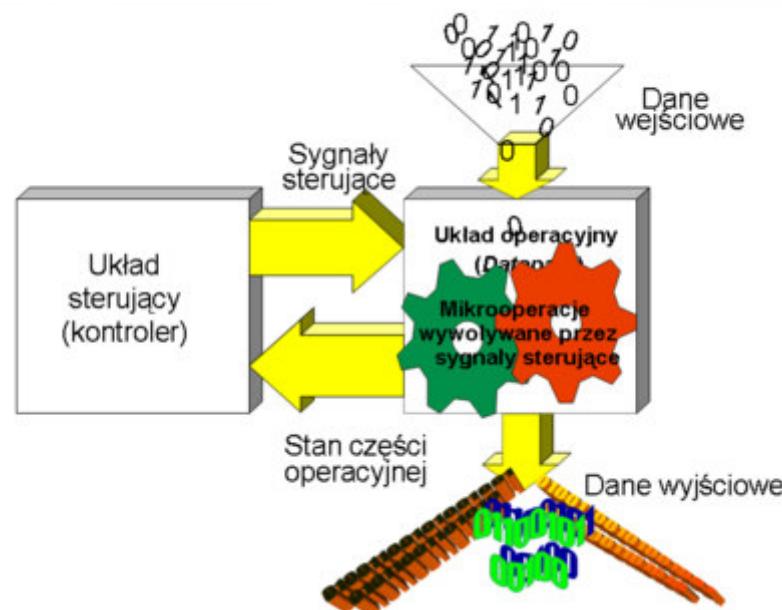
Pamięci stałe typu ROM są układami kombinacyjnymi, w których jest możliwe tylko odczytanie informacji zawartej w strukturze matrycy pamięci. Zapisanie tej informacji odbywa się w procesie technologicznym zwanym programowaniem pamięci. O pamięci, w której wektor adresowy A ma długość n a wektor wyjściowy Y – długość m mówimy, że ma pojemność $N \times m$ bitów (N słów m -bitowych), przy czym $N = 2^n$.

Pamięci typu ROM



Na rysunku przedstawione jest działanie pamięci typu ROM o 3 wejściach adresowych. Sygnały wyjściowe pamięci odpowiadające poszczególnym adresom wyróżniono kolorami.

System cyfrowy

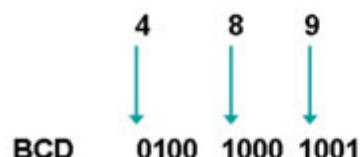


Układ cyfrowy zbudowany ze specjalizowanych bloków funkcjonalnych, z których każdy wykonuje ustalone mikrooperacje, jest nazywany układem operacyjnym (*UO*) lub wykonawczym. Ponieważ mikrooperacje te zgodnie z zadanym algorytmem przetwarzania – muszą być wykonywane sekwencyjnie – to do tak skonstruowanego układu należy doprowadzić odpowiednią sekwencję sygnałów sterujących. Sekwencja ta jest ciągiem słów binarnych tzw. mikrorozkazów, które wytwarzane są w wyodrębnionym układzie sterującym *US*. Jednocześnie informacja o stanie przetwarzania sygnałów wejściowych w wyjściowe jest przekazywana zwrotnie do układu sterującego.

Przykład syntezy strukturalnej

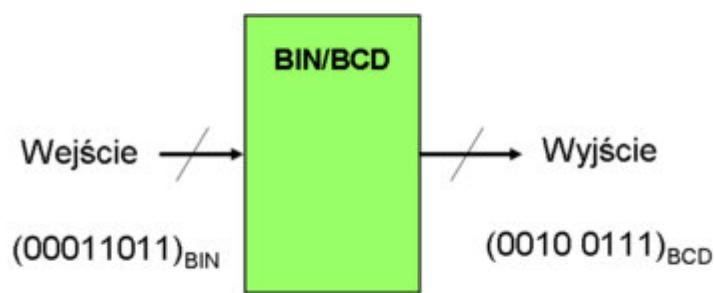
W kodzie BCD (*Binary Coded Decimal*) każda cyfra liczby zapisanej w kodzie dziesiętnym jest przedstawiana czterobitową liczbą binarną.

Przykład: liczba 489 zostanie zapisana jako wektor binarny z wykorzystaniem 12 bitów (3×4 bity).



Syntezę strukturalną układów cyfrowych omówimy na przykładzie układu do konwersji liczby binarnej na liczbę dziesiętną w kodzie BCD (liczbę dziesiętną z cyframi kodowanymi binarnie). W kodzie BCD (*Binary Coded Decimal*) każda cyfra liczby zapisanej w kodzie dziesiętnym jest przedstawiana czterobitową liczbą binarną.

Konwerter Bin2BCD

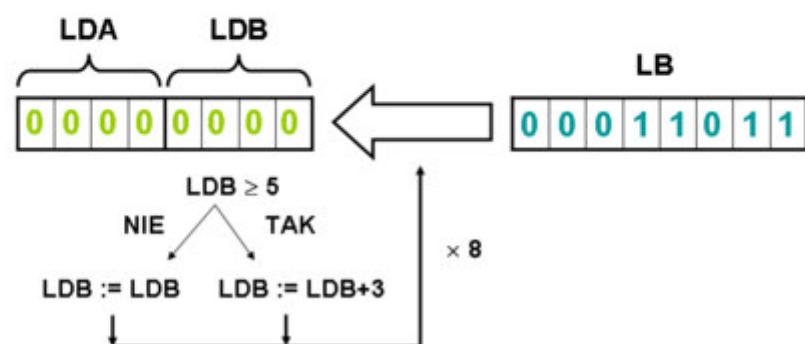


$0 \leq \text{liczby} \leq 99$

Mówiąc poglądowo naszym zadaniem jest zaprojektowanie układu, czyli skonstruowanie go z bloków funkcjonalnych. W celu ograniczenia rozmiarów układu założymy, że przetwarzana liczba binarna może być liczbą 8-bitową, ale mniejszą od 100.

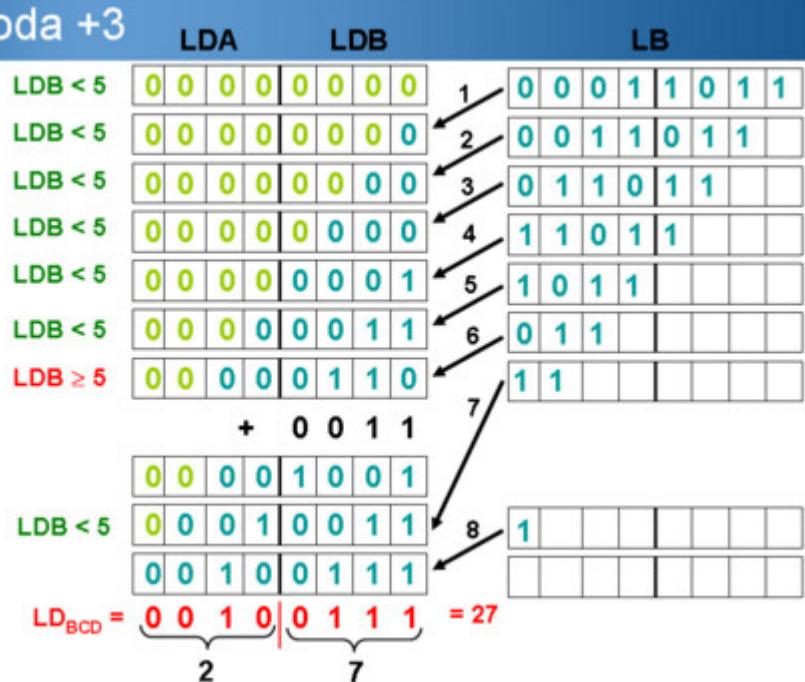
Metoda +3

0 0 0 0 0 0 0 0 $27 = 0\ 0\ 0\ 1\ 1\ 0\ 1\ 1$



Do projektu wykorzystamy algorytm znany pod nazwą „plus 3”. W algorytmie tym liczba przetwarzana binarna jest wprowadzana do 8 bitowego rejestru LB. Liczba w kodzie BCD jest „wytworzana” w dwóch 4 bitowych rejestrach LDA i LDB. W poszczególnych krokach algorytmu wykonywane są następujące czynności. Sprawdzana jest liczba LDB i jeśli jest ona większa lub równa 5, to zawartość tego rejestru jest zwiększana o 3. W przeciwnym przypadku zawartość LDB nie ulega zmianie. Analogiczne czynności wykonywane są dla rejestru LDA. Po sprawdzeniu zawartość wszystkich rejestrów zostaje przesunięta o 1 bit w lewo. Po 8 sekwencjach sprawdzania i przesuwania w rejestrach LDA (część starsza) i LDB (część młodsza) powstanie liczba w kodzie BCD.

Metoda +3



Pracę algorytmu „plus 3” ilustrujemy poglądowo na następującej planszy. Rysunek przedstawia zawartości rejestrów LB, LDB oraz LDA w poszczególnych krokach algorytmu. Do rejestru LB została wprowadzona (binarnie) liczba 27. Zauważmy, że w 6 kroku algorytmu do liczby binarnej 0110 (dziesiętnie 6) została dodana liczba 0011 (czyli 3). Po 8 krokach w rejestrach LDA, LDB ustaliły się liczby 0010 oraz 0111, czyli 27.