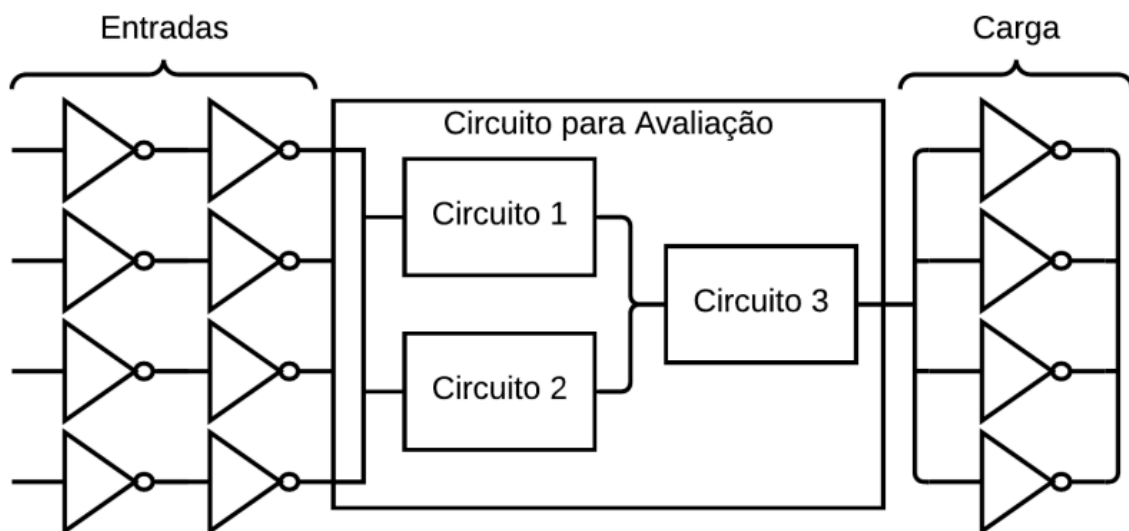

Relatório Técnico – Trabalho de Concepção de Circuitos Integrados

Nome: Alan Souza dos Santos Matrícula: 20102002



• Descrição

Como pode ser observado na figura, temos quatro sinais — A, B, C e D — que passam, cada um, por dois inversores em série. Em seguida, esses sinais entram no DUT (Device Under Test). Na saída do DUT, há um fanout4, composto por quatro inversores em paralelo.

• Ambiente de Simulação

O trabalho foi realizado com o auxílio de duas ferramentas principais:

- **LTSpice**
- **SwiftCraft**

Ambas contribuíram significativamente na produção deste trabalho. No **LTSpice**, foi criado o código e realizadas as simulações. Já o **SwiftCraft** auxiliou na visualização da tabela verdade e da disposição dos transistores.

• Vetor de Entrada

Para o vetor de entrada, foi criada uma combinação para que os sinais **A**, **B**, **C** e **D** representassem a tabela verdade de **0000 a 1111**. Assim, o sinal **A** varia a cada $2n$, **B** a cada $4n$, **C** a cada $8n$ e **D** a cada $16n$, garantindo uma simulação completa com um total de $32n$.

A partir disso, foram definidos os seguintes arcos de transição: **A000**, **1B00**, **A100**, **01C0**, **A110**, **1B10** e **A010**. Em cada transição (arco), apenas um dos sinais **A**, **B**, **C** ou **D** sofre variação, enquanto os demais permanecem constantes. Isso permite analisar isoladamente a influência de cada entrada sobre a saída do circuito.

Circuitos

• Considerações Iniciais

Não foi realizada a otimização das expressões lógicas de **F1**, **F2** e **F3**, optou-se por utilizar as fórmulas exatas fornecidas pelo professor.

• Metodologia

Para a criação dos circuitos, foi adotada a estratégia de desenvolver as portas lógicas básicas previamente, a fim de montar as expressões **F1**, **F2** e **F3**. Essa abordagem visa maior modularidade e facilidade de montagem e manutenção, evitando circuitos altamente específicos para cada função.

• Logical Effort

Foram montados os seguintes circuitos básicos:

- **Inverter (Inversor)**: tamanho mínimo 1.
- **AND**: composta por uma porta **NAND** seguida de um **Inversor**, resultando em um valor aproximado de **2,34**.
- **OR**: composta por uma **NOR** seguida de um **Inversor**, com valor aproximado de **2,67**.

Esses valores foram verificados por meio das medições de atraso, sendo que o melhor desempenho foi observado em torno de **2,4**.

• Circuito F1

$$F1 = \neg(A * D) + \neg(B * C)$$

• Circuito F2

$$F2 = ((!A * !B * !C) + (!A * B * C) + (A * !B * C) + (A * B * !C))$$

• Circuito F3

$$F3 = F1 + F2$$

Medidas de Atraso

A partir dos dados de simulação, é possível identificar os atrasos (delays) ocorridos entre a mudança no sinal de entrada e a resposta correspondente na saída. A tabela a seguir apresenta os valores obtidos:

<i>Nome</i>	<i>Atraso(segundos)</i>
<i>delay_a000hl</i>	<i>1.19542e-10</i>
<i>delay_a000lh</i>	<i>1.40481e-10</i>
<i>delay_1b00lh</i>	<i>1.14328e-10</i>
<i>delay_a100hl</i>	<i>8.32205e-11</i>
<i>delay_a100lh</i>	<i>1.07288e-10</i>
<i>delay_01c0lh</i>	<i>9.92064e-11</i>
<i>delay_a110hl</i>	<i>9.14832e-11</i>
<i>delay_1b10lh</i>	<i>1.55917e-10</i>
<i>delay_a010hl</i>	<i>9.61174e-11</i>
<i>delay_a010lh</i>	<i>1.13132e-10</i>
<i>delay_1b10hl</i>	<i>1.14117e-10</i>

Pode-se observar que o maior atraso ocorreu no arco *delay_1b10lh*, com um valor aproximado de 155,917 ps. Esse resultado está dentro de um intervalo aceitável para circuitos deste porte, embora represente o caso mais crítico entre os arcos analisados.

Além disso, verifica-se uma tendência comum em projetos digitais: os atrasos de transição do tipo Low-to-High (LH) tendem a ser maiores do que os de High-to-Low (HL), devido à diferença nas características de condução entre pull-up e pull-down em transistores CMOS.

Medidas de Consumo

A partir dos dados de simulação, é possível identificar o consumo de corrente associado a diferentes padrões de entrada em regime quase estático (sem comutação intensa). A tabela a seguir apresenta os valores médios de corrente obtidos para cada entrada avaliada:

<i>Nome</i>	<i>Entrada</i>	<i>Corrente</i>
static_current_1000	1000	3.7154e-006
static_current_0000	0000	5.64448e-006
static_current_1100	1100	8.49902e-006
static_current_0100	0100	9.50433e-006
static_current_0110	0110	6.71145e-006
static_current_1110	1110	7.89664e-006
static_current_1010	1010	1.35322e-005
static_current_0010	0010	9.3186e-006

Além disso, foi obtido o valor de **corrente média total do circuito** ao longo do intervalo de simulação:

- **Corrente média geral:** 5.45073e-06 A

Com base nesses dados, observa-se que a entrada 1010 apresentou o maior consumo de corrente média, com valor de aproximadamente **13,5 μ A**. Esse tipo de análise é importante para prever o pior caso de consumo estático em operação real.

Extra

Visando a modularidade do projeto, também foram realizadas medições individuais nas portas lógicas básicas utilizadas: **AND**, **OR**, **Inversor** e **Fan-Out 4**.

Esses testes permitiram validar o comportamento de cada bloco separadamente, garantindo maior confiabilidade na montagem e facilitando futuras otimizações.

Conclusão

A simulação e análise dos circuitos F1, F2 e F3 permitiram validar suas funcionalidades lógicas, bem como avaliar seu desempenho em termos de atraso de propagação e consumo de corrente. Os resultados mostraram consistência com o comportamento esperado para circuitos CMOS. O uso de ferramentas como LTSpice e SwiftCraft foi essencial para a visualização dos detalhes do projeto e a obtenção de métricas precisas.