



1ª Lista de Exercícios

Observações gerais:

- Os exercícios desta lista não serão cobrados. Entretanto, é altamente recomendável que os alunos tentem resolvê-los, a fim de se prepararem minimamente para a 1ª prova.
- Para os exercícios 1, 2, 3, 4 e 5 assumir operandos com n bits.

Exercício 1 (Unidade funcional extratora de módulo)

Utilizando um subtrator como elemento básico (e eventualmente, outros componentes RT e/ou portas lógicas), desenhe o esquemático no nível RT de uma unidade funcional (UF) que recebe um número inteiro com sinal **A**, representado em binário (assumindo negativos representados em complemento de dois), e fornece em sua saída o módulo deste número ($S = |A|$). Comente o problema do *overflow*, (e se necessário, redesenhe a UF solicitada), considerando as seguintes situações:

- A entrada e a saída desta UF (**A** e **S**, respectivamente) possuem n bits.
- A entrada desta UF (**A**) possui n bits, ao passo que a saída (**S**) possui $n+1$ bits.

Exercício 2 (Unidade funcional “max”)

Utilizando um subtrator como elemento básico (e eventualmente, outros componentes RT e/ou portas lógicas), desenhe o esquemático no nível RT de uma unidade funcional (UF) que recebe dois números inteiros com sinal **A** e **B**, representados em binário (assumindo negativos representados em complemento de dois), e fornece em sua saída o maior dentre eles ($S = \max\{A, B\}$). Uma eventual situação de *overflow* no subtrator não deve afetar o resultado. Observação: assumo que o subtrator seja capaz de operar sobre números inteiros (positivos e negativos) representados em binários com n bits.

Exercício 3 (Unidade funcional “min”)

Utilizando um subtrator como elemento básico (e eventualmente, outros componentes RT e/ou portas lógicas), desenhe o esquemático no nível RT de uma unidade funcional (UF) que recebe dois números inteiros com sinal **A** e **B**, representados em binário (assumindo negativos representados em complemento de dois), e fornece em sua saída o menor dentre eles ($S = \min\{A, B\}$). Uma eventual situação de *overflow* no subtrator não deve afetar o resultado. Observação: assumo que o subtrator seja capaz de operar sobre números inteiros (positivos e negativos) representados em binários com n bits.

Exercício 4 (Unidade funcional combinada “min/max”)

Utilizando um subtrator como elemento básico (e eventualmente, outros componentes RT e/ou portas lógicas), desenhe o esquemático (RT) de uma unidade funcional (UF) que recebe dois números inteiros com sinal **A** e **B**, representados em binário (assumindo negativos representados em complemento de dois), e fornece em sua saída o menor ou o maior dentre eles, conforme um sinal de controle **op**. A operação desta unidade funcional combinada está detalhada na Tab. 1. Uma eventual situação de *overflow* no subtrator não deve afetar o resultado. Observação: assumo que o subtrator seja capaz de operar sobre números inteiros (positivos e negativos) representados em binários com n bits.

Tab. 1 - Funcionamento desejado para a unidade funcional "min/max".

op	operação
0	$S = \max\{A, B\}$
1	$S = \min\{A, B\}$

Exercício 5 (Deslocador programável ou *barrel shifter*)

Utilizando multiplexadores 2:1 (no nível lógico) e eventualmente, portas lógicas, desenhe o esquemático do nível lógico de um deslocador programável que recebe como entrada um número binário de 4 bits **E** e o desloca para a direita “**i**” bits (“**i**” $\in \{0,1,2,3\}$), conforme detalhado pela Tab. 2.

Observar ainda as seguintes restrições:

- Este deslocador possui uma entrada lateral, pela qual é (são) fornecido(s) o(s) bit(s) que entra(m) pela esquerda, no caso de $i = 1$ ($i > 2,3$);
- O número de multiplexadores deve ser mínimo;
- O número de portas lógicas usadas no controle deste multiplexador deve ser mínimo.

Tab. 2 - Funcionamento do deslocador programável a ser projetado nesta questão.

op1	op0	Operação
0	0	$S = E$
0	1	$S = E \gg 1$
1	0	$S = E \gg 2$
1	1	$S = E \gg 3$

Observação: representar cada multiplexador 2:1 (nível lógico) pelo seu símbolo, conforme revisado em aula.

Exercício 6 (Temporização em registradores de carga paralela)

Suponha que o registrador de carga paralela da Fig. 1 possua as características temporais indicadas na Tab. 3. Nesta situação, complete a forma de onda para o sinal **Q**, na Fig. 2.

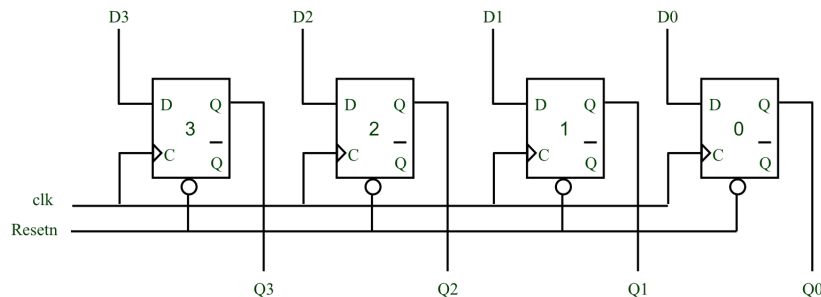


Fig. 1 – Registrador com carga paralela.

Tab. 3 - Características temporais do registrador com carga paralela da Fig. 1.

Característica	valor
Tempo de setup (t_{su})	2 ns
Tempo de hold (t_h)	2 ns
Tempo de carga (t_{co})	5 ns

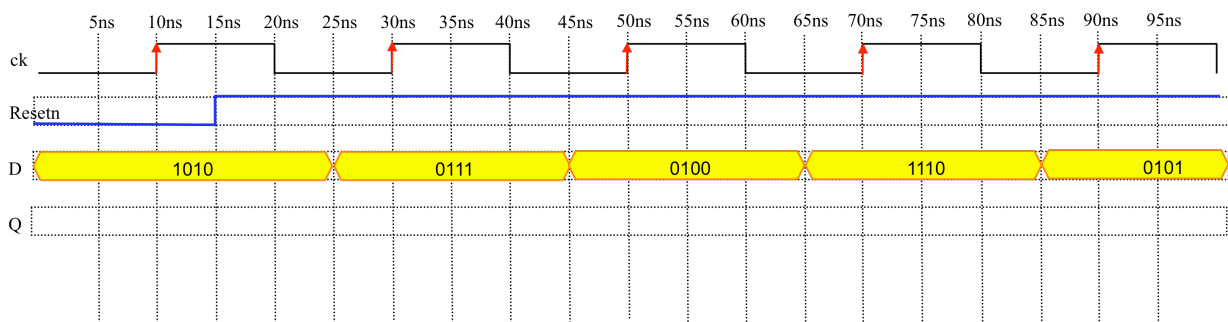


Fig. 2 – Formas de onda para sinais aplicados nas entradas do registrador com carga paralela da Fig. 1 e consequente forma de onda do sinal **Q** (a completar).

Exercício 7 (Temporização em registradores de carga paralela)

Suponha que o registrador de carga paralela da Fig. 3 possua as características temporais indicadas na Tab. 4. Nesta situação, complete a forma de onda para o sinal Q, na Fig. 4.

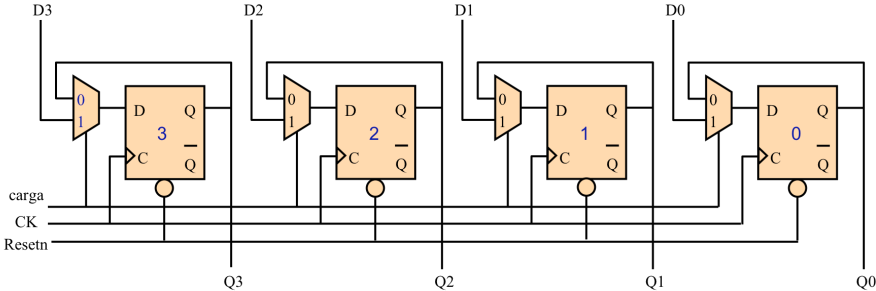


Fig. 3 – Registrador com carga paralela.

Tab. 4 - Características temporais do registrador com carga paralela da Fig. 3.

Característica	valor
Tempo de setup (t_{su})	2 ns
Tempo de hold (t_h)	2 ns
Tempo de carga (t_{co})	5 ns

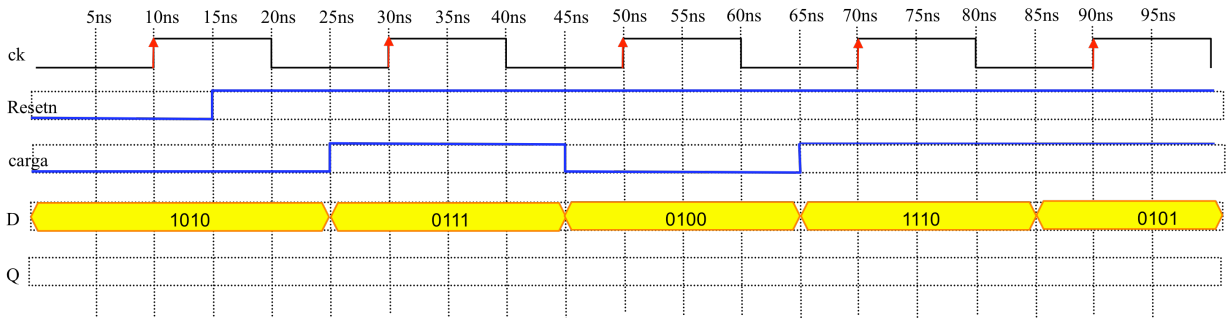


Fig. 4 – Formas de onda para sinais aplicados nas entradas do registrador com carga paralela da Fig. 3 e consequente forma de onda do sinal Q (a completar).

Exercício 8 (Processamento Monociclo)

A Tab. 5 mostra as características temporais dos componentes do circuito digital mostrado na Fig. 5.

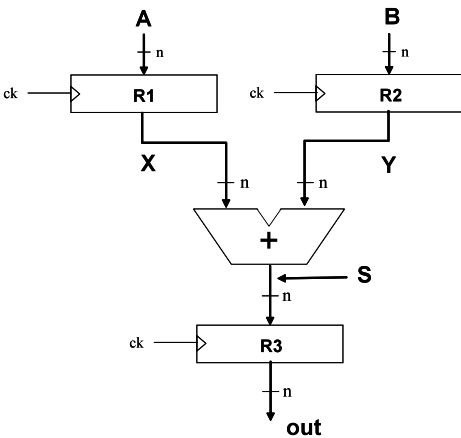


Fig.5 – Circuito digital: um somador com registradores de entrada e saída.

Tab. 5 - Características temporais dos componentes do circuito digital da Fig. 5.

Característica	valor
Tempo de setup (t_{su}) para R1, R2 ou R3	1 ns
Tempo de hold (t_h) para R1, R2 ou R3	1 ns
Tempo de carga (t_{co}) para R1, R2 ou R3	2 ns
Atraso crítico do somador (t_{ds})	2 ns

- Complete as formas de onda da Fig. 6, de modo a minimizar o período do relógio (ck). Suponha que os dados nas entradas dos registradores R1 e R2 (i.e., sinais **A** e **B**) são aplicados ao mesmo tempo.
- Desenhe a forma de onda para o relógio.
- Qual é o período mínimo do relógio, em ns?

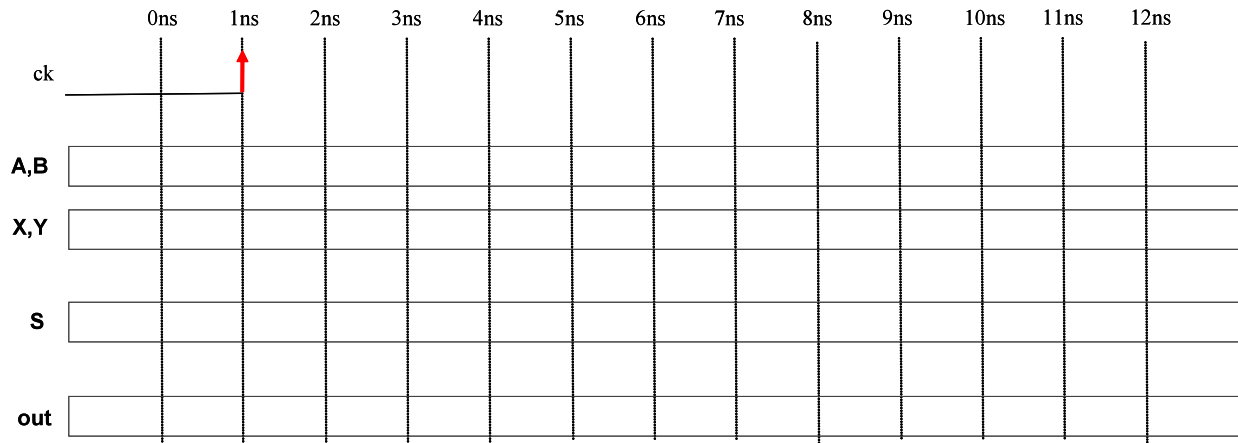


Fig. 6 – Formas de onda nas entradas e nos sinais internos do circuito da Fig. 5, para período mínimo do relógio e forma de onda do relógio (a completar).

Exercício 9 (Processamento Monociclo *versus* Processamento Multiciclo)

As Figs. 7a e 7b mostram os diagramas no nível RT dos blocos operativos (BOs) de ULA1 e ULA2 respectivamente, os quais foram projetados para calcular o somatório de 4 operandos inteiros sem sinal, representados em binário com 8 bits ($S=A+B+C+D$), considerando que os operandos A, B, C e D são fornecidos um a um a, em bordas de relógio consecutivas.

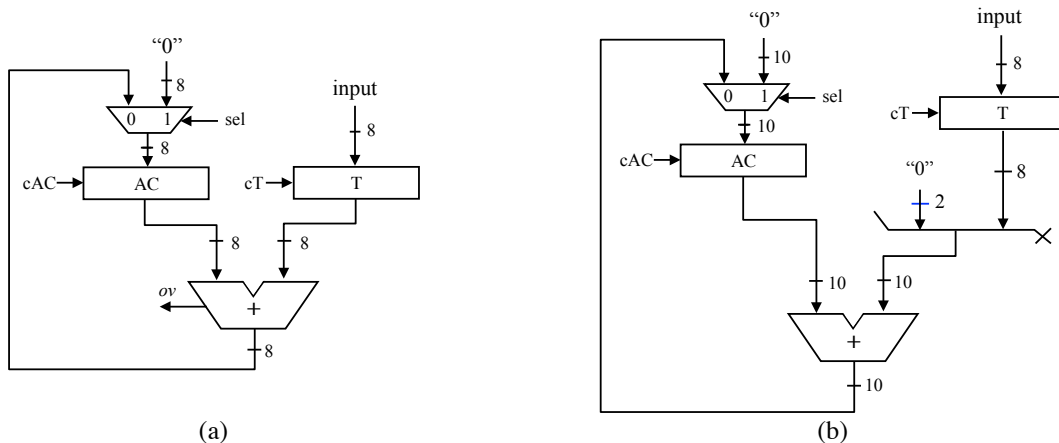


Fig. 7 – Blocos operativos (BOs) de ULA1 (a) e de ULA2 (b).

- Escreva a sequência de operações do nível RT para que o somatório $S=A+B+C+D$ descrito no enunciado desta questão seja realizado em 5 passos (i.e., 5 ciclos de relógio). Siga o padrão utilizado no slide 3T.5.

Para os itens que envolvem cálculos de atrasos, considere que os componentes dos BOs de ULA1 e de ULA2 possuem as características temporais mostradas na Tab. 6. Considere também que o tempo para geração dos sinais de comando **sel**, **cAC** e **cT** seja desprezível.

Tab. 6 - Características temporais dos componentes do bloco operativo da Fig. 1.

característica	símbolo	valor [ns]
Tempo de setup de qualquer registrador	tsu	0,5
Tempo de hold de qualquer registrador	th	0,5
Tempo de carga de qualquer registrador	tco	1,0
Atraso crítico do mux 2:1	tdmux	0,5
Atraso crítico de um somador completo (full adder)	tds	0,5

b) Complete no diagrama da Fig. 8 as formas de onda para os dois primeiros ciclos de relógio (t_0-t_1 e t_1-t_2) do cálculo $S=A+B+C+D$ quando executado no BO ULA1 (Fig. 7a), considerando a máxima frequência de execução possível. Assuma que cada divisão do eixo dos tempos corresponda a 0,5ns.

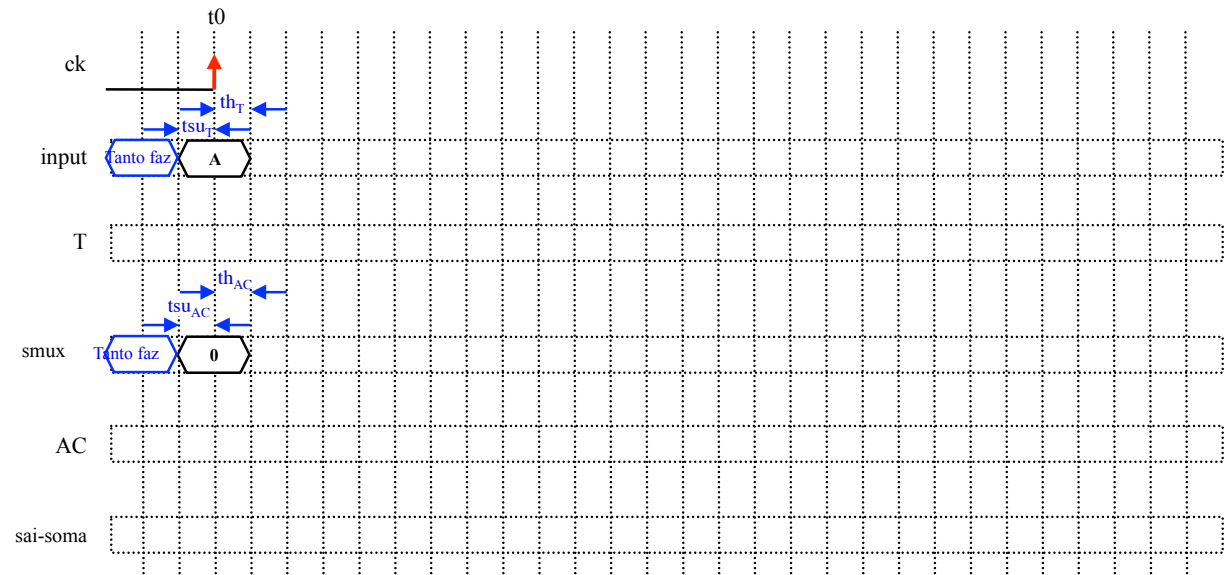


Fig. 8 – Formas de onda para os dois primeiros ciclos de relógio do cálculo $S=A+B+C+D$ quando executado no BO ULA1 (Fig. 7a), para máxima frequência de execução (a completar).

Com base nas formas de onda desenhadas no item anterior, responda aos três itens que seguem.

- c) Qual é o valor do atraso crítico do BO ULA1?
- d) Quais são as parcelas que compõem o atraso crítico do BO ULA1? Use os símbolos descritos na Tab. 6.
- e) Calcule a frequência máximo do relógio que pode ser aplicado ao BO ULA1.

- f) Considerando que o somatório $S=A+B+C+D$ seja executado em 5 passos (i.e., 5 ciclos de relógio) no BO ULA1 (Fig. 7a), complete o diagrama de estados de nível RT (FSMD) da Fig. 9.

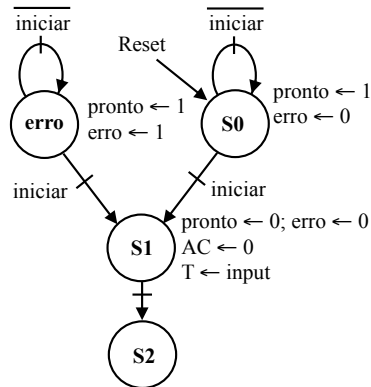


Fig. 9 –FSMD para o BO ULA1 executar o somatório $S=A+B+C+D$ em cinco ciclos de relógio (a completar).

- g) Considerando que o somatório $S=A+B+C+D$ seja executado em 5 passos (i.e., 5 ciclos de relógio) no BO ULA2 (Fig. 7b), complete o diagrama de estados de nível RT (FSMD) da Fig. 10.

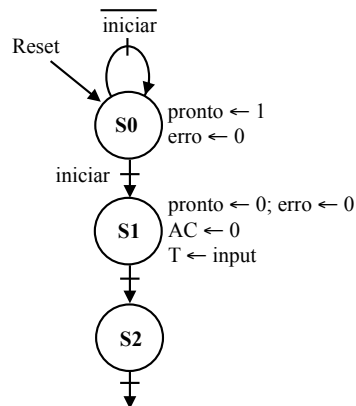


Fig. 10 –FSMD para o BO ULA2 executar o somatório $S=A+B+C+D$ em cinco ciclos de relógio (a completar).

- h) Calcule o tempo de execução para ULA1 completar o cálculo do somatório $S=A+B+C+D$ (Texec(ULA1)), quando não ocorre *overflow*. Neste cálculo, desconsidere os estados S0 e erro. Identifique as parcelas envolvidas.

$\text{Texec(ULA1)} =$

- i) Calcule o tempo de execução para ULA2 completar o cálculo do somatório $S=A+B+C+D$ (Texec(ULA2)). Neste cálculo, desconsidere o estado S0. Identifique as parcelas envolvidas.

$\text{Texec(ULA2)} =$

- j) Desenhe o diagrama no nível RT de um bloco operativo (BO) de custo mínimo e de atraso mínimo, que seja capaz de realizar o somatório $S=A+B+C+D$ em um único ciclo de relógio. Considere que, a cada ciclo de relógio uma nova quadra de operandos de entrada (A, B, C, D) é fornecida, de modo que os registradores são carregados diretamente com o sinal de relógio (i.e., não possuem sinal de carga individual). Doravante, este BO será referenciado por ULA3.

- k) Calcule o tempo de execução para ULA3 completar o cálculo do somatório $S=A+B+C+D$ (Texec(ULA3)). Identifique as parcelas envolvidas.

$\text{Texec(ULA3)} =$

- l) Considerando os custos, em termos de número de transistores por bit, mostrados na Tab. 7, mostre os cálculos dos custos dos BOs ULA1, ULA2 e ULA3.

Tab. 7 - Custos dos componentes dos BOs ULA1, ULA2 e ULA, em número de transistores por bit (n).

Componente do Nível RT	Custo
Somador	$24 \times n$
Mux 2:1	$4 \times n$
Registrador com carga paralela	$18 \times n$
Registrador com carga paralela controlada (i.e., com sinal de habilitação de carga)	$22 \times n$
Fios e demais componentes não citados	desprezível

- m) Compare as três versões de BOs desta questão (ULA1, ULA2 e ULA3), em termos de custo e tempo de execução do cálculo $S=A+B+C+D$.
- n) Desenhe o diagrama de estados (FSM) que corresponde à FSMD da Fig. 9.
- o) Assumindo o modelo de Moore, esboce o diagrama para o bloco de controle (BC) do BO ULA1 (Fig. 7a).
- p) Crie a tabela de transição de estados e a tabela de sinais de saída para o bloco de controle (BC) do BO ULA1 (Fig. 7a).
- q) Assumindo a “Codificação 1” mostrada na Tab. 8, encontre as equações de estados e as equações de saída (todas minimizadas) para o BC do BO ULA1 (Fig. 7a).
- r) Assumindo a “Codificação 2” mostrada na Tab. 8, refaça o item anterior. Neste caso, não é preciso minimizar as equações. Como se chama a “Codificação 2”?

Tab. 8 – Codificações para os estados do BC do BO ULA1.

Estado	Codificação 1									
	Q2	Q1	Q0	Q6	Q5	Q4	Q3	Q2	Q1	Q0
E	1	1	1	1	0	0	0	0	0	0
S0	0	0	0	0	0	0	0	0	0	1
S1	0	0	1	0	0	0	0	0	1	0
S2	0	1	0	0	0	0	0	1	0	0
S3	0	1	1	0	0	0	1	0	0	0
S4	1	0	0	0	0	1	0	0	0	0
S5	1	0	1	0	1	0	0	0	0	0