



## 4ª Lista de Exercícios

### Observações:

Os exercícios desta lista não serão cobrados. Porém, é altamente recomendável que os alunos tentem resolvê-los, a fim de se prepararem minimamente para a 3ª prova semestral.

Para resolver os exercícios desta lista, considere o processador MIPS multiciclo estudado em aula, cujo diagrama (bloco operativo + bloco de controle) é mostrado na Fig. 1 (ao final desta lista de exercícios). As Tabs. 1 e 2 (também ao final desta lista) apresentam, respectivamente, a descrição no nível RT das operações realizadas em cada estado de execução e as características temporais dos componentes do MIPS multiciclo. A Fig. 2 (ao final desta lista) mostra o diagrama de estados do bloco de controle do MIPS multiciclo.

### Exercício 1

Considerando o MIPS multiciclo estudado em aula, responda:

- Quais estados escrevem (ou podem escrever) no PC?
- Quais estados utilizam a ULA?
- Quais estados acessam a Memória?
- Quais estados acessam o Banco de Registradores?
- Qual é a função geral dos registradores temporários do bloco operativo do MIPS multiciclo?
- A cada borda ativa do relógio o registrador temporário ULASaída é carregado com o resultado da ULA. Em quais estados e/ou para quais instruções seu conteúdo tem utilidade para o funcionamento do MIPS multiciclo?
- Por que o registrador PC possui um sinal de carga?
- Por que o registrador RI possui um sinal de carga?
- No MIPS a instrução `addi` é definida da seguinte maneira.

Mnemônico	Instrução	Linguagem de Montagem	Significado
<code>addi</code>	Adição imediata	<code>addi \$s1, \$s2, const</code>	$\$s1 \leftarrow \$s2 + \text{const}$

Considerando os estados (e as operações do nível RT) mostradas na Tab. 1, qual seria a sequência de estados para executar esta instrução?

### Exercício 2

- Usando os símbolos mostrados na Tab. 2 (ao final desta lista de exercícios), escreva a **expressão analítica** para calcular o TE de qualquer um dos sinais de controle do MIPS multiciclo. A seguir, calcule este valor, mostrando-o em ps (picossegundos). Mostre os detalhes deste cálculo.

TE(qq sinal de controle) =

- Escreva as expressões analíticas para calcular os TEs (tempos de estabilização) dos sinais necessários para realizar a operação do nível RT “ULASaída = A + extensão de sinal (RI[15-0])” do **estado 2** do MIPS multiciclo. Estas expressões devem usar, sempre que possível, os TEs de sinais topologicamente anteriores (seguindo a ordem de propagação).
- Calcule TE(Resultado) para a operação do nível RT “ULASaída = A op B”, realizada no estado 6 do MIPS multiciclo desta questão.

- d) Usando o conceito de TEs (tempos de estabilização) dos sinais e os valores apresentados na Tab. 2, calcule  $D(\text{Estado } 0)$ , i.e., o atraso crítico do **estado 0**. Mostre as expressões analíticas de todos os TEs envolvidos.
- e) Usando o conceito de TEs (tempos de estabilização) dos sinais e os valores apresentados na Tab. 2, calcule  $D(\text{Estado } 0)$ , i.e., o atraso crítico do **estado 3**. Mostre as expressões analíticas de todos os TEs envolvidos.
- f) Qual ou quais estados determinam o atraso crítico do MIPS multiciclo? Justifique, usando os valores calculados nos itens anteriores. Escreva o caminho crítico deste(s) estado(s).
- g) Calcule a frequência máxima de relógio para este MIPS multiciclo, mostrando-a em GHz (Gigahertz).
- h) Calcule  $D(\text{LPE})$ , i.e., o atraso crítico da Lógica de Próximo Estado do MIPS multiciclo. Mostre a expressão analítica.

## Exercício 2

Seja o trecho de programa em linguagem de montagem do MIPS descrito na Fig. 3. Considere também versões de MIPS monociclo e multiciclo com os seguintes períodos de relógio:  $T_{\text{mono}}=10\text{ns}$  e  $T_{\text{multi}}=4\text{ns}$ .

menor:	subi	\$sp, \$sp, 4
	sw	\$s0, 0(\$sp)
	slt	\$t0, \$a0, \$a1
	beq	\$t0, \$zero, else
	add	\$s0, \$a0, \$zero
	j	prox
else:	add	\$s0, \$a1, \$zero
prox:	add	\$v0, \$s0, \$zero
	lw	\$s0, 0(\$sp)
	addi	\$sp, \$sp, 4
	jr	

Fig. 3 – Trecho de programa em linguagem de montagem do MIPS.

- a) Calcule a frequência de relógio para as duas versões de MIPS.
- b) Calcule o tempo de execução, em ns, do trecho de código da Fig. 3 em cada uma das duas versões de MIPS.
- c) Qual é o CPI médio do trecho de código da Fig. 3 quando executado no MIPS monociclo? E no multiciclo? Explique e ou mostre os cálculos.

## Exercício 3

Um programa P, escrito para o MIPS, possui N instruções distribuídas conforme mostrado na Tab. 3.

Tab. 3 – "Mix" de instruções do programa P, quando compilado para o MIPS.

tipo de instrução	% do total (N)
R	40%
lw	20%
sw	10%
beq	20%
j	10%

- a) Calcule a relação  $T_{\text{multi}}/T_{\text{mono}}$  (período do MIPS multiciclo pelo período do MIPS monociclo) para que o tempo de execução de P no MIPS multiciclo seja igual ao tempo de execução de P no MIPS monociclo.

- b) A relação  $T_{\text{multi}}/T_{\text{mono}}$  obtida no item anterior é factível? Comente.

#### Exercício 4

Considerando o processador MIPS multiciclo visto em aula, responda os itens que seguem.

- a) Usando a codificação de estados apresentada na Tab. 4 e baseando-se na Tab. 5, crie uma Tabela de Transição de Estados contendo somente valores binários.

multiciclo.

Tab. 4 – Uma codificação para os estados da FSM da Fig. 2.

Estado	Q3	Q2	Q1	Q0
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1

- b) Obtenha as equações em soma de produtos (não necessariamente minimizadas) para as variáveis de próximo estado  $Q3^+$ ,  $Q2^+$ ,  $Q1^+$ ,  $Q0^+$ .
- c) Usando a codificação de estados apresentada na Tab. 4, complete na Tab. 6 os valores binários dos estados e os valores dos sinais de saída (comando). Observe as regras vistas em aula para a atribuição de “X”(don't care) aos sinais de saída.
- d) Caso seja possível agrupar sinais de saída mediante a exploração de “X”, crie uma nova tabela de saída. Após, obtenha as equações em soma de produtos (não necessariamente minimizadas) para as variáveis de saída.

Tab. 5 – Descrição de alto nível para as transições de estados da FSM da Fig. 2.

Estado Atual	Opcode	Próximo Estado
0	-	1
1	100011	2
	101011	2
	000000	6
	000100	8
	000010	9
2	100011	3
	101011	5
3	-	4
4	-	0
5	-	0
6	-	7
7	-	0
8	-	0
9	-	0

Tab. 6 – Valores binários dos sinais de saída para a FSM da Fig. 2 (a completar).

Estado	PCEscCond	PCEsc	louD	LerMem	EscMem	MemParaReg	IREsc	FontePC[1]	FontePC[0]
0									
1									
2									
3									
4									
5									
6									
7									
8									
9									

Estado	UOOp[1]	UOOp[0]	UOFonteB[1]	UOFonteB[0]	UOFonteA	EscReg	RegDst
0							
1							
2							
3							
4							
5							
6							
7							
8							
9							

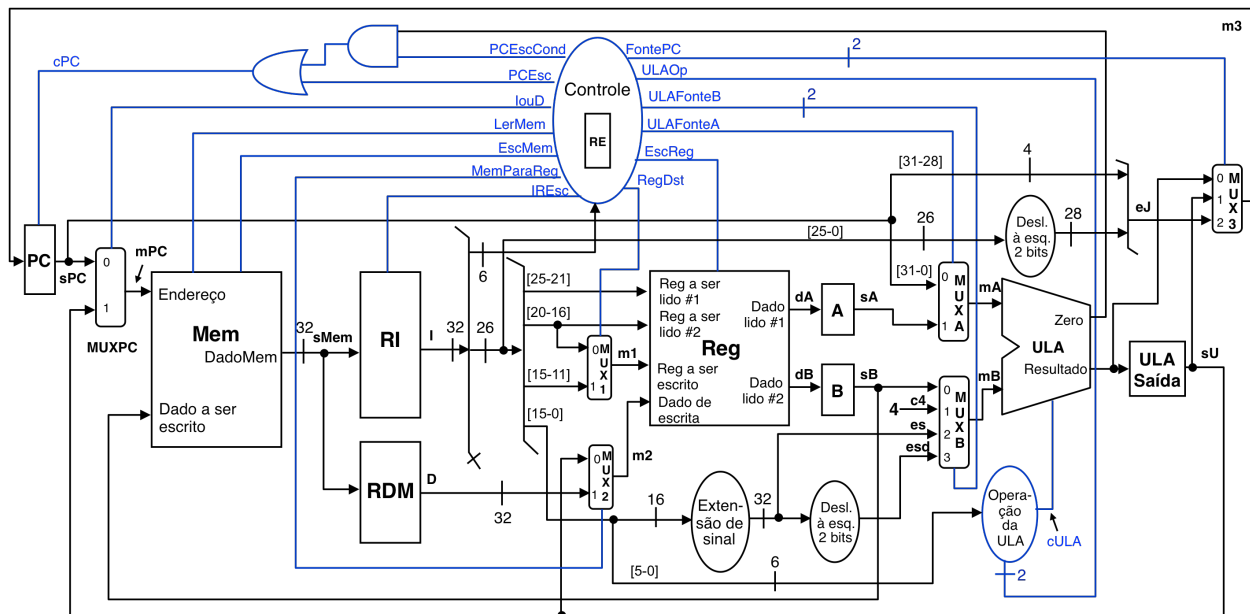


Fig. 1 – Diagrama do processador MIPS multiciclo (bloco operativo e bloco de controle): Mem= Memória, RI= Registrador de Instrução, RDM= Registrador de Dados da Memória, RE= Registrador de Estados (bloco de controle), Reg= Banco de Registradores.

Tab. 1 – Descrição no nível RT das operações realizadas em cada estado de execução do MIPS multiciclo.

Instrução tipo R	Instrução lw	Instrução sw	Instrução beq	Instrução j
0	RI = Mem[PC] PC = PC + 4			
1	A = Reg [RI[25-21]] B = Reg [RI[20-16]] ULASaída = PC + (extensão de sinal(RI[15-0]) <<2)			
6 ULASaída = A op B	2 ULASaída = A + extensão de sinal (RI[15-0])	8 Se (A == B) então PC = ULASaída	9 PC = PC[31-28]    (RI[25-0] <<2)	
7 Reg [RI[15-11]] = ULASaída	3 RDM = Mem [ULASaída]	5 Mem [ULASaída] = B		
	4 Reg[RI[20-16]] = RDM			

Tab. 2 – Características temporais dos componentes do MIPS, versão multiciclo. Obs: 1 ps = 1 x 10<sup>-12</sup> s

Componente	Característica	Símbolo	Valor [ps]
Memória	tempo para leitura	td <sub>LMEM</sub>	1000
Memória	tempo para escrita (setup)	td <sub>EMEM</sub>	1000
Banco de Registradores	tempo para leitura	td <sub>LREG</sub>	200
Banco de Registradores	tempo para escrita (setup)	td <sub>EREG</sub>	200
ULA	atraso para qualquer operação	td <sub>ULA</sub>	200
Qualquer mux 2:1	atraso	td <sub>mux2:1</sub>	20
mux 3:1 e mux 4:1	atraso	td <sub>mux4:1</sub>	40
PC, RI, RDM, A, B, ULASaída, RE	tempo de setup	tsu	10
PC, RI, RDM, A, B, ULASaída, RE	tempo de carga	tco	20
PC, RI, RDM, A, B, ULASaída, RE	tempo de hold	th	Desprezível
Deslocador, extensão de sinal, portas E, OU	atraso	-	Desprezível
Lógica de Saída do controle	atraso	td <sub>LS</sub>	40
Lógica de Próximo Estado do controle	atraso	td <sub>LPE</sub>	20
Controle da ULA	atraso	td <sub>cULA</sub>	10

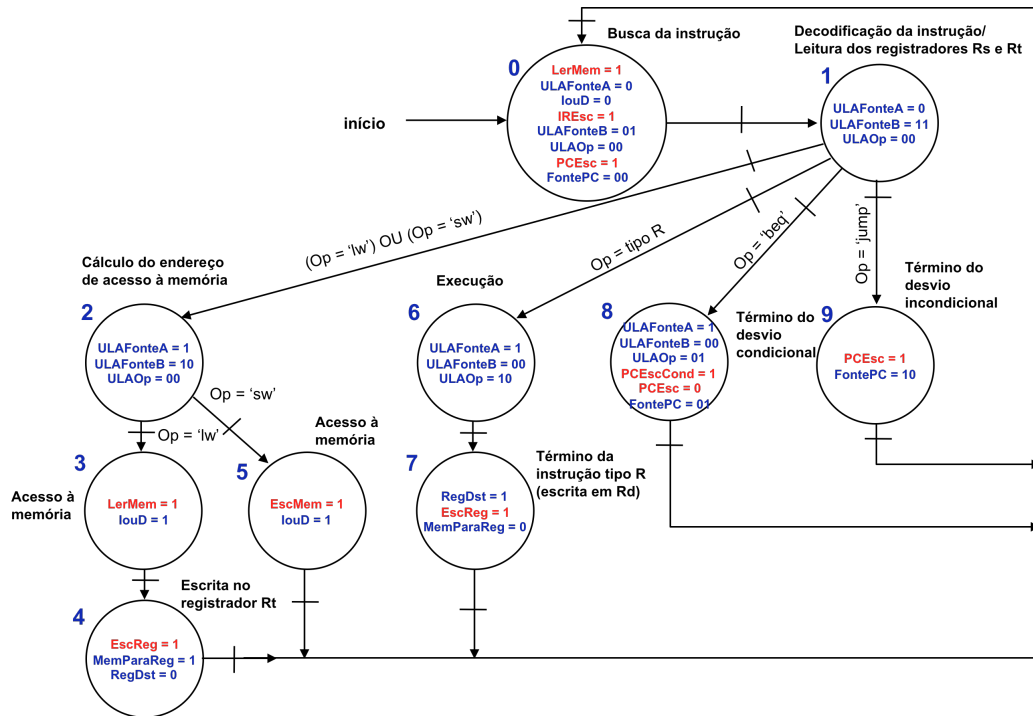


Fig. 2 - Diagrama de estados (FSM) que descreve o comportamento do bloco de controle do processador MIPS multiciclo.