



Universidade Federal de Santa Catarina
Centro Tecnológico
Departamento de Informática e Estatística
Ciências da Computação & Engenharia Eletrônica



Sistemas Digitais

INE 5406

Aula 1-T

Apresentação da Disciplina.

0. Sistemas Digitais e Nível RT. Níveis de abstração e componentes do nível RT. Classificação dos Sistemas Digitais. Componentes do nível RT: somadores, subtratores, muxes e registradores.

Professores:

Cristina Meinhardt , José Luís Güntzel e Rafael Luiz Cancian
{cristina.meinhardt, j.guntzel@ufsc.br, rafael.cancian }@ufsc.br

Apresentação da Disciplina

Dados da Disciplina e Professores

Código: INE 5406

Nome: Sistemas Digitais

Horas-Aula:

- Teórica (54 horas)
- Prática (36 horas)

Pré-requisito: EEL 5105 (Circuitos e Técnicas Digitais)

Apresentação da Disciplina

Dados da Disciplina e Professores

Dias e Locais das Aulas

Teóricas da Turma 05235A (Eng. Eletrônica):

- **nas segundas-feiras das 7:30 às 10:00, sala CTC205**

Teóricas das Turmas 02208A e 02208B (Ciências da Computação):

- **nas terças-feiras das 15:10 às 17:40, sala EFI 204**

Práticas:

- **Turma 05235A: quintas-feiras das 8:20 às 10:00 no LIICT3**
- **Turma 02208A: quintas-feiras das 10:10 às 11:50 no INE101**
- **Turma 02208B: quintas-feiras das 13:30 às 15:10 no INE101**

Apresentação da Disciplina

Instrumentos de Avaliação

- **P1 e P2:** provas semestrais
- **Turma 05235A: R1, R2, R3:** relatórios práticos
- **Turmas 02208AB: R:** projeto prático de um sistema digital*
- **REC:** prova de recuperação
- **FS (Frequência Suficiente):** $\geq 75\%$ de presenças
- **FI (Frequência Insuficiente):** $< 75\%$ de presenças

* realizado parcialmente durante as aulas de laboratório e principalmente como atividade extraclasse.

Apresentação da Disciplina

Critérios para a Aprovação/Reprovação

- a) O aluno que não comparecer a no mínimo 75% das aulas será considerado reprovado por **frequência insuficiente (FI)**, de acordo com o artigo 73, do Capítulo I, Seção IX do Regimento Geral da UFSC. Neste caso, **NF = 0,0**.
- b) O critério para aprovação ou reprovação dos alunos com frequência suficiente (FS) baseia-se na média final (MF) assim calculada:

$$\text{Turma 05235A: } MF = (P1 + P2 + (R1 + R2 + R3) / 3) / 3$$

$$\text{Turmas 02208AB: } MF = (P1 + P2 + R) / 3$$

Apresentação da Disciplina

Critérios para a Aprovação/Reprovação

- c) Será considerado aprovado o aluno com FS e $\mathbf{MF} \geq 6,0$. Neste caso, $\mathbf{NF} = \mathbf{MF}$.
- d) Será considerado reprovado o aluno com FS e $\mathbf{MF} < 3,0$. Neste caso, $\mathbf{NF} = \mathbf{MF}$.
- e) O aluno que tiver frequência suficiente (FS) e média final $\mathbf{MF} < 6,0$ e $\mathbf{MF} \geq 3,0$ terá direito de realizar uma prova de recuperação REC. Caso opte por realizar a REC, a uma nova nota final será calculada da seguinte forma: $\mathbf{NF} = (\mathbf{MF} + \mathbf{REC})/2$.
- d) Após a REC, será considerado aprovado o aluno que obtiver $\mathbf{NF} \geq 6,0$, sendo \mathbf{NF} a nota final.

Apresentação da Disciplina

Datas Importantes

Provas	Turma 05235A	Turmas 02208A e 02208B
P1	17/09/2018	18/09/2018
P2	12/11/2018	13/11/2018
REC	26/11/2018	27/11/2018

Relatórios ou entregas parciais do projeto prático:
Ver cronograma específico de cada turma.

Apresentação da Disciplina

Muito Importante:

Frequência Suficiente (FS) x Frequência Insuficiente (FI)

- Frequência Suficiente (FS) = mínimo de 75% de presenças
- Logo, máximo de faltas = 25% das atividades da disciplina (=aulas dadas)

Neste semestre (2018.1) haverá:

- 16 encontros de 3 horas-aula teóricas (já excluída a REC, pois ela não é obrigatória) e
- 15 encontros de 2 horas-aula práticas
- Aulas dadas = $16 \times 3 + 15 \times 2 = 87$ horas-aula
- Logo, o máximo de faltas admissíveis será $0,25 \times 87 = 21,75$ (20)

Apresentação da Disciplina

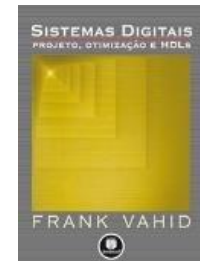
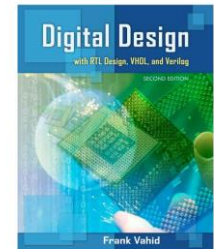
Bibliografia Básica

Sistemas Digitais em Geral

VAHID, Frank. Digital Design with RTL Design, VHDL and Verilog. 2nd Edition. Wiley, 2010.

ou

VAHID, Frank. Sistemas Digitais: projeto, otimização e HDLs. Porto Alegre: Bookman, 2008. (ISBN 978-85-7780-190-9)



Apresentação da Disciplina

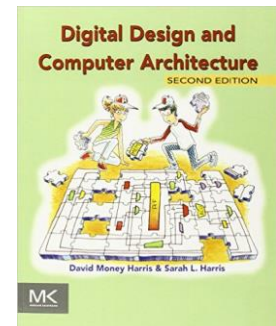
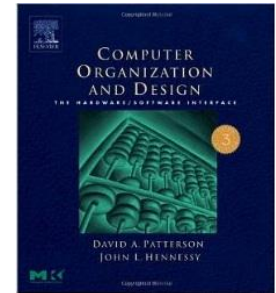
Bibliografia Básica

Processadores MIPS

PATTERSON, David A.; HENNESSY, John L. “Computer Organization and Design: the hardware/software Interface”, 3rd edition, Morgan Kaufmann Publishers, San Francisco, California, USA, 2007.

Edições mais antigas (ou em português) também servem!

HARRIS, David M.; HARRIS, Sarah L. “Digital Design and Computer Architecture”, 2nd edition, Morgan Kaufmann Publishers, Waltham, MA, USA, 2013.



Apresentação da Disciplina

Material de Apoio Disponível via Moodle

- **Plano de ensino**
 - Aprovado no Departamento
- **Cronograma detalhado da disciplina**
- **Forum de discussão**
- **Lista para comunicação via email**
- **Slides das aulas práticas e das aulas teóricas**
- **Listas de exercícios:**
 - Sua solução não vale nota e não será cobrada
 - Essencial que os alunos resolvam por conta própria, como preparação às provas
- **Bibliotecas de componentes e exemplos de códigos VHDL**

Apresentação da Disciplina

Atendimento aos alunos

Prof. Güntzel:

- Verificar no Moodle

Prof. Cancian:

- Verificar no Moodle

Profa. Cristina:

- Verificar no Moodle

Monitor:

- Nome: [A definir](#)
- Email: [A definir](#)
- **Tipo de atendimento:** dúvidas na matéria teórica, solução das listas de exercícios e dúvidas básicas sobre VHDL
- **Horários:** será divulgado no Moodle
- **Local do atendimento:** sala 202 do prédio do INE (segundo andar)
- Agendar atendimento por email com 24 horas de antecedência (no mínimo).

Apresentação da Disciplina

Atendimento aos alunos

Estagiário de Docência:

- Nome: [Tiago Augusto Fontana](#)
- Email: tiagoaugustofontana@gmail.com
- **Tipo de atendimento:** dúvidas sobre a realização de experimentos (incluindo linguagem VHDL), consulta às provas corrigidas
- **Horários:**
 - A definir (ver página Moodle da disciplina)
- **Local do atendimento:** a definir
- **Outros Atendimentos:** consulta às provas corrigidas etc (agendamento por email, conforme a necessidade, com 24 horas de antecedência).

0. Sistemas Digitais e Nível RT

Onde Estão os Sistemas Digitais?

1. *Consumer Electronics*

Propósito Geral



Otimizados para Propósito Específico



0. Sistemas Digitais e Nível RT

iPad3: um Produto de Eletrônica de Consumo



Main PCB

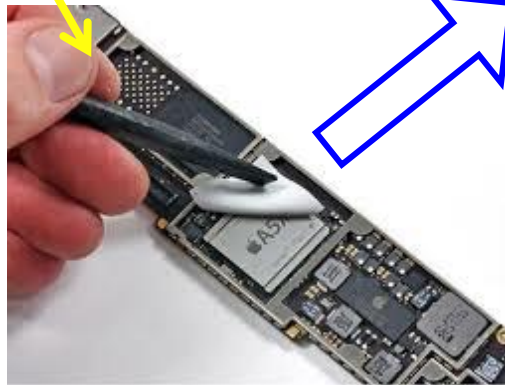


0. Sistemas Digitais e Nível RT

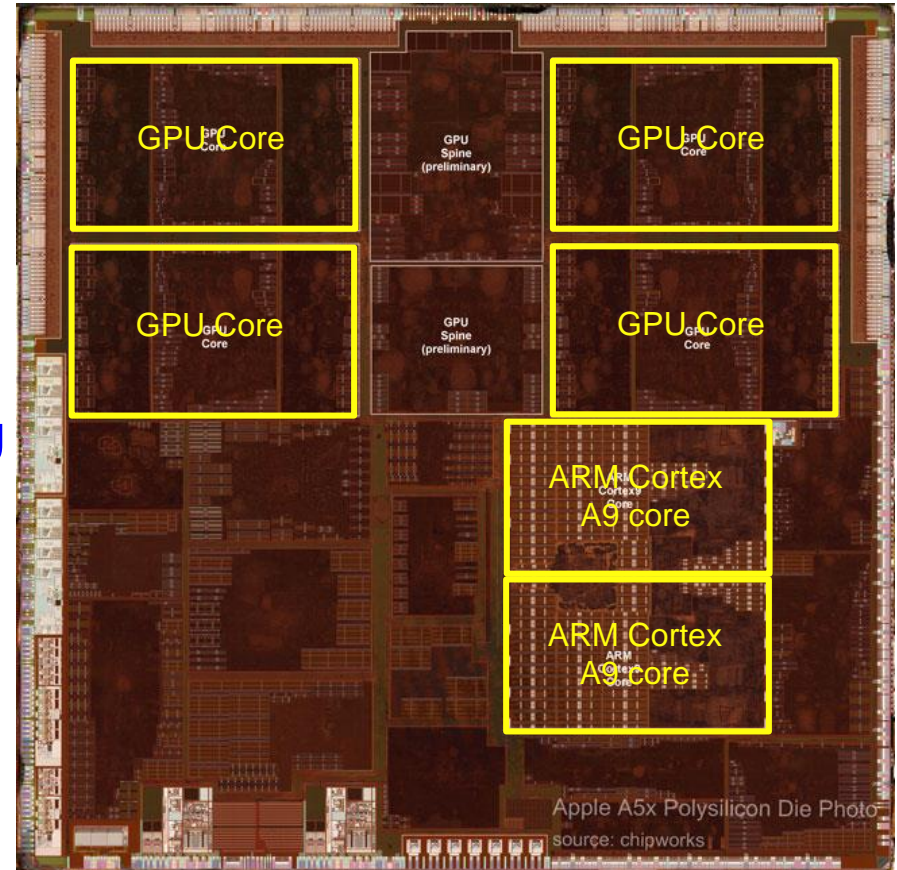
iPad3: um Produto de Eletrônica de Consumo



Main PCB



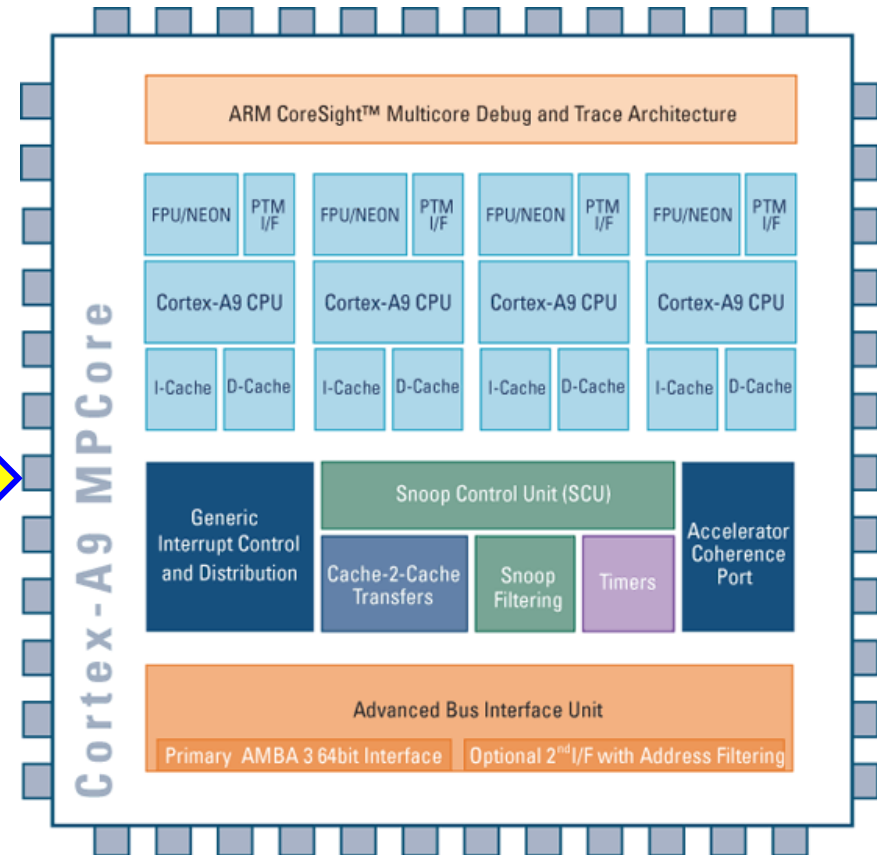
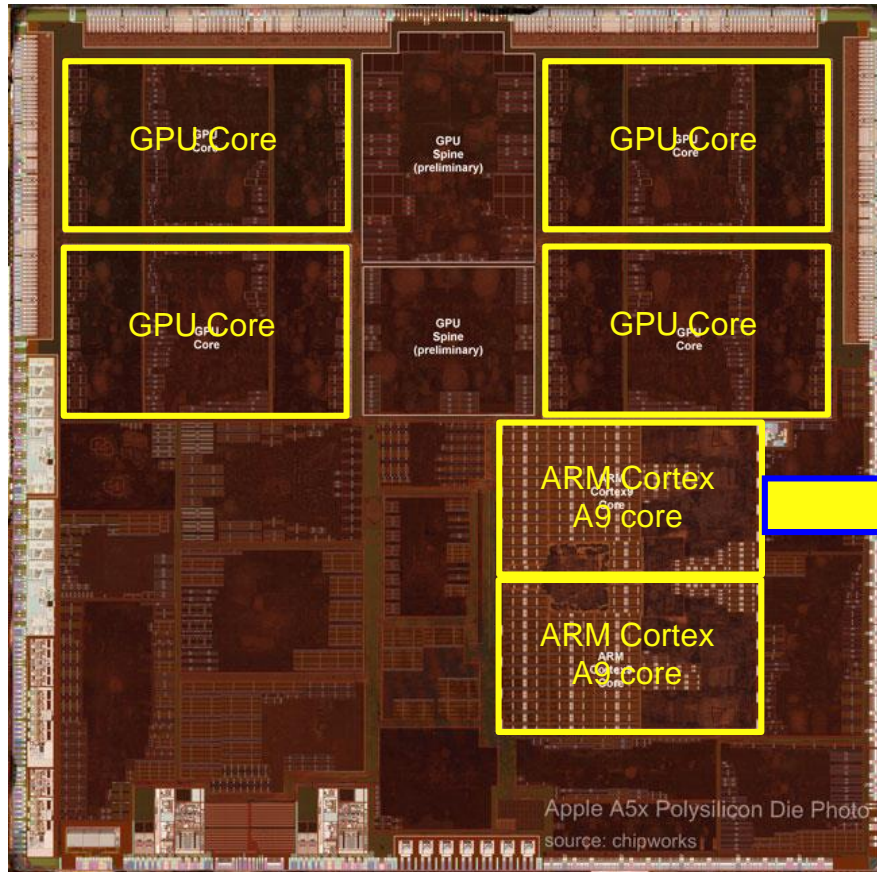
A5X CPU



0. Sistemas Digitais e Nível RT

CPU A5X: Apple System on a Chip (SoC)

ARM Cortex™ A9



<http://infocenter.arm.com/help/index.jsp?topic=/com.arm.doc.ddi0407f/index.html>

0. Sistemas Digitais e Nível RT

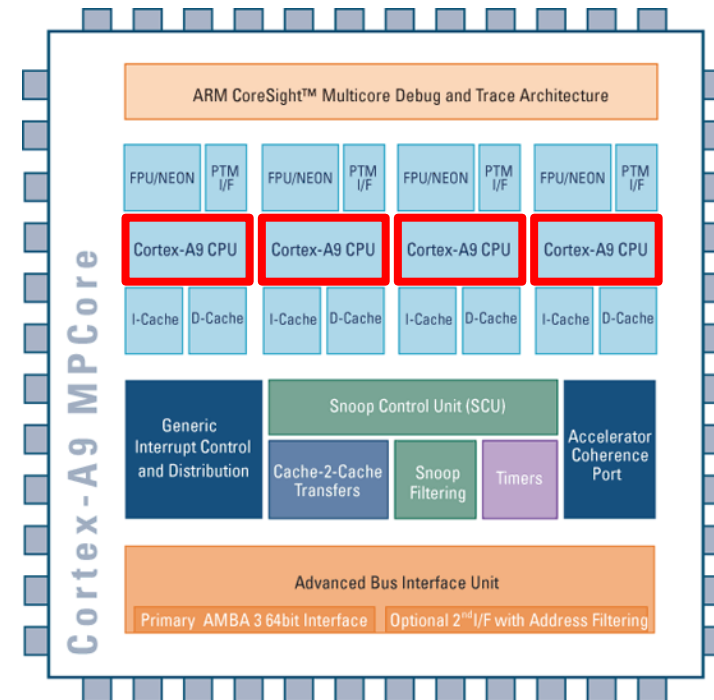
Classificação dos Sistemas Digitais Quanto à Aplicação

1. Processadores de Propósito Geral (CPUs* ou GPPs**):

- Podem ser programados para executar (virtualmente) **qualquer algoritmo**
- Para tanto, são projetados para executar um **conjunto de instruções**
- Otimizados para realizar o **conjunto de instruções** para o qual são projetados (e não um algoritmo ou uma classe de algoritmo)

* *Central Processing Units*

** *General-Purpose Processors*



0. Sistemas Digitais e Nível RT

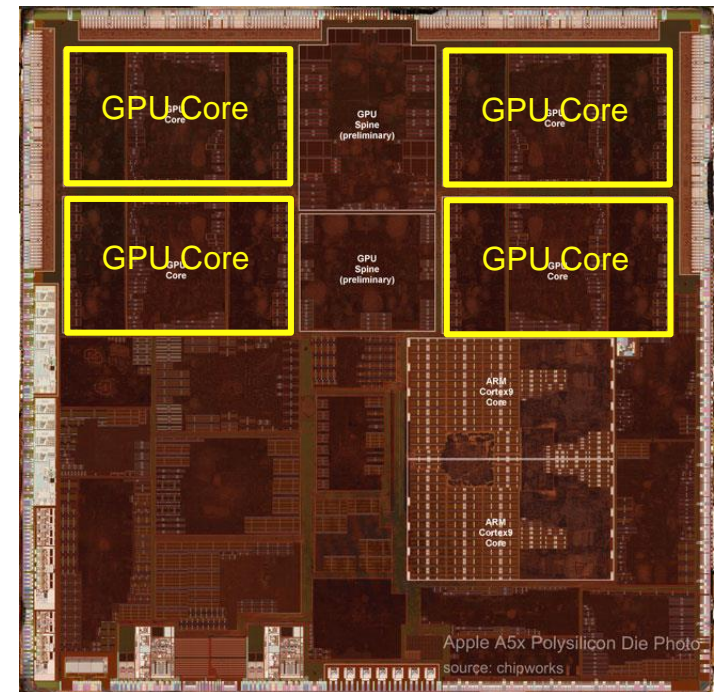
Classificação dos Sistemas Digitais Quanto à Aplicação

2. Processadores Dedicados a uma Classe de Aplicações (Ex.: DSPs*, GPUs**):

- Podem ser programados para executar uma função ou um algoritmo pertencente a uma **determinada classe**.
- Projetados e otimizados para realizar um **conjunto de instruções** apropriado à **classe de problema** à qual se destinam

* *Digital Signal Processors*

** *Graphics Processing Units*



0. Sistemas Digitais e Nível RT

Classificação dos Sistemas Digitais Quanto à Aplicação

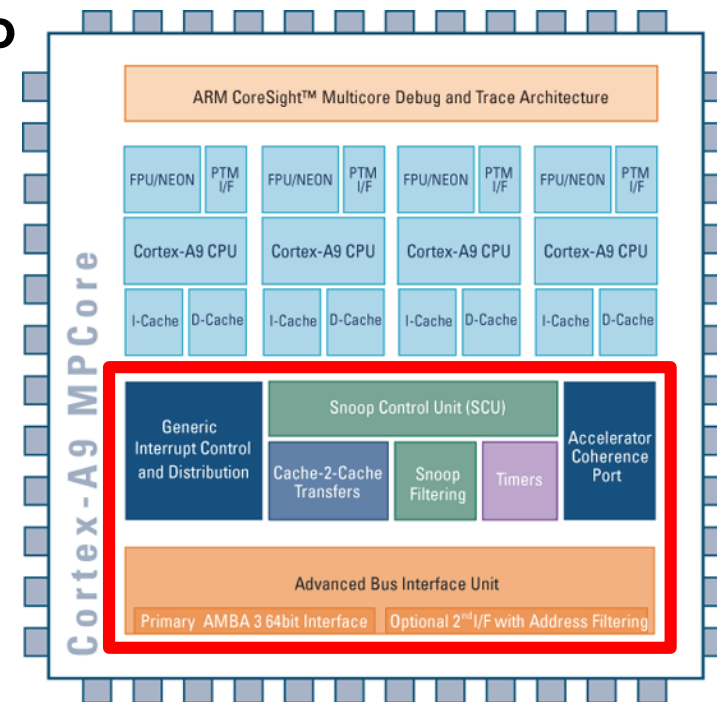
3. Processadores Dedicados ou Blocos Aceleradores ou Blocos IPs* :

- Projetados para **uma aplicação ou algoritmo específico**.
- Exemplos: controladores de I/O, controladores de memória, codecs** de imagens (jpeg, MPEG, H.264/AVC, VP9, HEVC), codecs** de áudio, cifradores/decifradores*** etc
- Geralmente, usados onde há necessidade de altíssimo desempenho e/ou alta eficiência energética (por exemplo, dispositivos pessoais, alimentados por bateria).

* *Intellectual Property Blocks*

** codificadores/decodificadores

*** podem usar mais de um algoritmo de criptografia

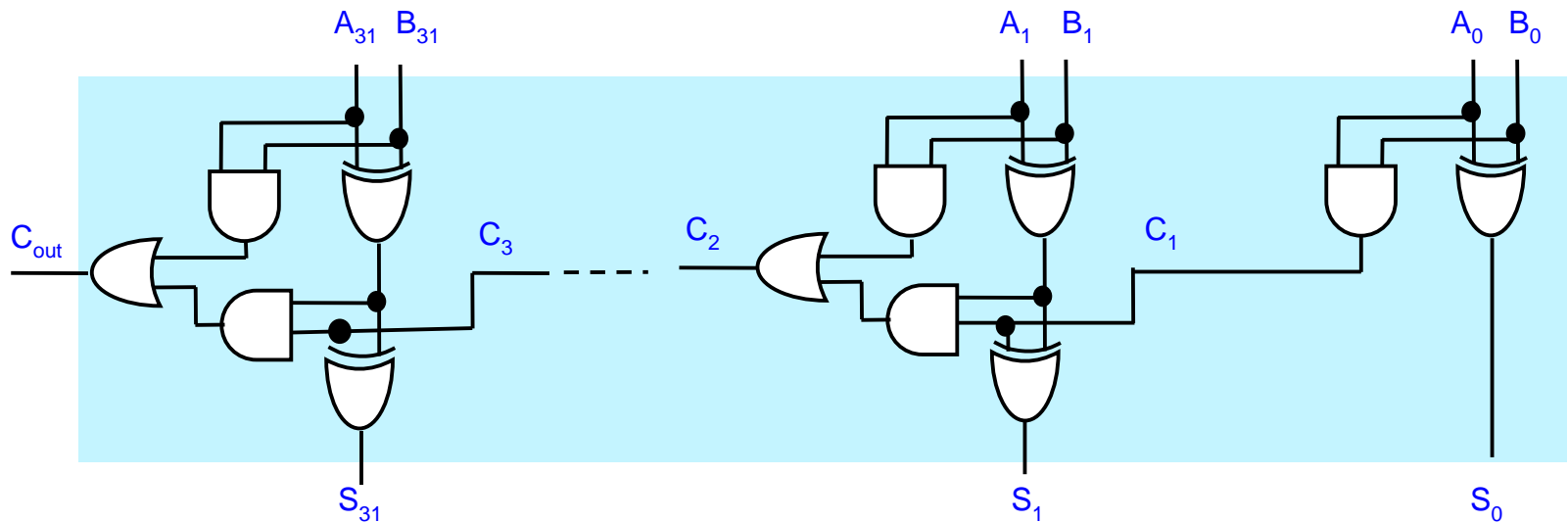


0. Sistemas Digitais e Nível RT

Níveis de Abstração: o nível lógico

Característica: 1 fio por sinal

Elementos: portas lógicas, latches e flip-flops (mostrados explicitamente ou não)



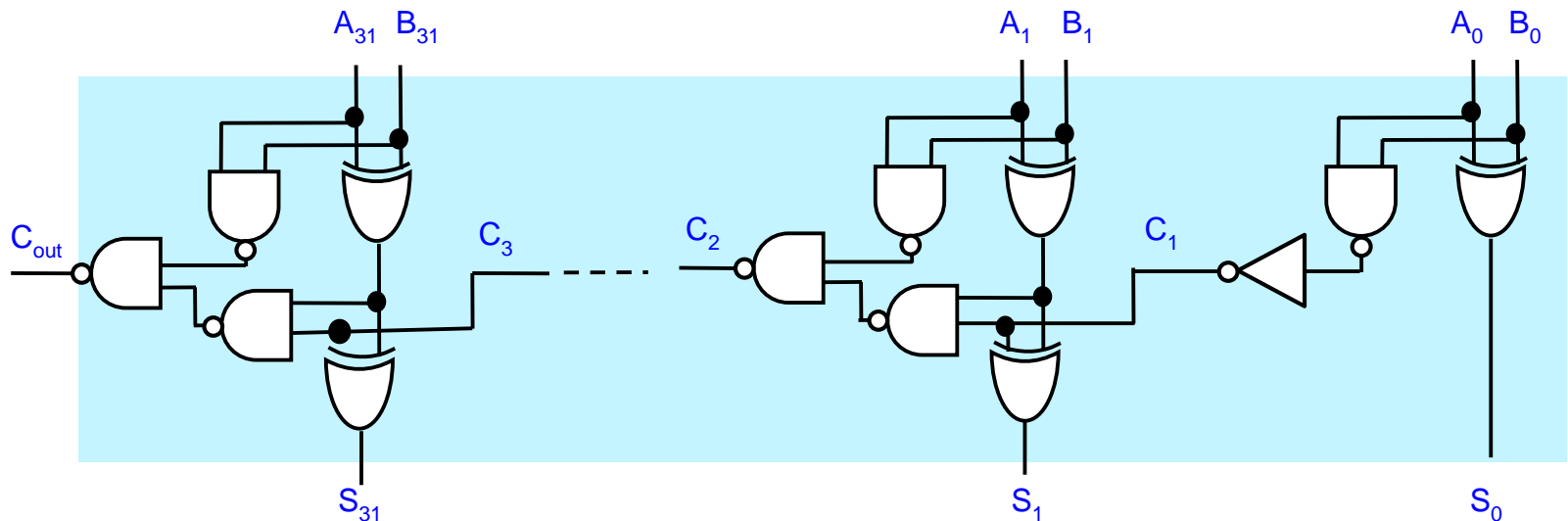
0. Sistemas Digitais e Nível RT

Níveis de Abstração: o nível lógico

Característica: 1 fio por sinal

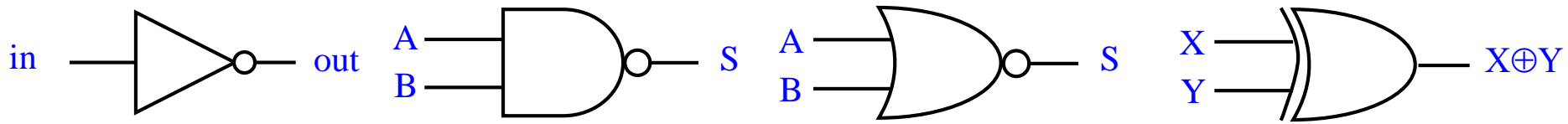
Elementos: portas lógicas, latches e flip-flops (mostrados explicitamente ou não)

Atenção: pode haver diversos “mapeamentos” para um dado circuito lógico!
Por exemplo, a forma atual de se implementar um circuito usa **portas CMOS**.

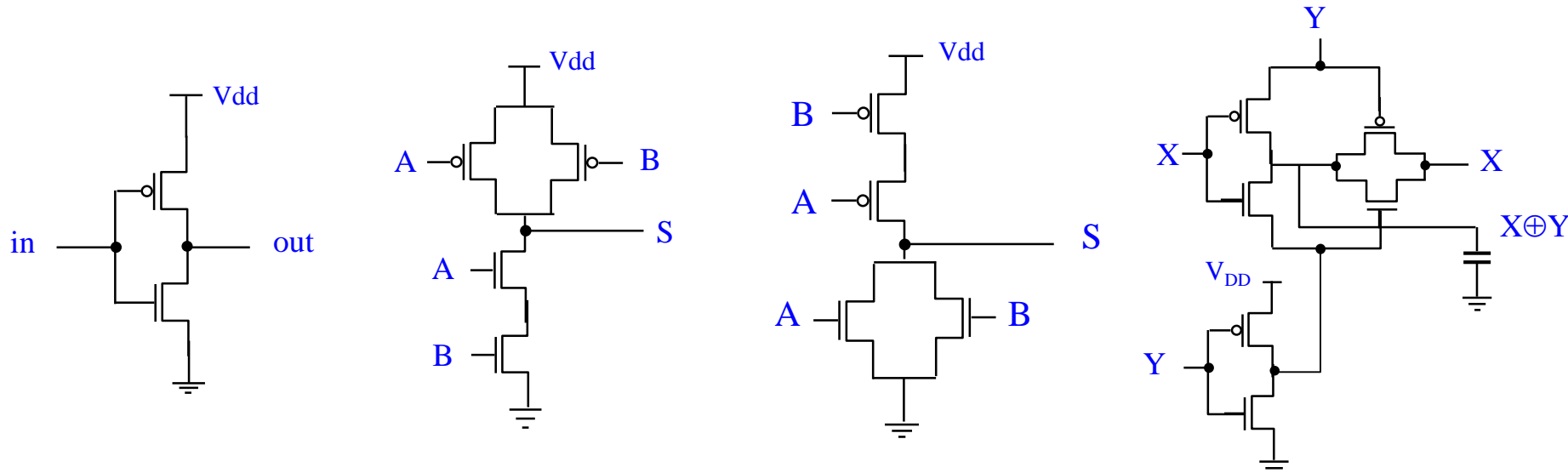


0. Sistemas Digitais e Nível RT

Níveis de Abstração: o nível lógico



e o nível elétrico (considerando transistores MOS...)

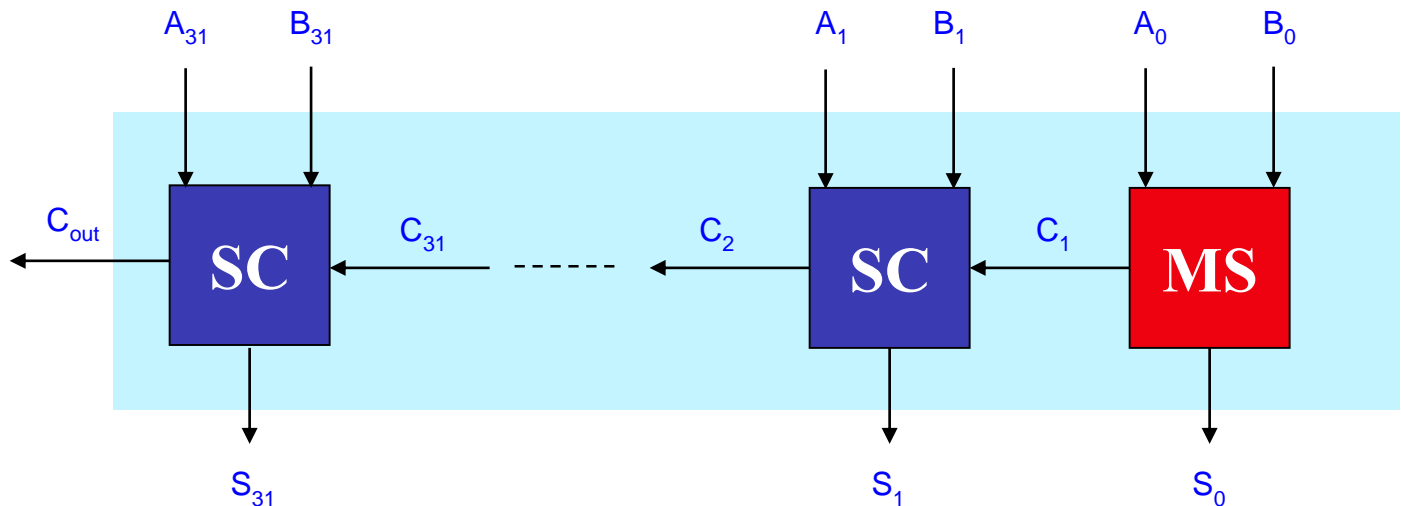


0. Sistemas Digitais e Nível RT

Níveis de Abstração: o nível lógico

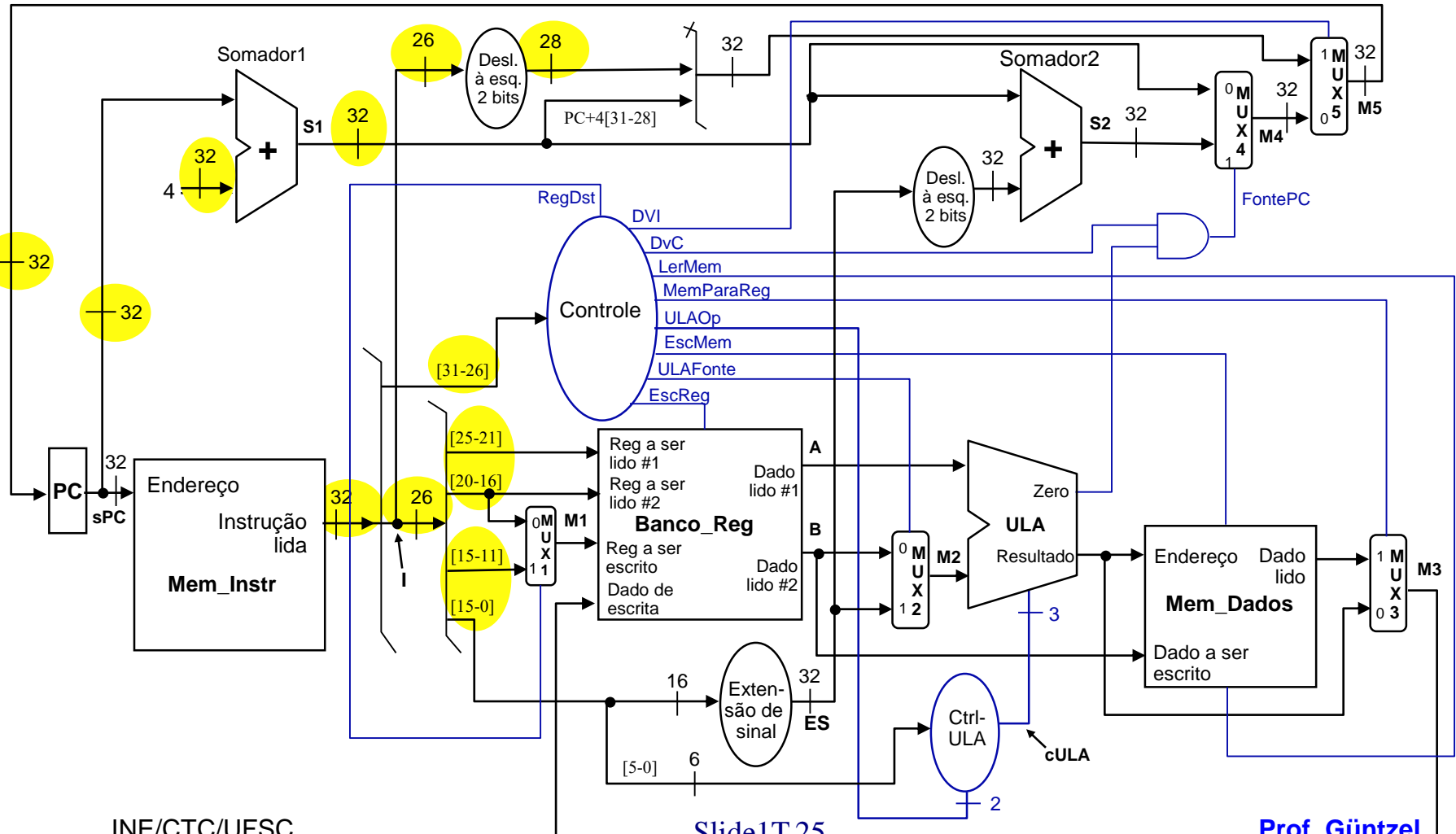
Característica: 1 fio por sinal

Elementos: portas lógicas, latches e flip-flops (mostrados explicitamente ou não)



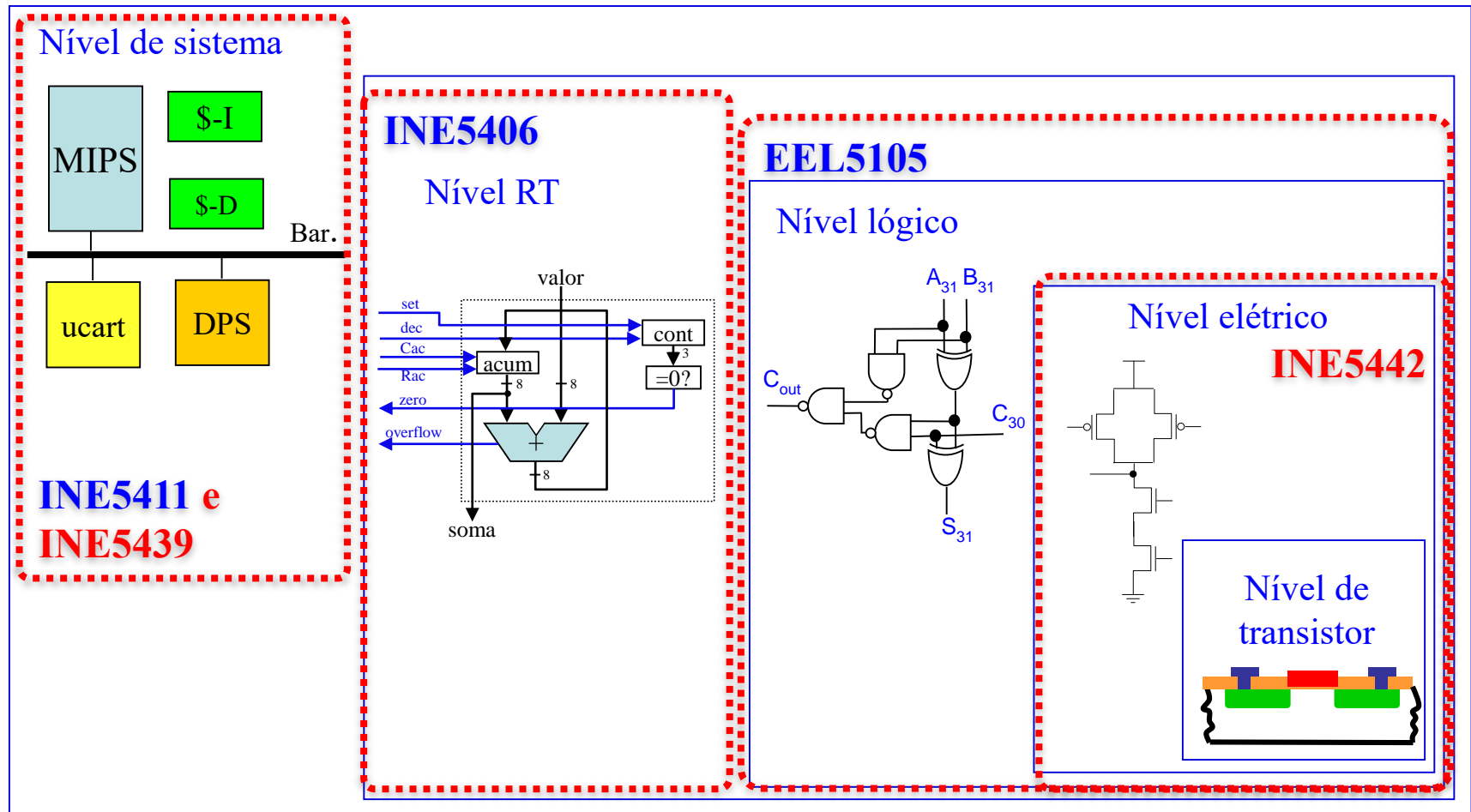
0. Sistemas Digitais e Nível RT

Níveis de Abstração: o nível RT (Register-Transfer)



0. Sistemas Digitais e Nível RT

Sistemas Digitais e Níveis de Abstração



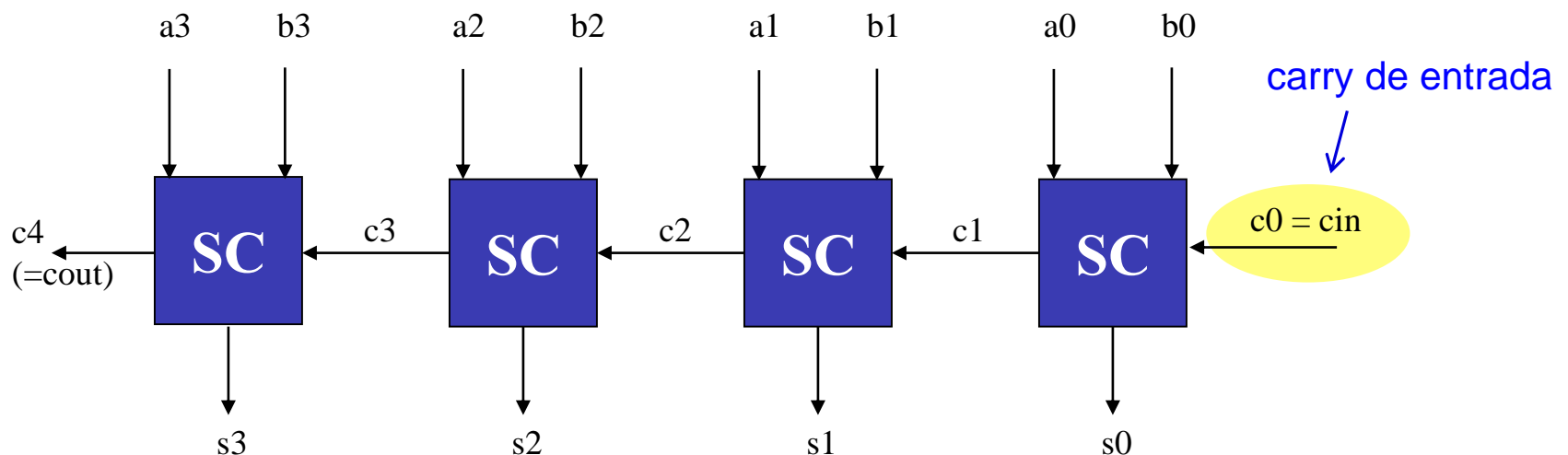
0. Sistemas Digitais e Nível RT

Sistemas Digitais e Níveis de Abstração

Matéria	Nível de abstração	Componentes
Circuitos Digitais	Lógico	<ul style="list-style-type: none">• Portas lógicas• Latches• Flip-flops
Sistemas Digitais	RT (register-transfer)	<ul style="list-style-type: none">• Somadores• Subtratores• ULAs (= unidades funcionais compostas)• Registradores• Memórias• Multiplexadores• Decodificadores• Bloco de controle

0. Sistemas Digitais e Nível RT

O Somador Paralelo *Carry-Ripple* (de 4 Bits) Diagrama de Blocos (Nível Lógico)

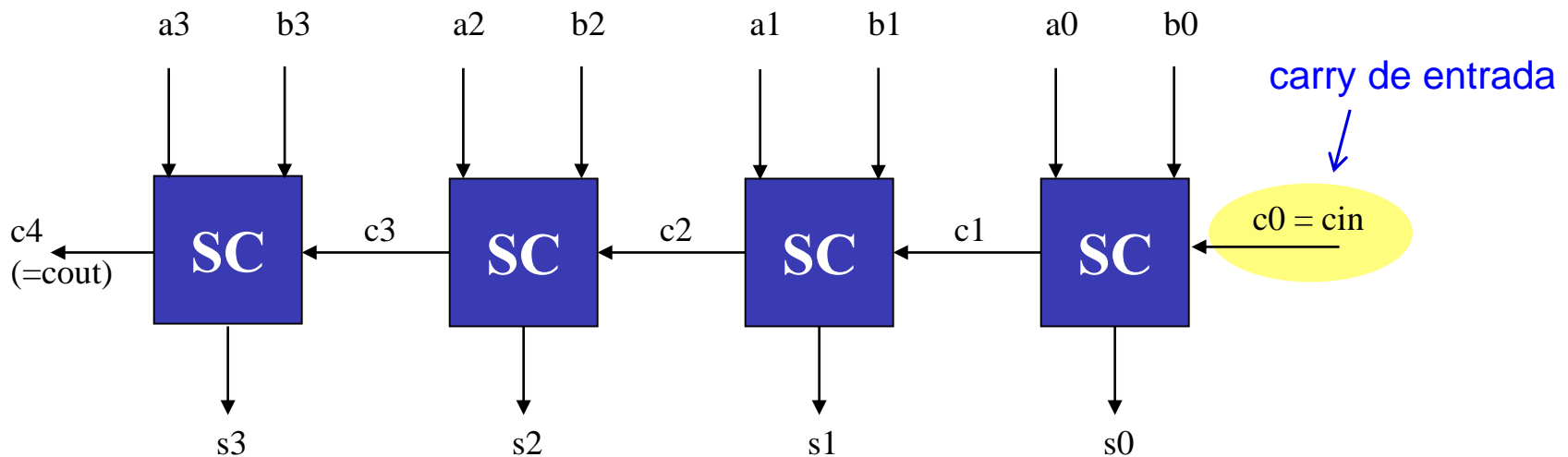


- O somador é o elemento básico para qualquer ULA, uma vez que a adição é a operação aritmética fundamental
- O somador *Carry-Ripple* (CRA) é o somador mais simples e intuitivo. Porém, seu desempenho é ruim. Exemplos de somadores rápidos estão nos slides [SD_somadores-rapidos.pdf](#)

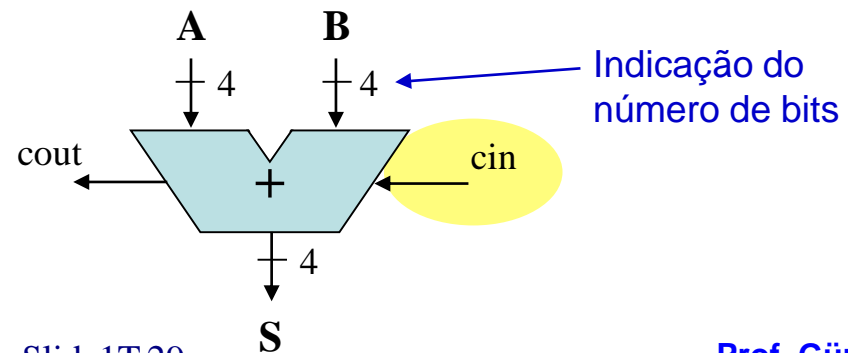
0. Sistemas Digitais e Nível RT

O Somador Paralelo *Carry-Ripple* (de 4 Bits)

Diagrama de Blocos (Nível Lógico)

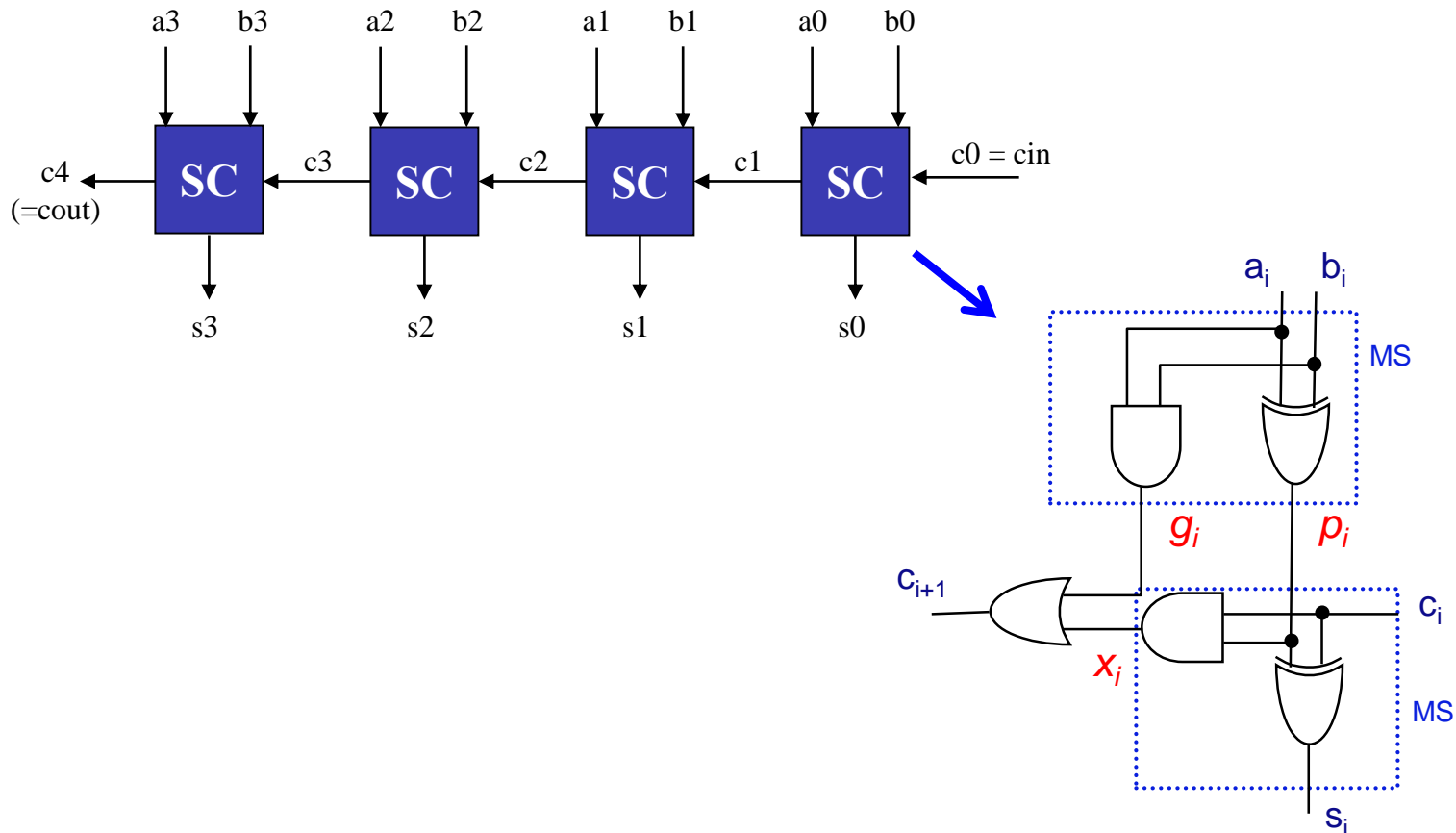


Símbolo no Nível RT



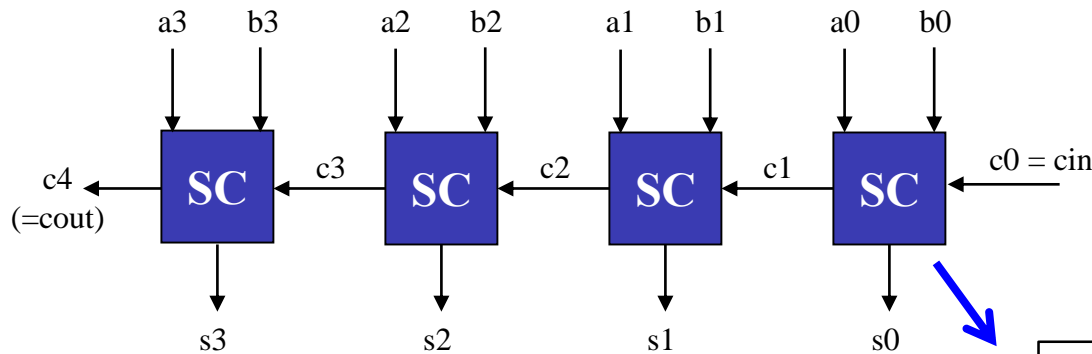
0. Sistemas Digitais e Nível RT

O Somador Paralelo *Carry-Ripple* (de 4 Bits) Diagrama de Blocos (Nível Lógico)

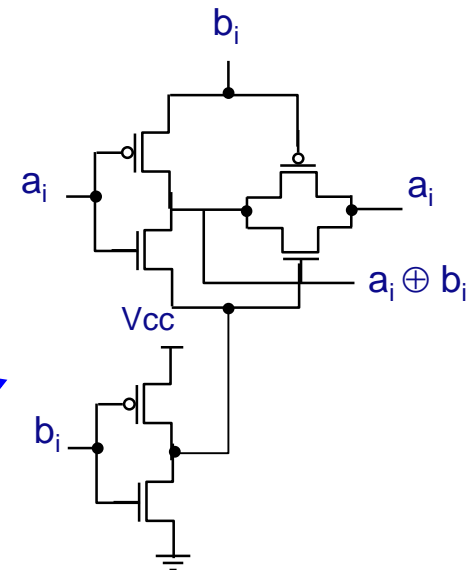
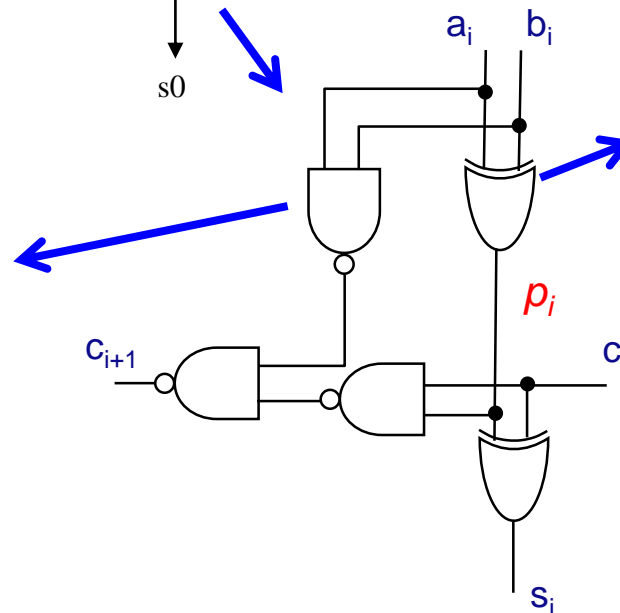
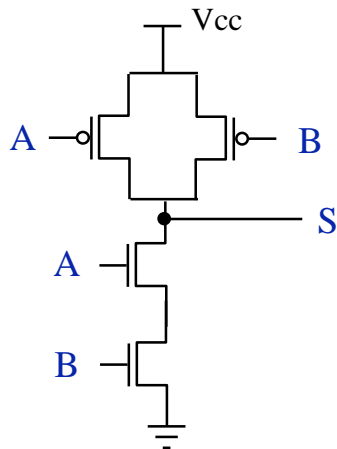


0. Sistemas Digitais e Nível RT

O Somador Paralelo *Carry-Ripple* (de 4 Bits) Diagrama de Blocos (Nível Lógico)

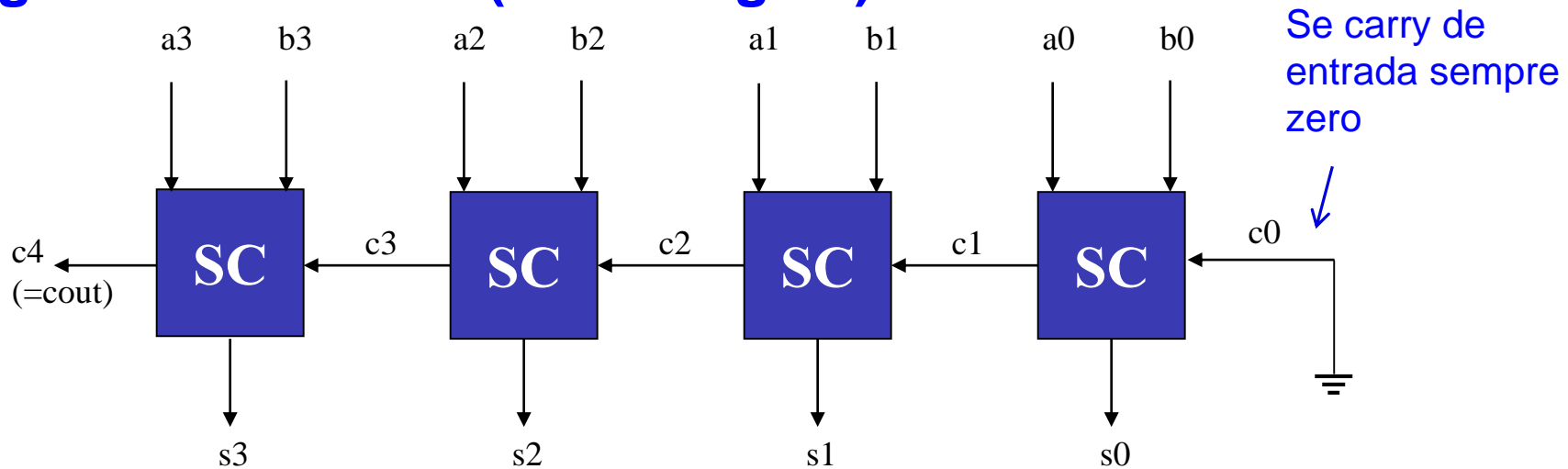


1 SC em CMOS:
 $3 \times 4 + 2 \times 6 =$
24 transistores

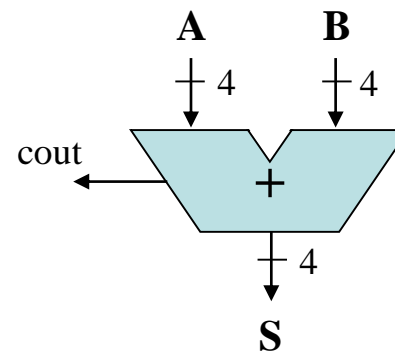


0. Sistemas Digitais e Nível RT

O Somador Paralelo *Carry-Ripple* (de 4 Bits) Diagrama de Blocos (Nível Lógico)

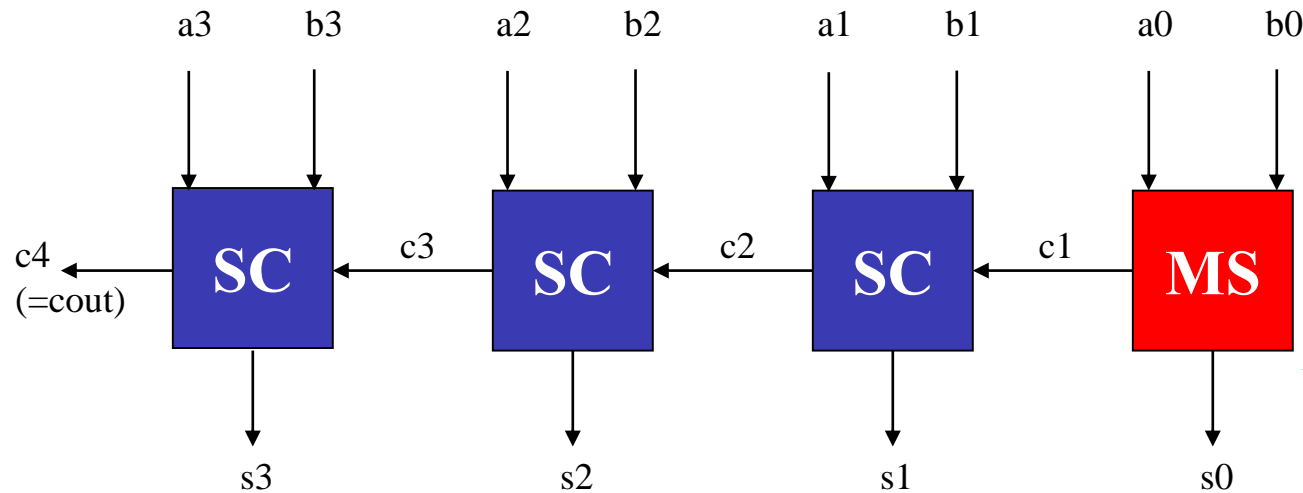


Símbolo no Nível RT



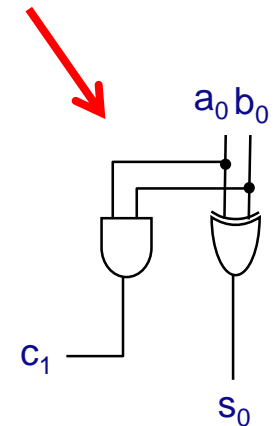
0. Sistemas Digitais e Nível RT

O Somador Paralelo *Carry-Ripple* (de 4 Bits) Diagrama de Blocos (Nível Lógico)



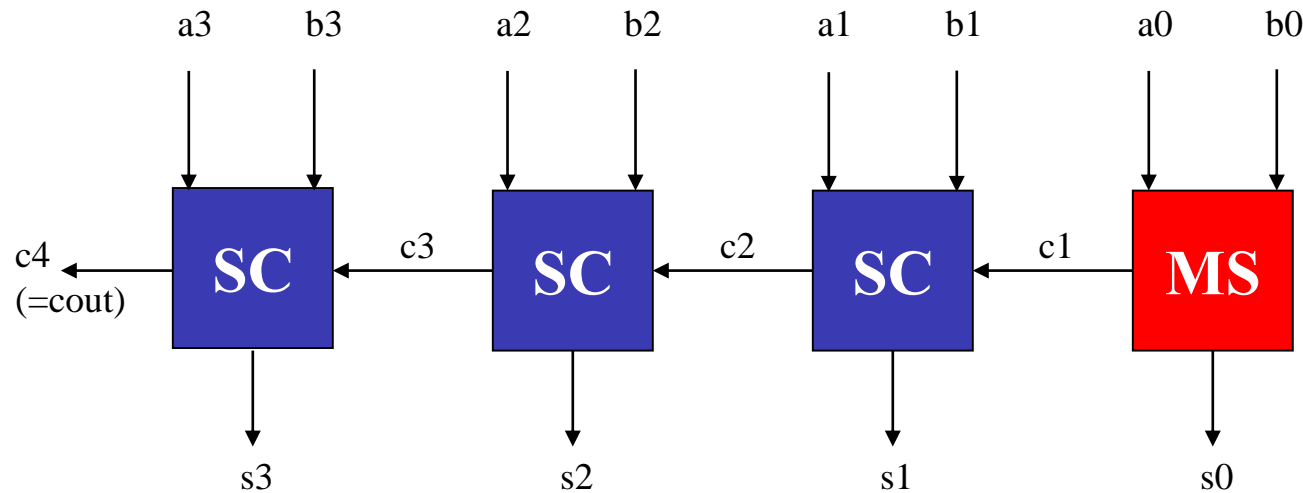
Se carry de entrada sempre zero, primeiro SC pode ser simplificado para MS

1 MS em CMOS:
 $4 + 2 + 6 = 12$ transistores



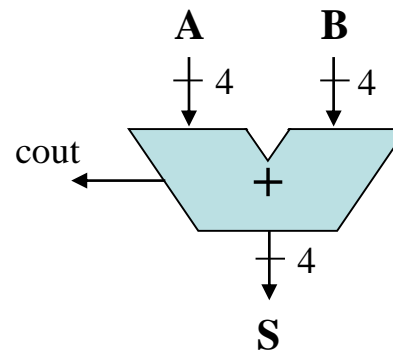
0. Sistemas Digitais e Nível RT

O Somador Paralelo *Carry-Ripple* (de 4 Bits) Diagrama de Blocos (Nível Lógico)



Se carry de entrada sempre zero, primeiro SC pode ser simplificado para MS

Símbolo no Nível RT

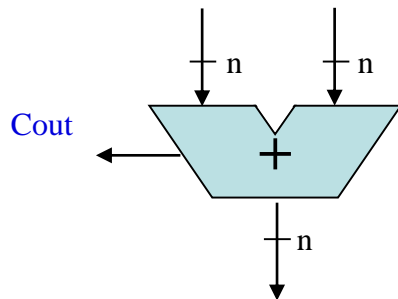


0. Sistemas Digitais e Nível RT

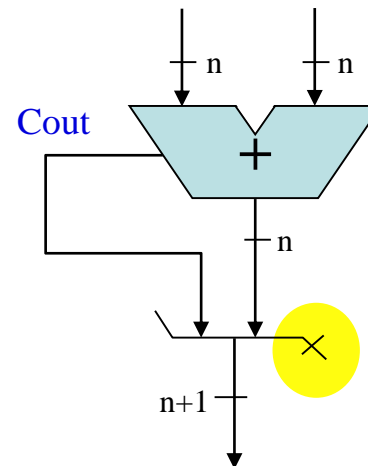
Convenções do Nível RT

Algumas Convenções do nível RT

Somador para operandos com n bits cada



Concatenando números

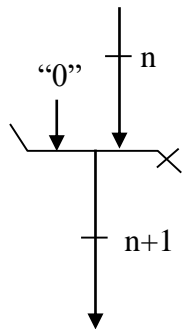


Convenção para indicar que o bit menos significativo está mais à direita

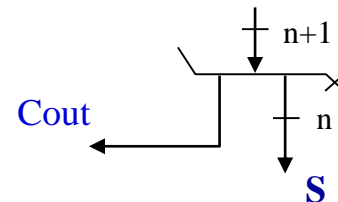
0. Sistemas Digitais e Nível RT

Convenções do Nível RT

Indicando como um número de $n+1$ bits é composto (outro exemplo)



“Decompondo” um número de $n+1$ bits



0. Sistemas Digitais e Nível RT

Adição de Inteiros com Sinal

(Assumindo Negativos em Complemento de 2)

- Números binários em **complemento de 2** podem ser adicionados como se fossem números binários sem sinal!
- Neste caso, a detecção de **overflow** se dá comparando-se os dois últimos sinais de *carry*

 **Estudar os slides SD_revisao_aritmetica_binaria.pdf**

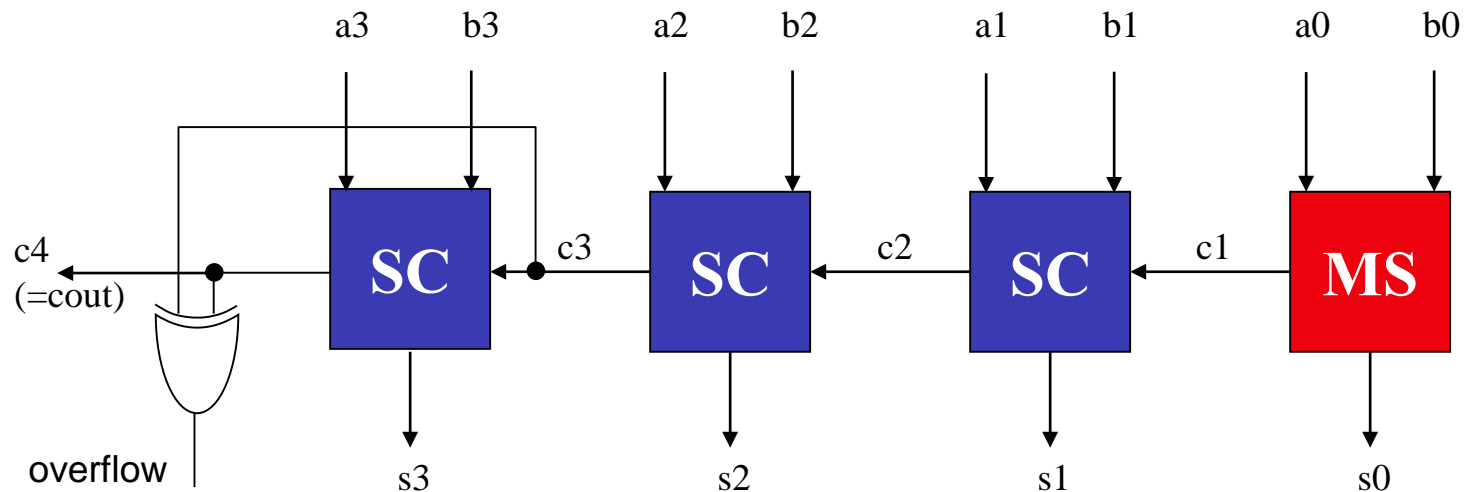
0. Sistemas Digitais e Nível RT

O Somador Paralelo *Carry-Ripple* (de 4 Bits)

Modificado para Operar Sobre Números com Sinal

(Assumindo negativos em complemento de 2)

Diagrama de Blocos (Nível Lógico)



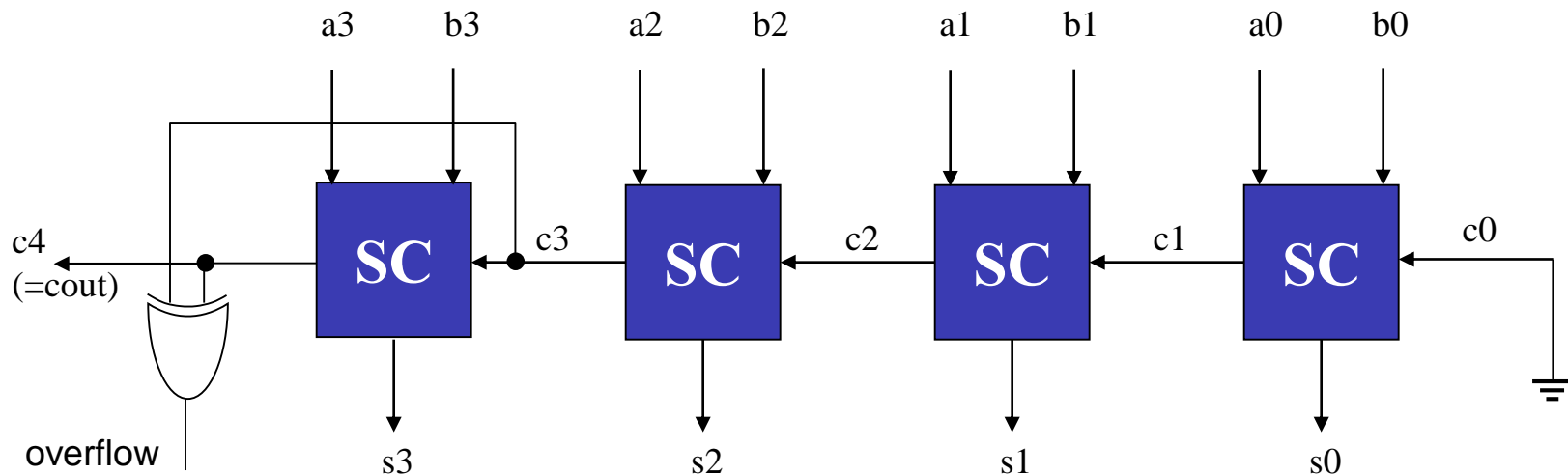
0. Sistemas Digitais e Nível RT

O Somador Paralelo *Carry-Ripple* (de 4 Bits)

Modificado para Operar Sobre Números com Sinal

(Assumindo negativos em complemento de 2)

Diagrama de Blocos (Nível Lógico): versão 2



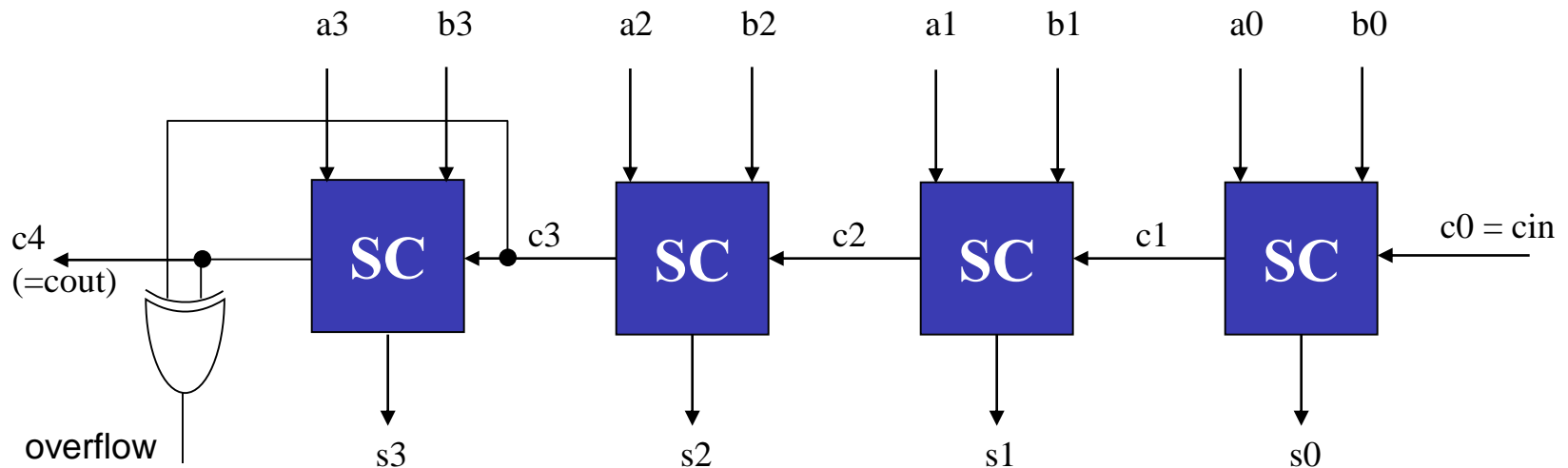
0. Sistemas Digitais e Nível RT

O Somador Paralelo *Carry-Ripple* (de 4 Bits)

Modificado para Operar Sobre Números com Sinal

(Assumindo negativos em complemento de 2)

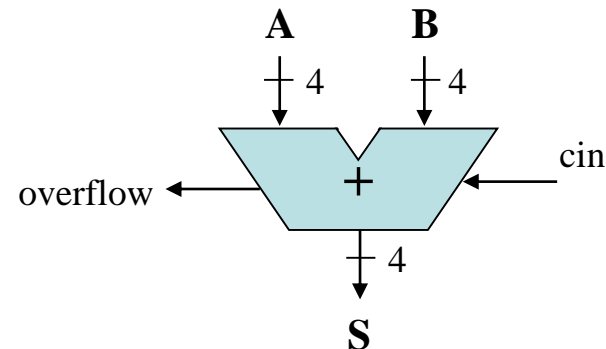
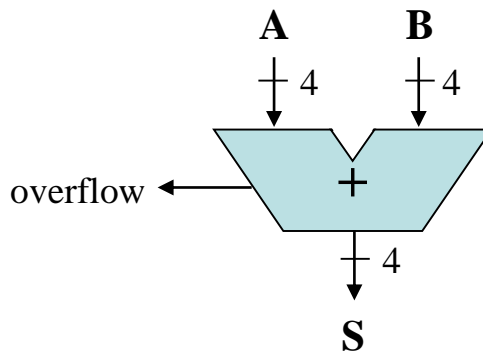
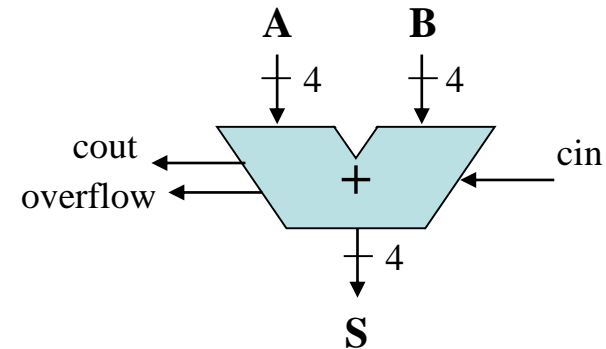
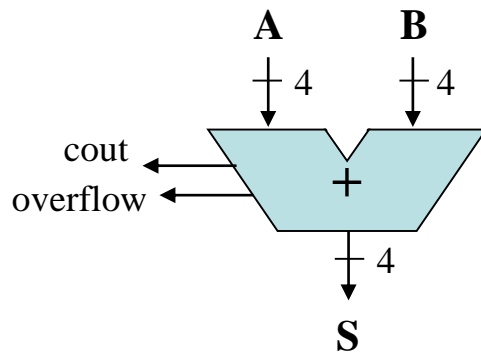
Diagrama de Blocos (Nível Lógico): versão 3



0. Sistemas Digitais e Nível RT

O Somador Paralelo *Carry-Ripple* (de 4 Bits)

Símbolos no Nível RT

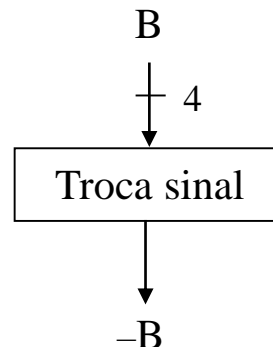


0. Sistemas Digitais e Nível RT

Circuitos Aritméticos

Exercício 1: Usando o somador *carry-ripple*, projetar um circuito combinacional que troca o sinal de um número inteiro de 4 bit.

Interfaces:



0. Sistemas Digitais e Nível RT

Circuitos Aritméticos

Exercício 1: Solução

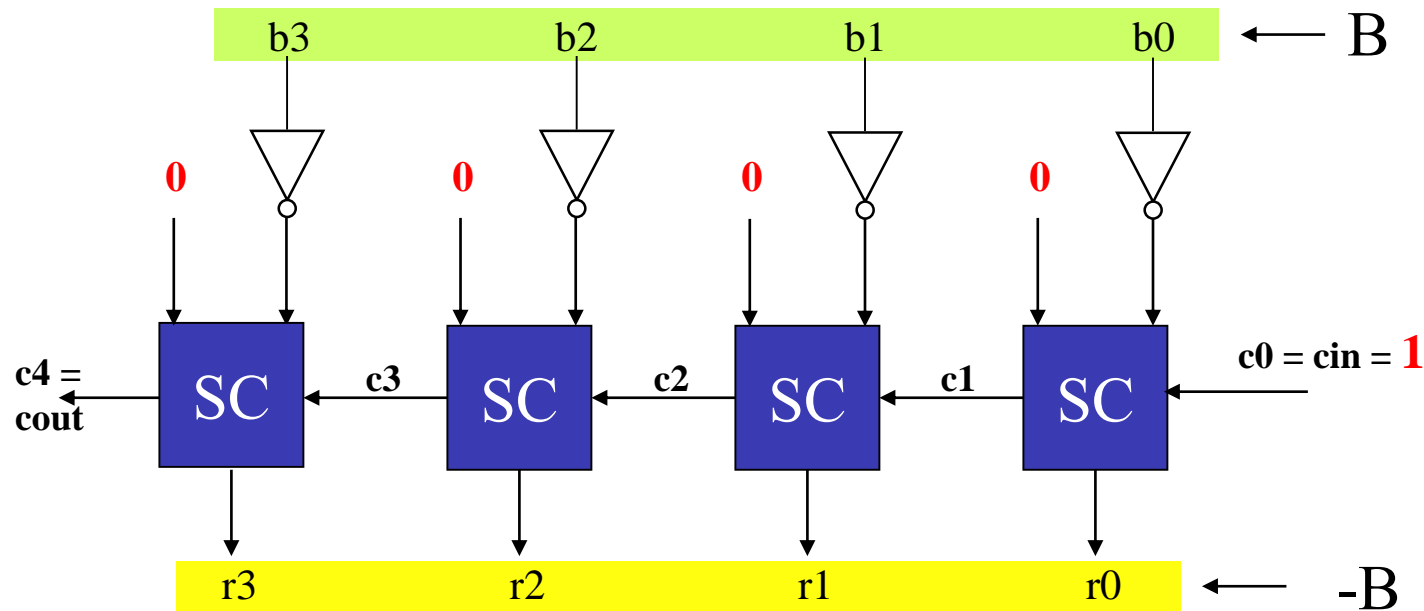
Trocar o sinal significa aplicar as regras do complemento de dois ao número, ou seja:

1. Negar (“NOT”) bit a bit o número
2. Somar uma unidade ao resultado do passo anterior

0. Sistemas Digitais e Nível RT

Circuitos Aritméticos

Exercício 1: Solução



0. Sistemas Digitais e Nível RT

Subtração de Números Inteiros em Binário

Princípio

$$A - B = A + (-B)$$

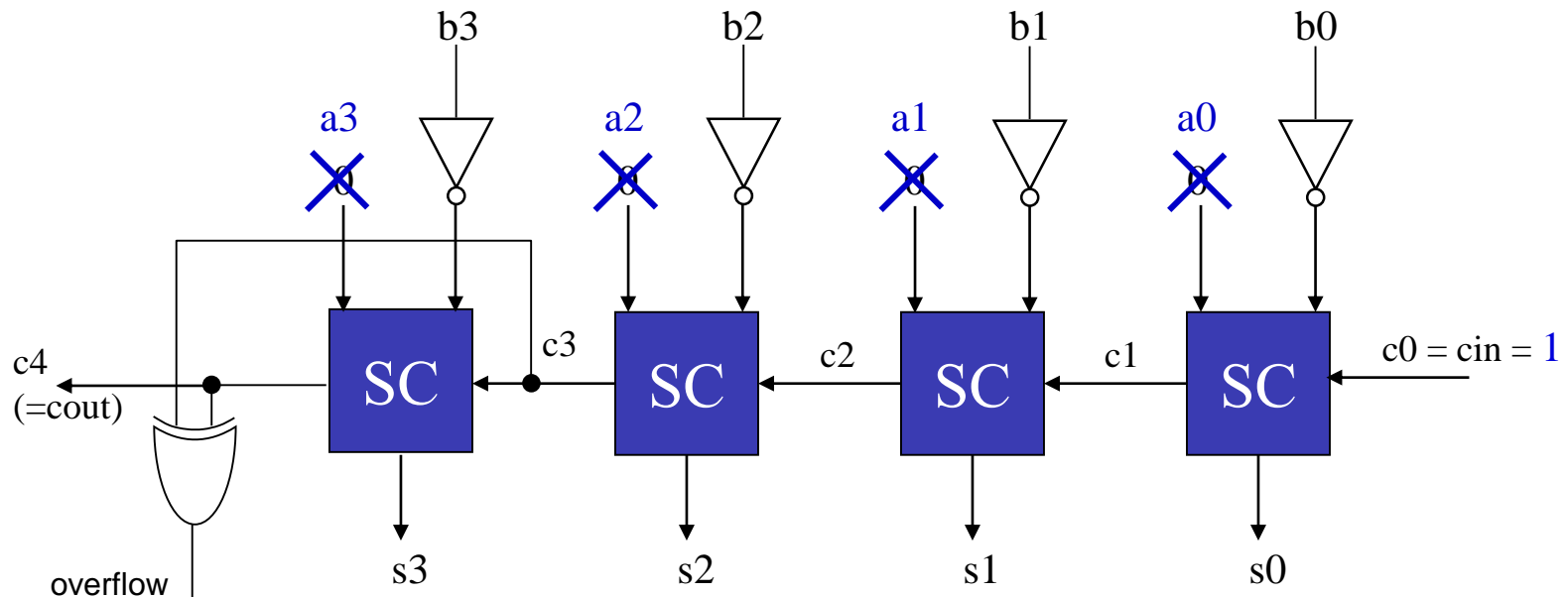
Onde **-B** é o número **B** de sinal trocado!

Ora, que coincidência!! (Ou não?)

0. Sistemas Digitais e Nível RT

Subtrator Paralelo (de 4 bits)

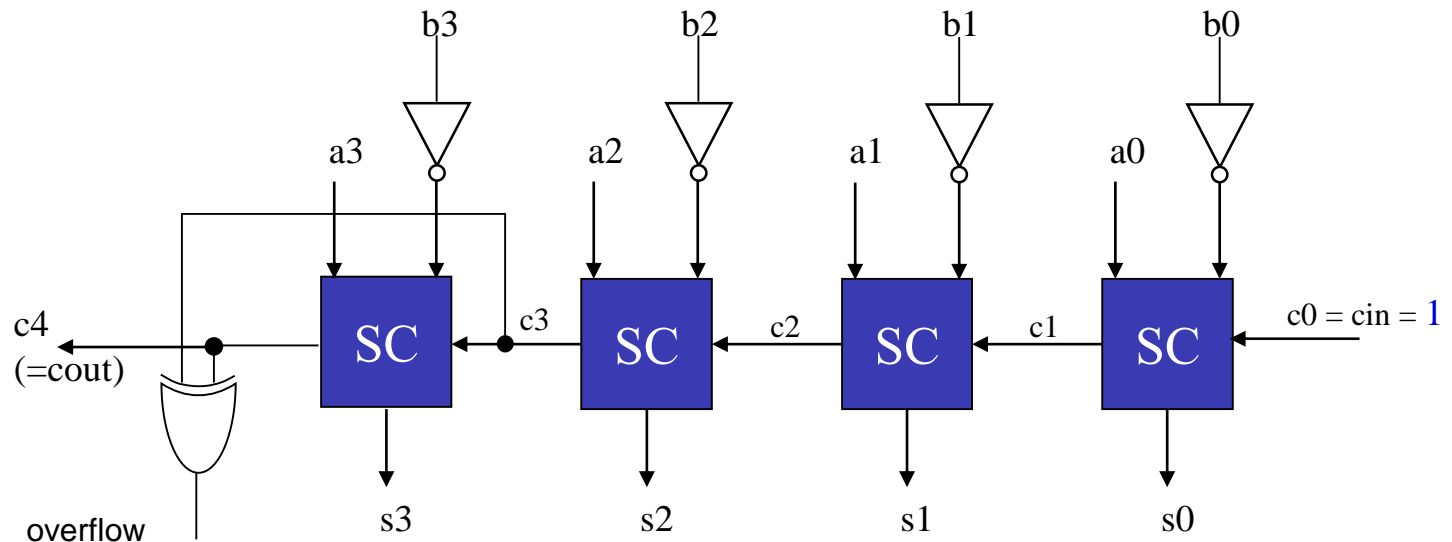
$$A - B = A + (-B)$$



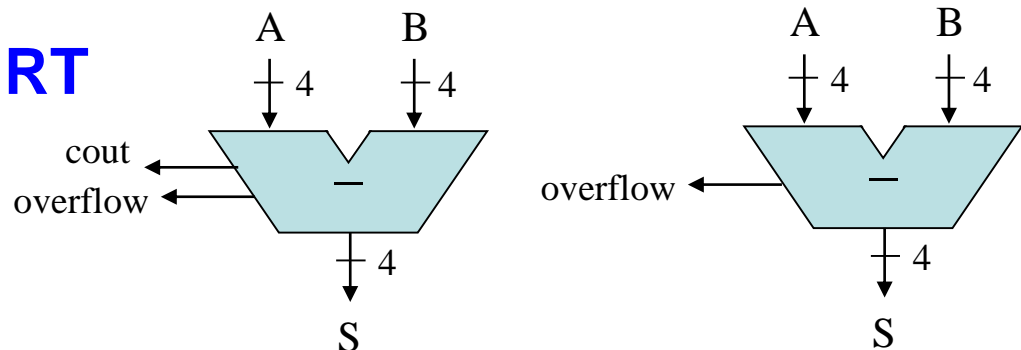
0. Sistemas Digitais e Nível RT

Subtrator Paralelo (de 4 bits)

Diagrama de Blocos (Nível Lógico)



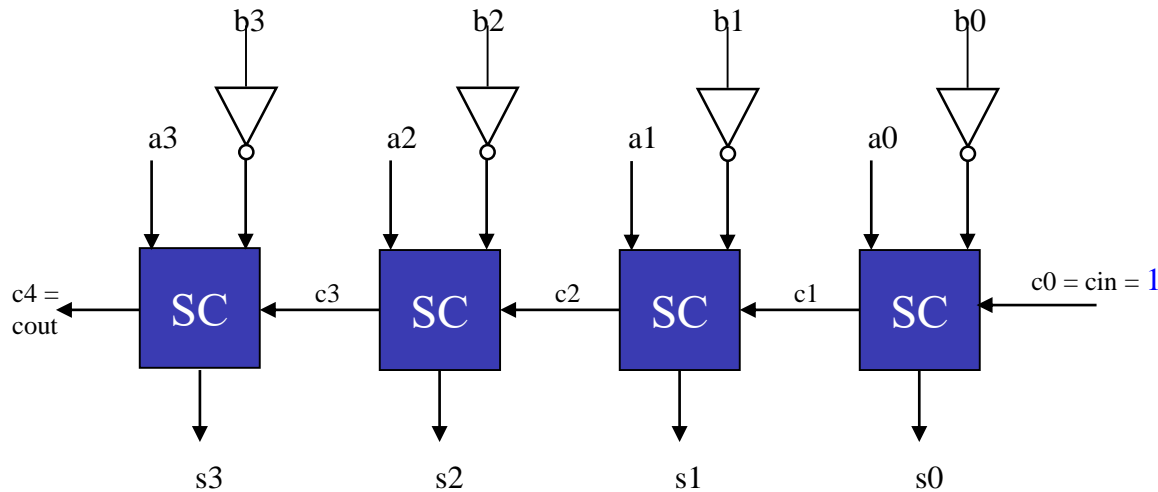
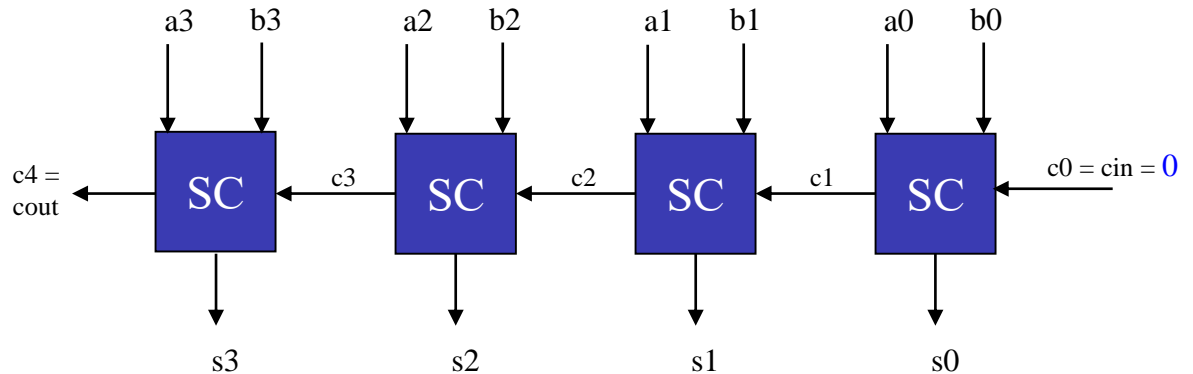
Símbolos no Nível RT



0. Sistemas Digitais e Nível RT

Somador/Subtrator Paralelo (de 4 bits)

Somador

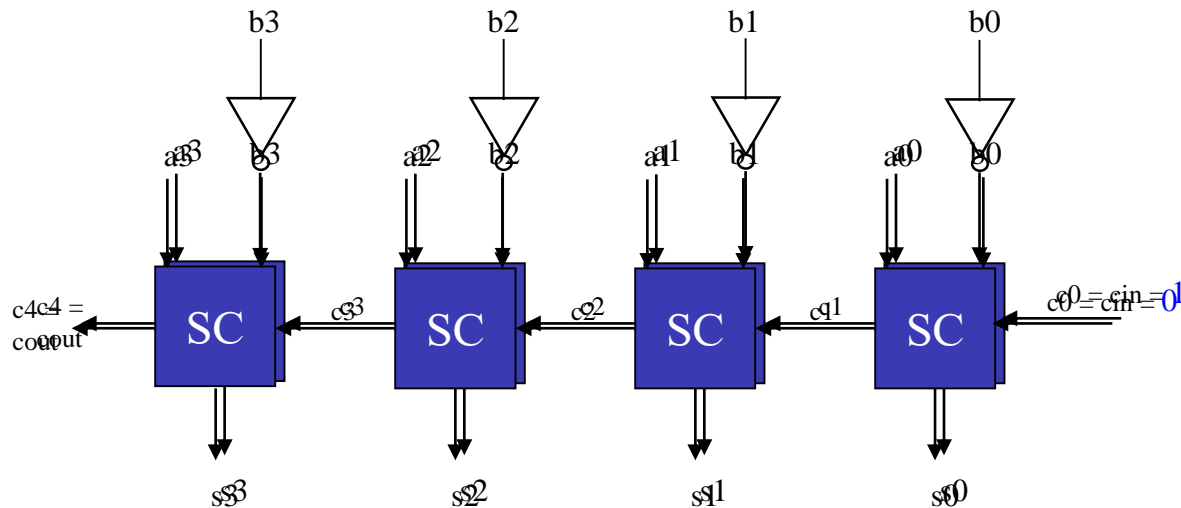


Subtrator

0. Sistemas Digitais e Nível RT

Somador/Subtrator Paralelo (de 4 bits)

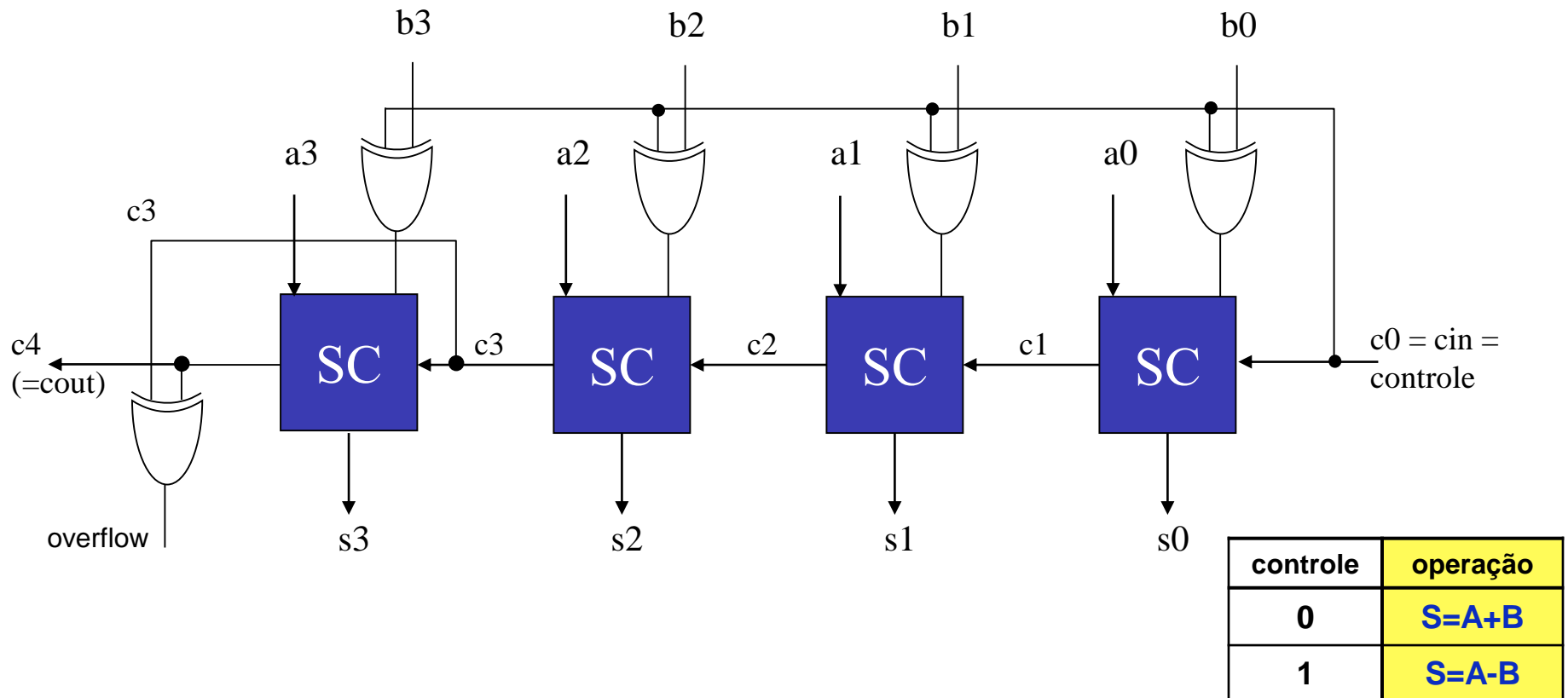
Como uni-los em um único circuito, configurável?



0. Sistemas Digitais e Nível RT

Somador/Subtrator Paralelo (de 4 bits)

Resposta!!!



0. Sistemas Digitais e Nível RT

Somador/Subtrator Paralelo (de 4 bits)

Símbolo no Nível RT

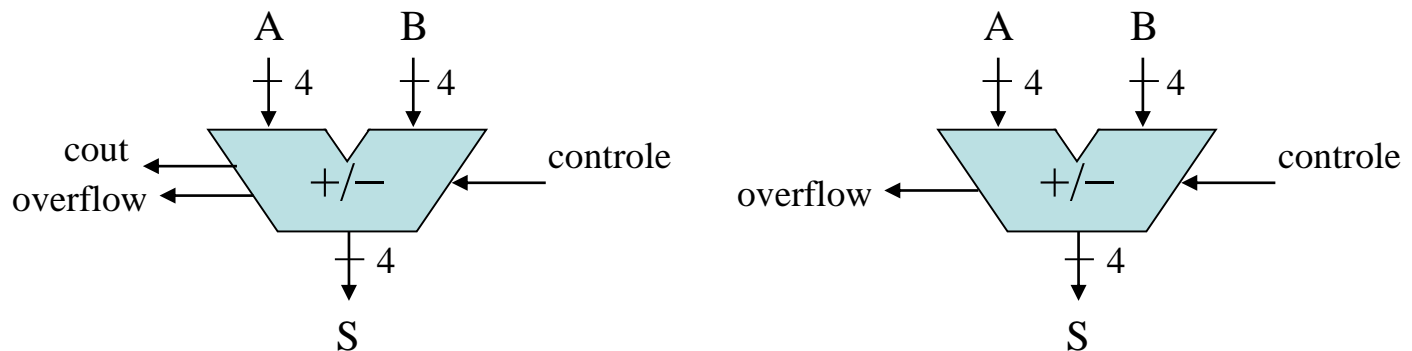
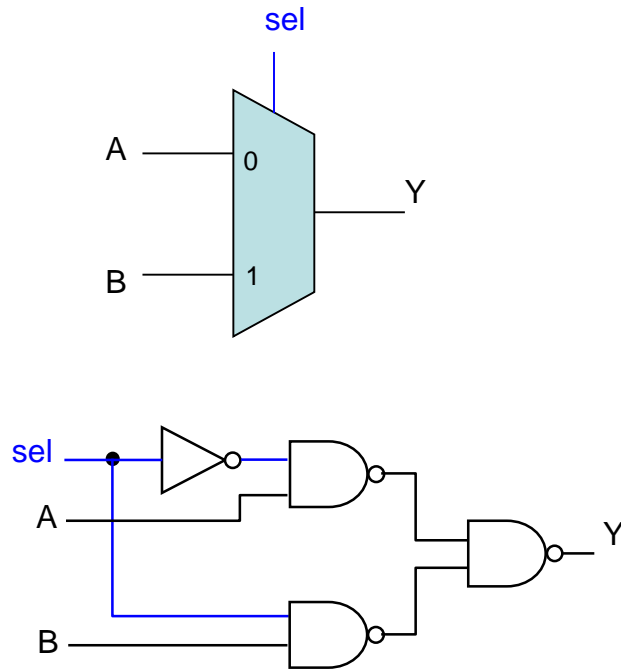


Tabela de Operação

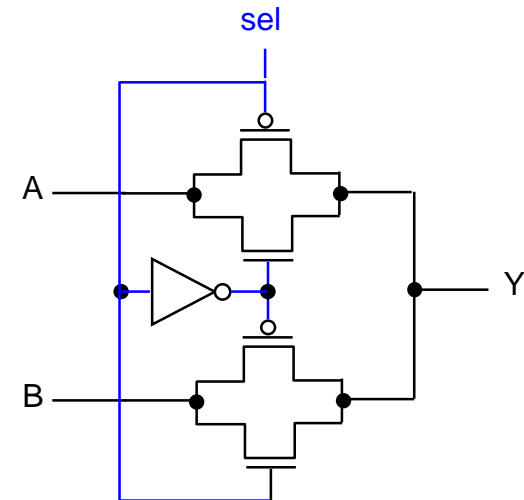
controle	operação
0	$S=A+B$
1	$S=A-B$

0. Sistemas Digitais e Nível RT

Multiplexador 2:1: nível lógico



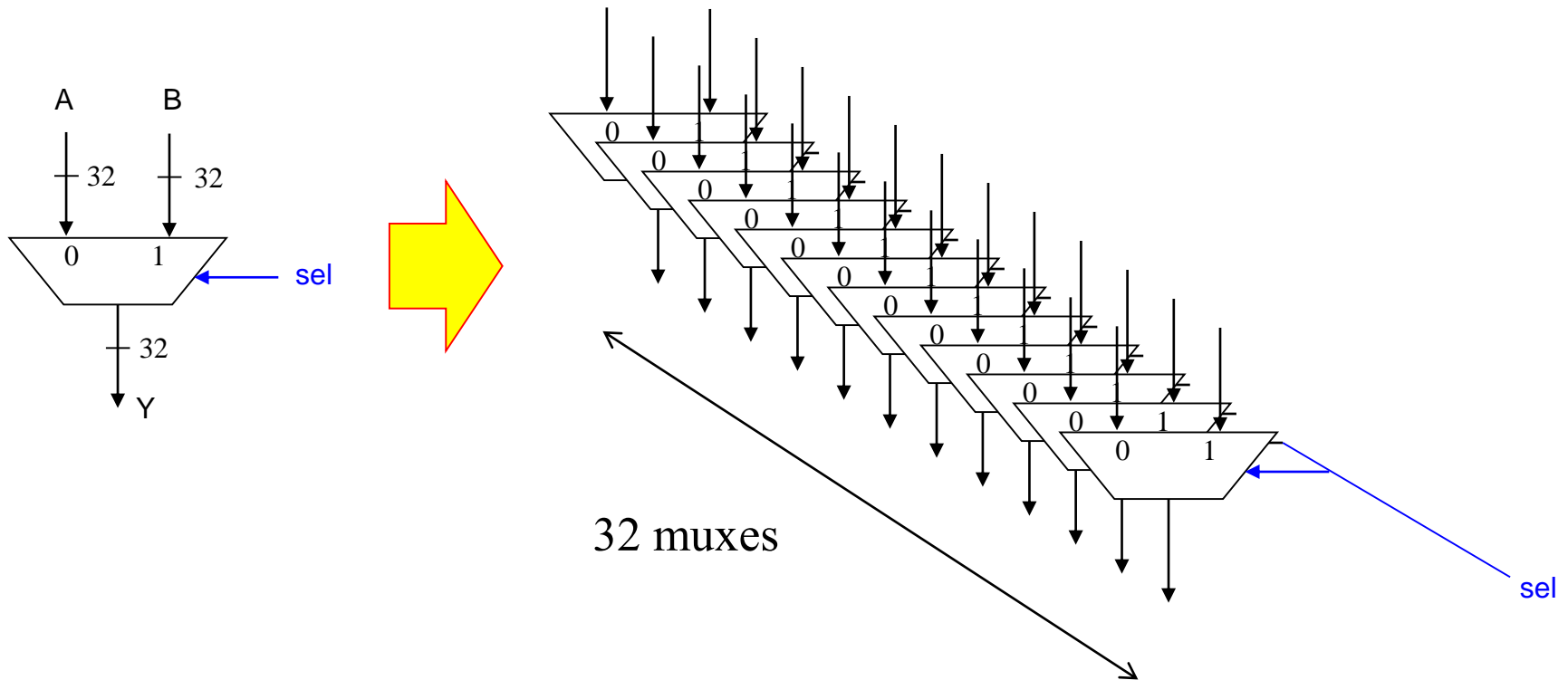
14 ou 12 transistores



6 ou 4 transistores
(mais usado)

0. Sistemas Digitais e Nível RT

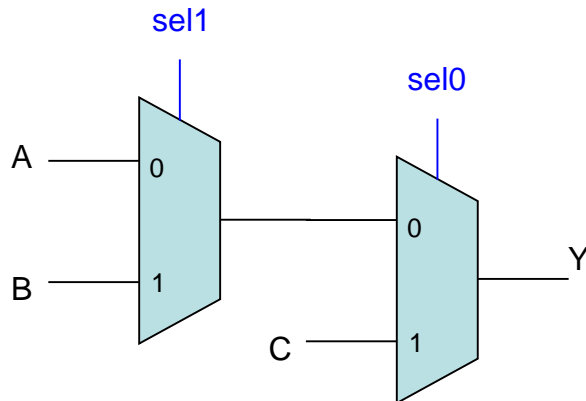
Multiplexador 2:1: nível RT



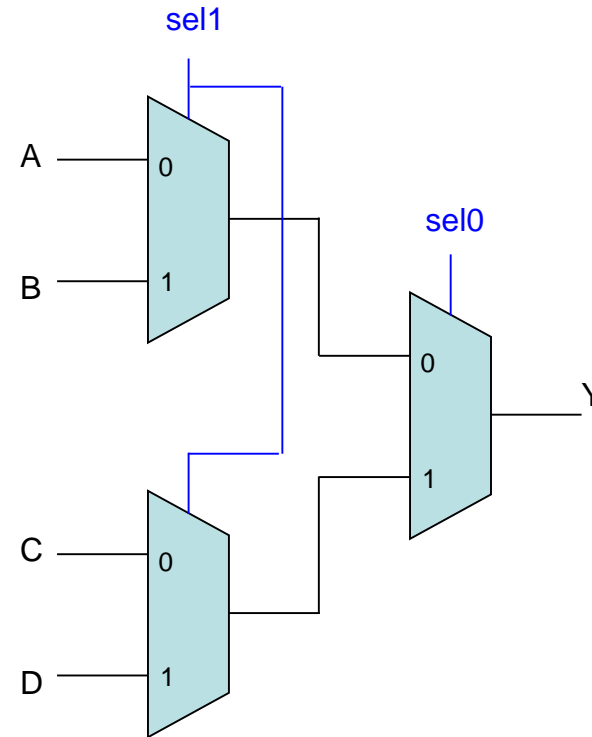
32 x 4 = 128 transistores

0. Sistemas Digitais e Nível RT

Multiplexadores 3:1 e 4:1: nível lógico



2 x 4 = 8 transistores



3 x 4 = 12 transistores

Estrutura e Comportamento de Registradores

Flip-flop D Disparado Pela Borda Ascendente

Exemplo de funcionamento

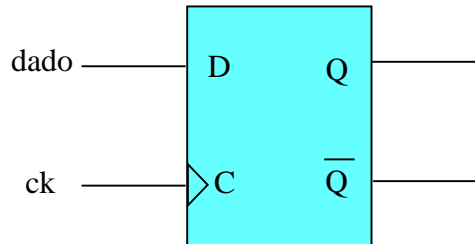
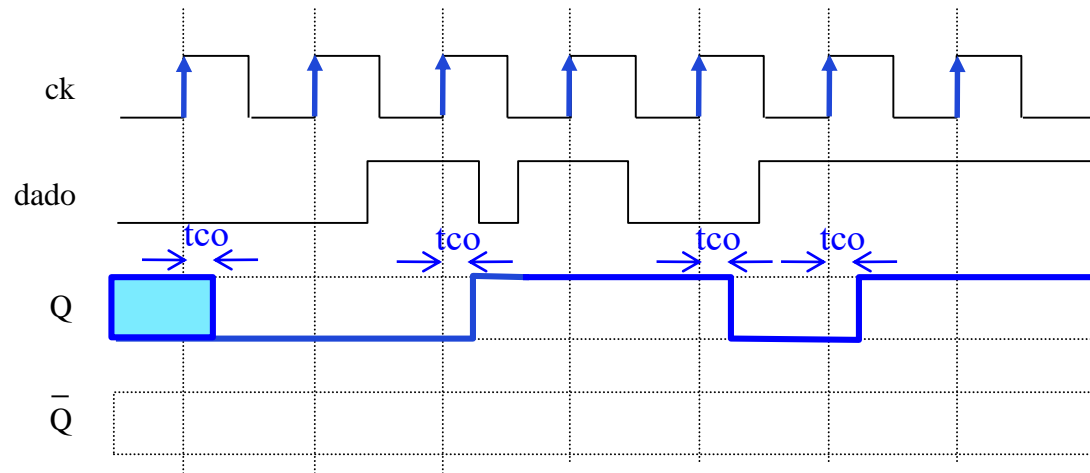


tabela de transição
de estados

C	D	Q_{t+1}
$\neq \uparrow$	X	Q_t
\uparrow	0	0
\uparrow	1	1



Obs: Nesta disciplina assumiremos que o atraso da saída Q' é idêntico ao atraso da saída Q . Assim, a saída Q' será o “espelho” da saída Q .

Estrutura e Comportamento de Registradores

Flip-flop D Disparado Pela Borda Ascendente

Exemplo de funcionamento

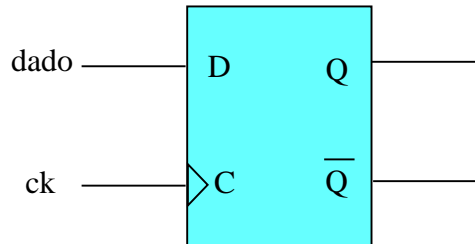
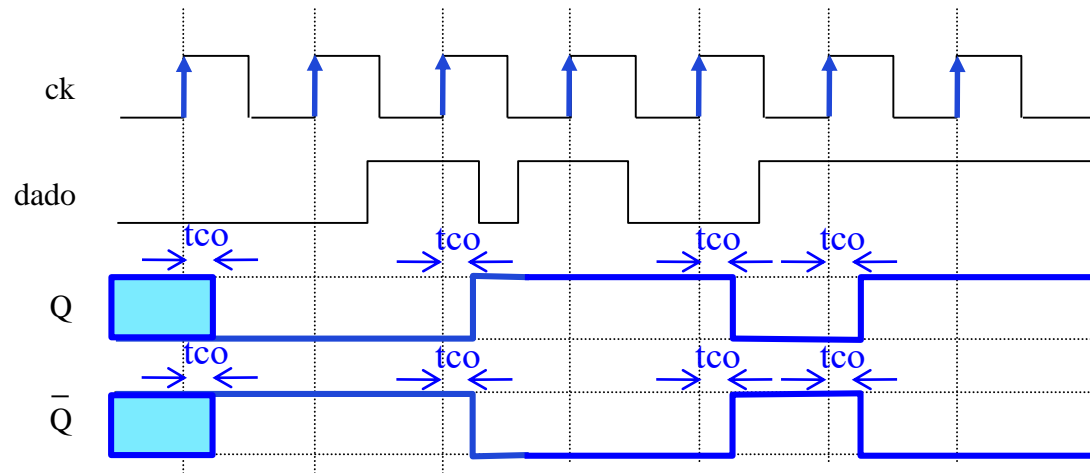


tabela de transição
de estados

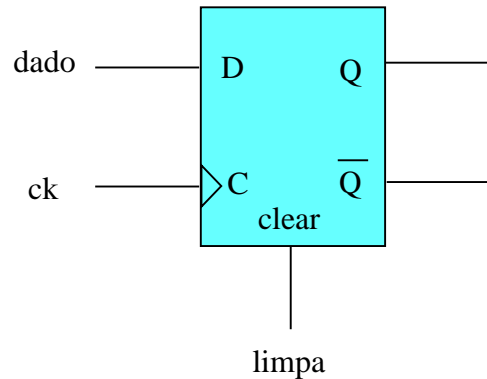
C	D	Q_{t+1}
$\neq \uparrow$	X	Q_t
\uparrow	0	0
\uparrow	1	1



Obs: Nesta disciplina assumiremos que o atraso da saída Q' é idêntico ao atraso da saída Q . Assim, a saída Q' será o “espelho” da saída Q .

Estrutura e Comportamento de Registradores

Flip-flop D Disparado Pela Borda Ascendente, com Reset Assíncrono



Exemplo de funcionamento

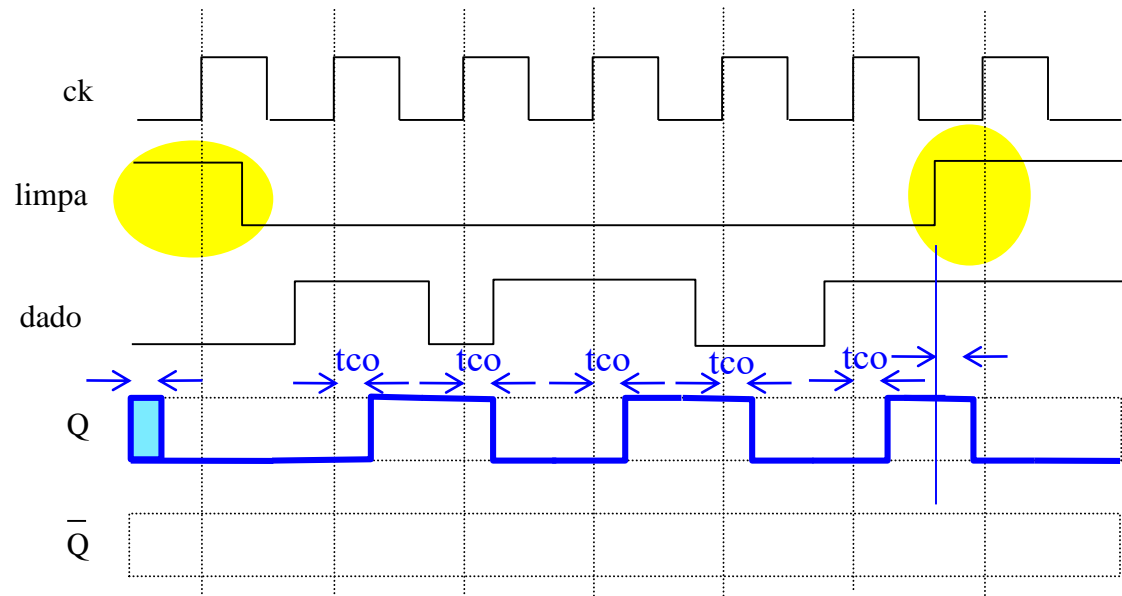


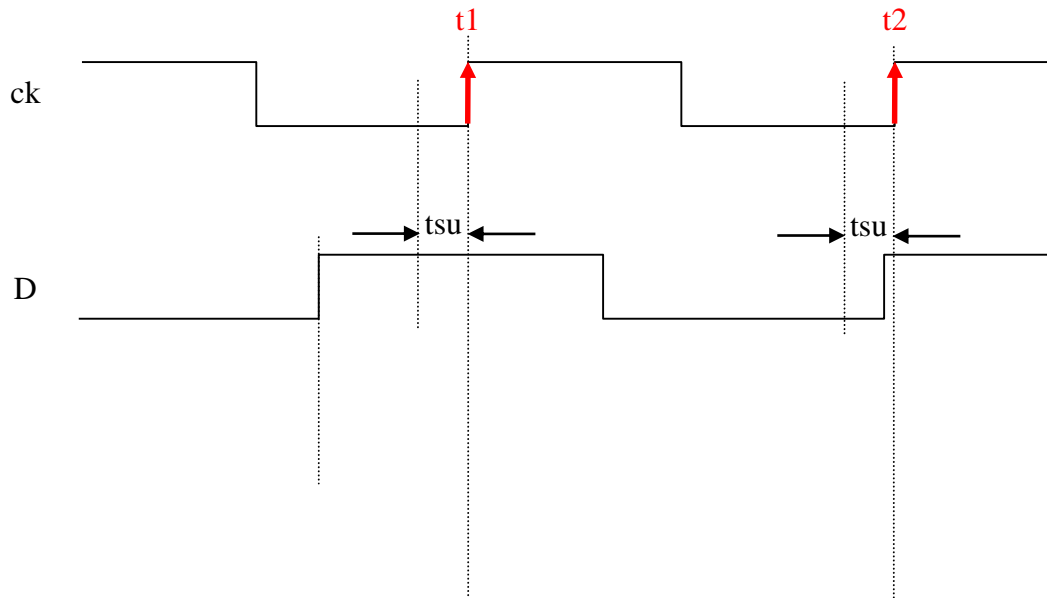
tabela de transição de estados

clear	C	D	Q_{t+1}
0	$\neq \uparrow$	X	Q_t
0	\uparrow	0	0
0	\uparrow	1	1
1	X	X	0

Estrutura e Comportamento de Registradores

Características Temporais de Flip-flops

Supor um Flip-flop D disparado pela Borda de Subida



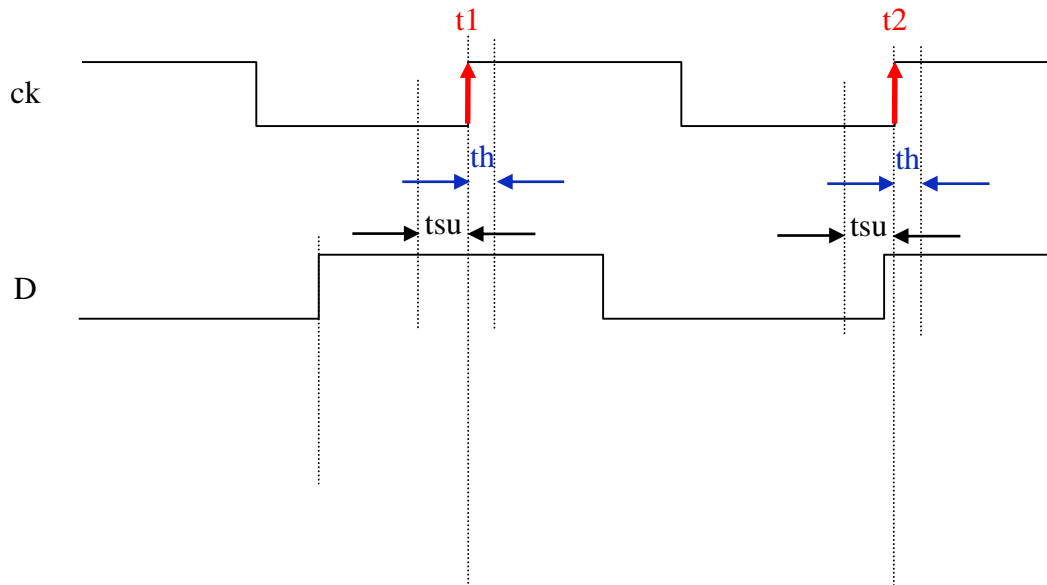
t_{su} = Tempo de Preparação (*setup time*)

“Tempo antes da borda ativa de ck (subida, neste caso) durante o qual a entrada D já deve estar em seu valor estável.”

Estrutura e Comportamento de Registradores

Características Temporais de Flip-flops

Supor um Flip-flop D disparado pela Borda de Subida



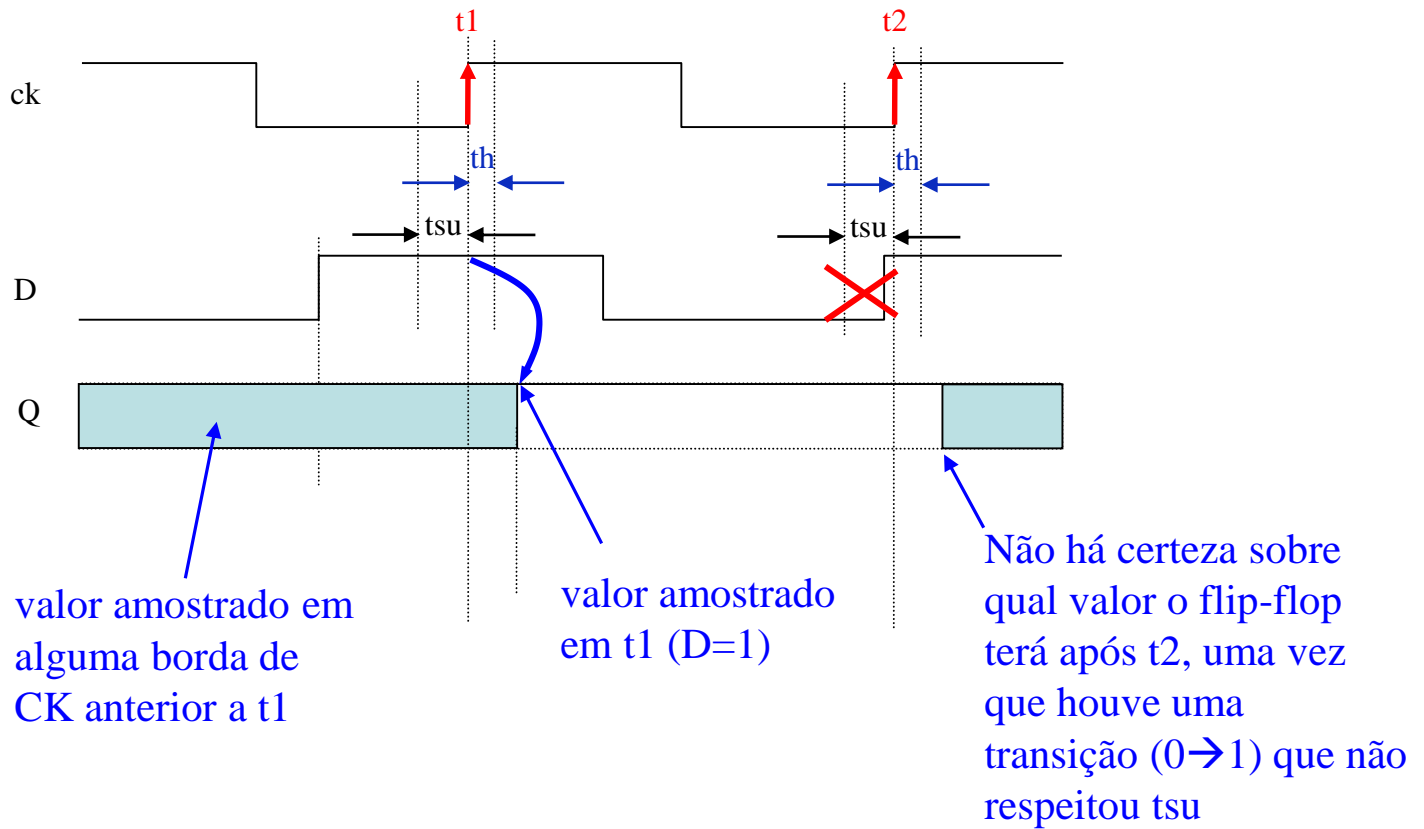
t_h = Tempo de Manutenção (*hold time*)

“Tempo, a partir da borda ativa de ck (subida, neste caso), durante o qual a entrada D deve permanecer estável.”

Estrutura e Comportamento de Registradores

Características Temporais de Flip-flops

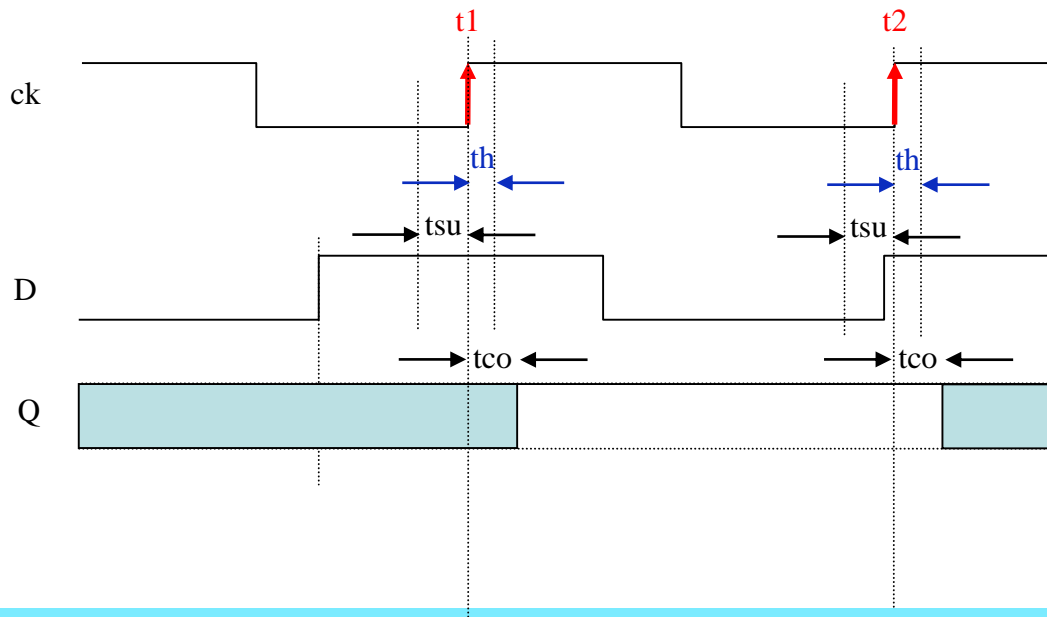
Supor um Flip-flop D disparado pela Borda de Subida



Estrutura e Comportamento de Registradores

Características Temporais de Flip-flops

Supor um Flip-flop D disparado pela Borda de Subida

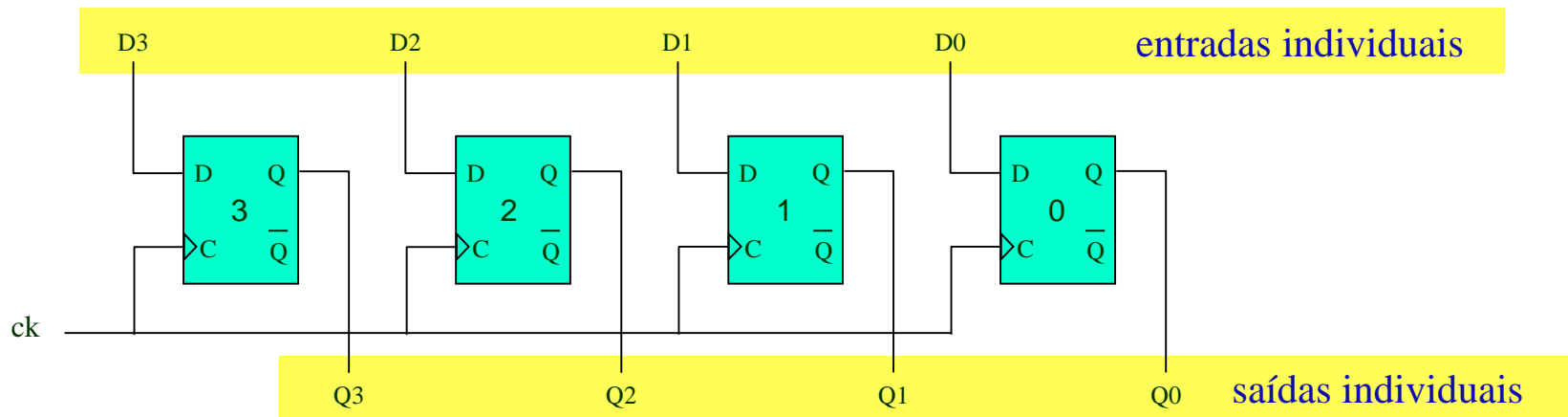


tco (ou td) = *Time from clock to output* (ou Tempo ou Atraso de Carga)

“Atraso, em relação à borda ativa de ck (subida, neste caso), para o valor amostrado a partir da entrada D aparecer nas saídas Q e Q.”

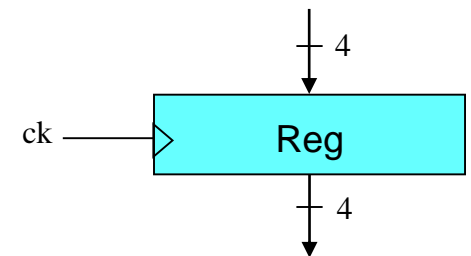
0. Sistemas Digitais e Nível RT

Registrador com Carga Paralela



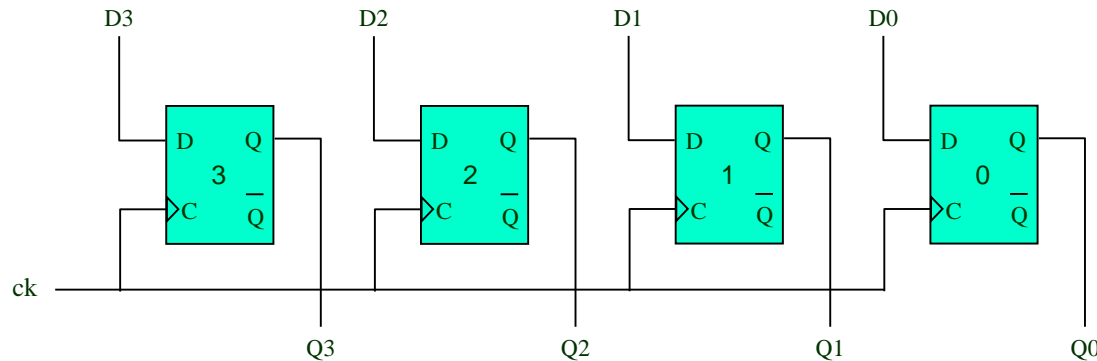
- Existe um FF para cada bit a ser armazenado
- Todos os FFs “obedecem” a um mesmo sinal de controle
- O termo “carga paralela” refere-se ao fato de existir uma entrada para cada bit, de modo que é possível carregar simultaneamente todos os bits do dado

Símbolo no nível RT



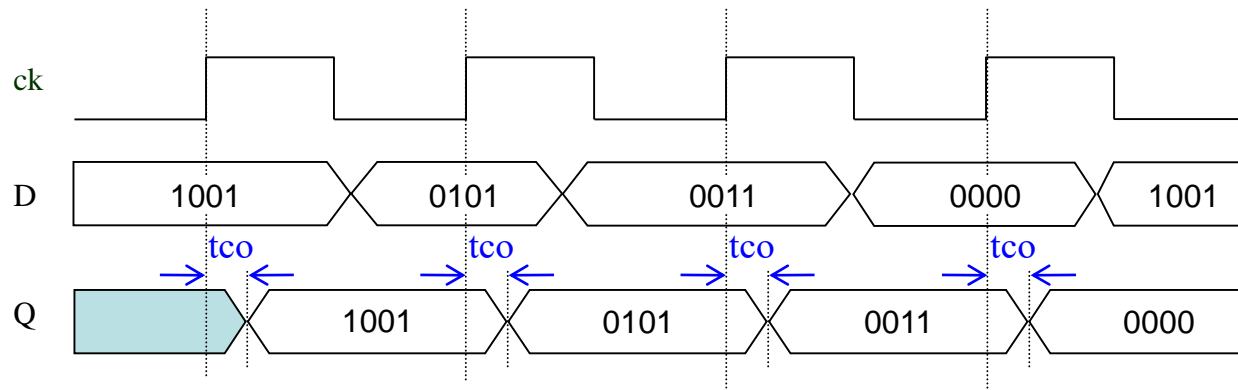
0. Sistemas Digitais e Nível RT

Registrador com Carga Paralela



Obs:
Como os flip-flops
estão em paralelo, o
tco de um
registrador será o
pior dentre os tcos
de seus flip-flops.

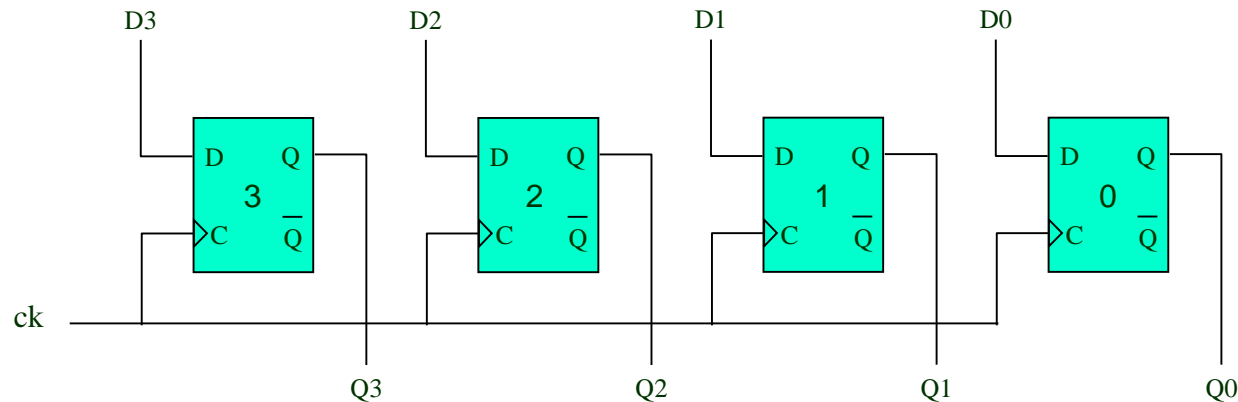
Exemplo de funcionamento (assumindo que t_{su} e t_h são satisfeitos)



A cada borda de subida de “controle” um novo dado é amostrado e fica armazenado no registrador (até a próxima borda de subida de “controle”)

0. Sistemas Digitais e Nível RT

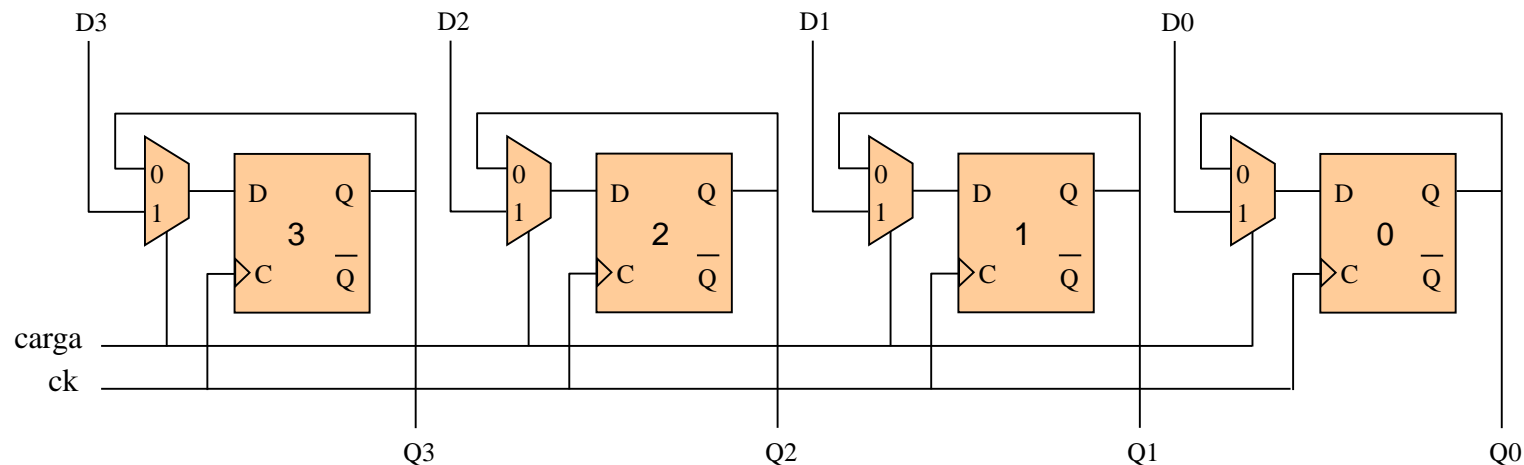
Registrador com Carga Paralela



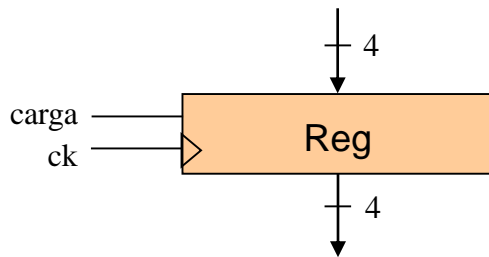
- Peculiaridade: a cada borda de subida de “controle” um novo dado é amostrado, **mesmo que não se queira amostrar um dado novo...**
- Porém, às vezes pode ser necessário que o registrador obedeça a um sinal de controle sincronizado com o sinal de relógio. (Solução na próxima transparência...)

0. Sistemas Digitais e Nível RT

Registrador com Habilitação de Carga Paralela



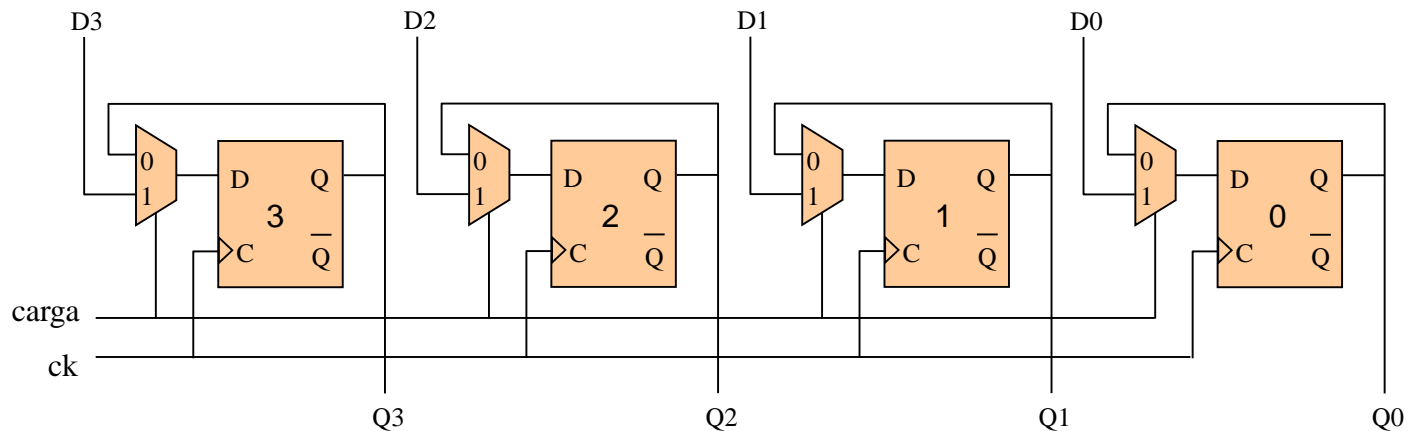
Símbolo no nível RT



- Existe um sinal de “carga” e um sinal de relógio (ck)
- A cada borda ativa de “ck” cada FF amostra um valor de sua respectiva entrada “D”:
 - Se carga=0, cada FF amostra seu respectivo “Q”
 - Se carga=1, cada FF amostra um valor externo “Di”

0. Sistemas Digitais e Nível RT

Registrador com Habilitação de Carga Paralela



Exemplo de funcionamento (assumindo que tsu e th são satisfeitos)

