



**Universidade Federal de Santa Catarina**  
**Centro Tecnológico**  
Departamento de Informática e Estatística  
Curso de Graduação em Ciências da Computação



# **Sistemas Digitais**

**INE 5406**

## **Aula 2-P**

**Simulação *gate-level* de um somador completo com o ModelSim.**

**Prof. José Luís Güntzel**  
**[guntzel@inf.ufsc.br](mailto:guntzel@inf.ufsc.br)**

Colaboração: **Vinícius Livramento** (Est. Docência 2010/1)  
**[vini@inf.ufsc.br](mailto:vini@inf.ufsc.br)**

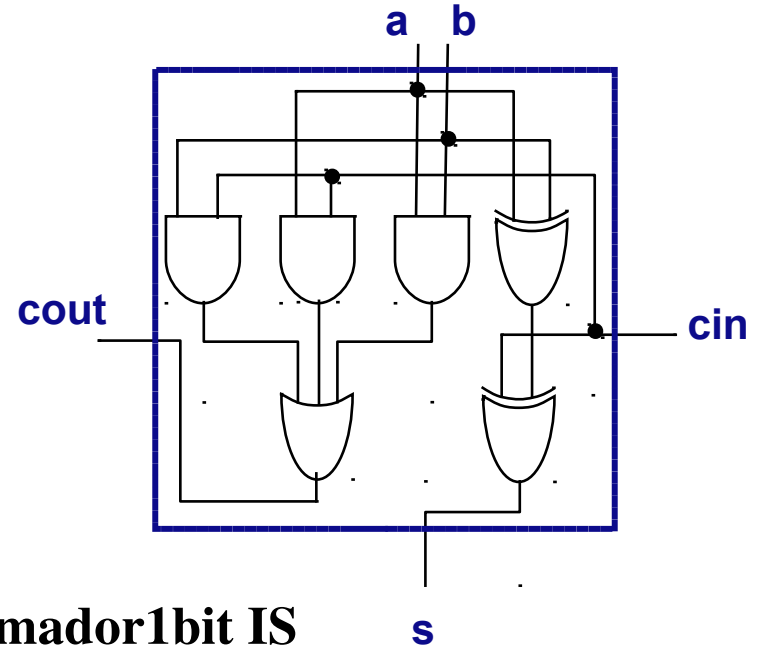
**[www.inf.ufsc.br/~guntzel/ine5406/ine5406.html](http://www.inf.ufsc.br/~guntzel/ine5406/ine5406.html)**

# Introdução à Linguagem VHDL

## ► Exemplo: um Full Adder

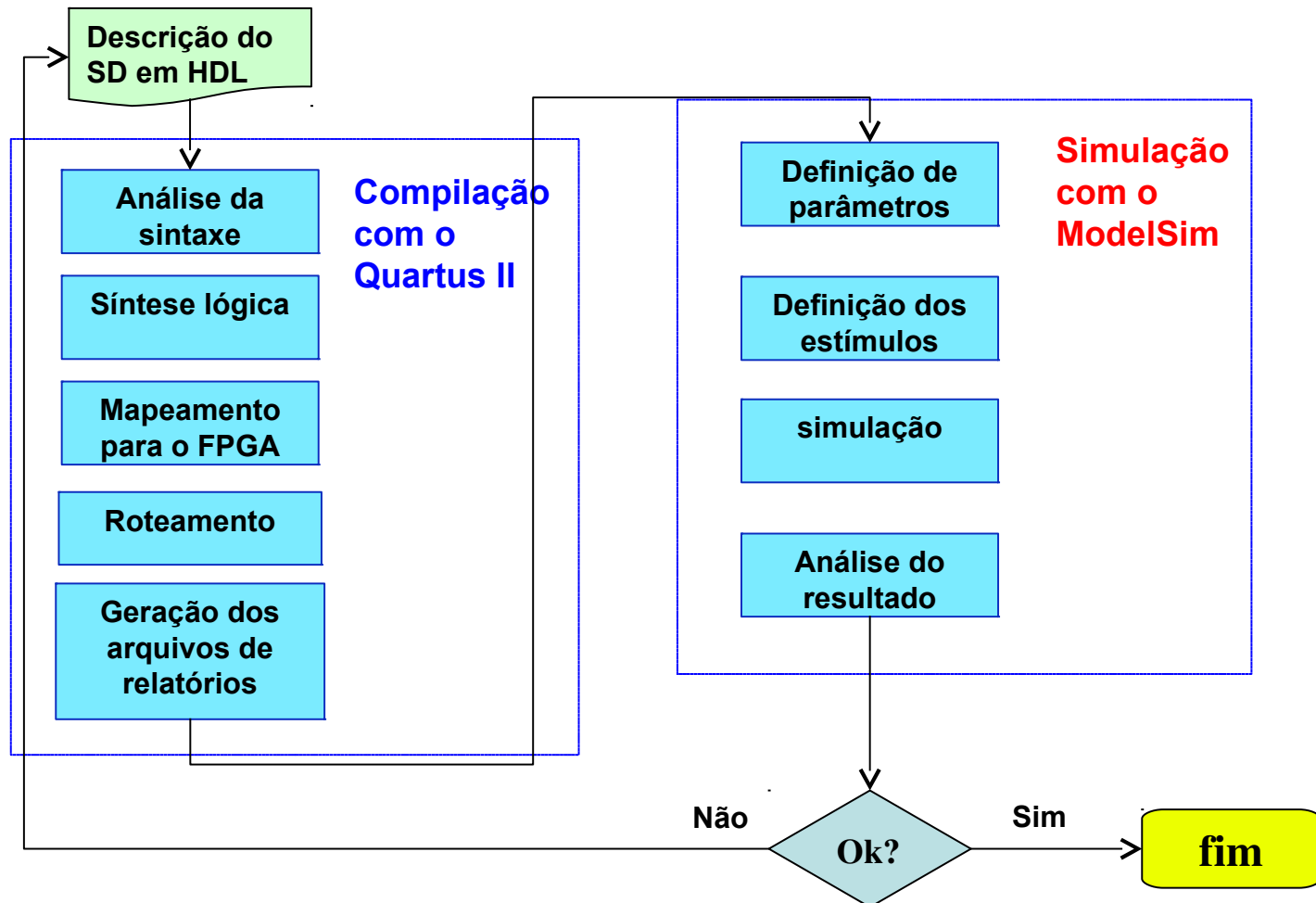
```
LIBRARY ieee;  
USE ieee.std_logic_1164.all;  
  
ENTITY somador1bit IS  
    PORT (cin, a, b : IN STD_LOGIC;  
          s, cout : OUT STD_LOGIC);  
END somador1bit ;
```

```
ARCHITECTURE comportamento OF somador1bit IS  
BEGIN  
    s <= a XOR b XOR cin;  
    cout <= (a AND b) OR (a AND cin) OR (b AND cin);  
END comportamento;
```



# Projeto de Sistemas Digitais com Ferramentas EDA

## ► Fluxo de Projeto para FPGAs



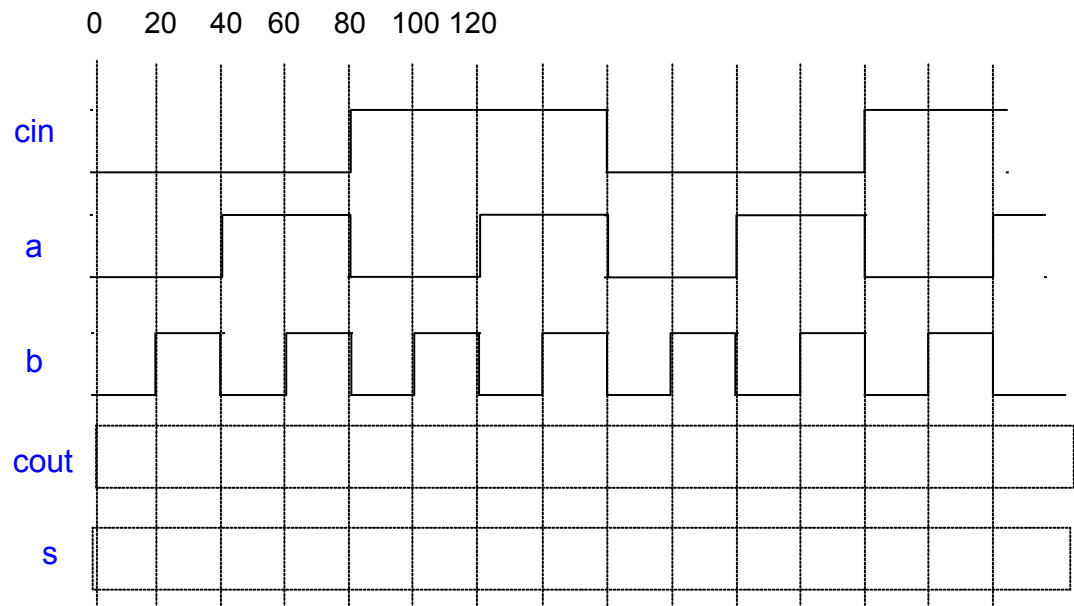
# Projeto de Sistemas Digitais com Ferramentas EDA

## ► Experimento 1: descrição/compilação e simulação de um SC

### Preparação dos Estímulos para a Simulação

**Solução trivial (ingênua): Transformar a tabela-verdade em formas de onda**

cin	a	b	cout	s
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1



#### Observações:

1. Preencher a mão as waveforms (formas de onda) esperadas para as saídas para confrontá-la com o resultado da simulação.
2. T deve ser maior que “longest tpd” reportado pelo Quartus II.

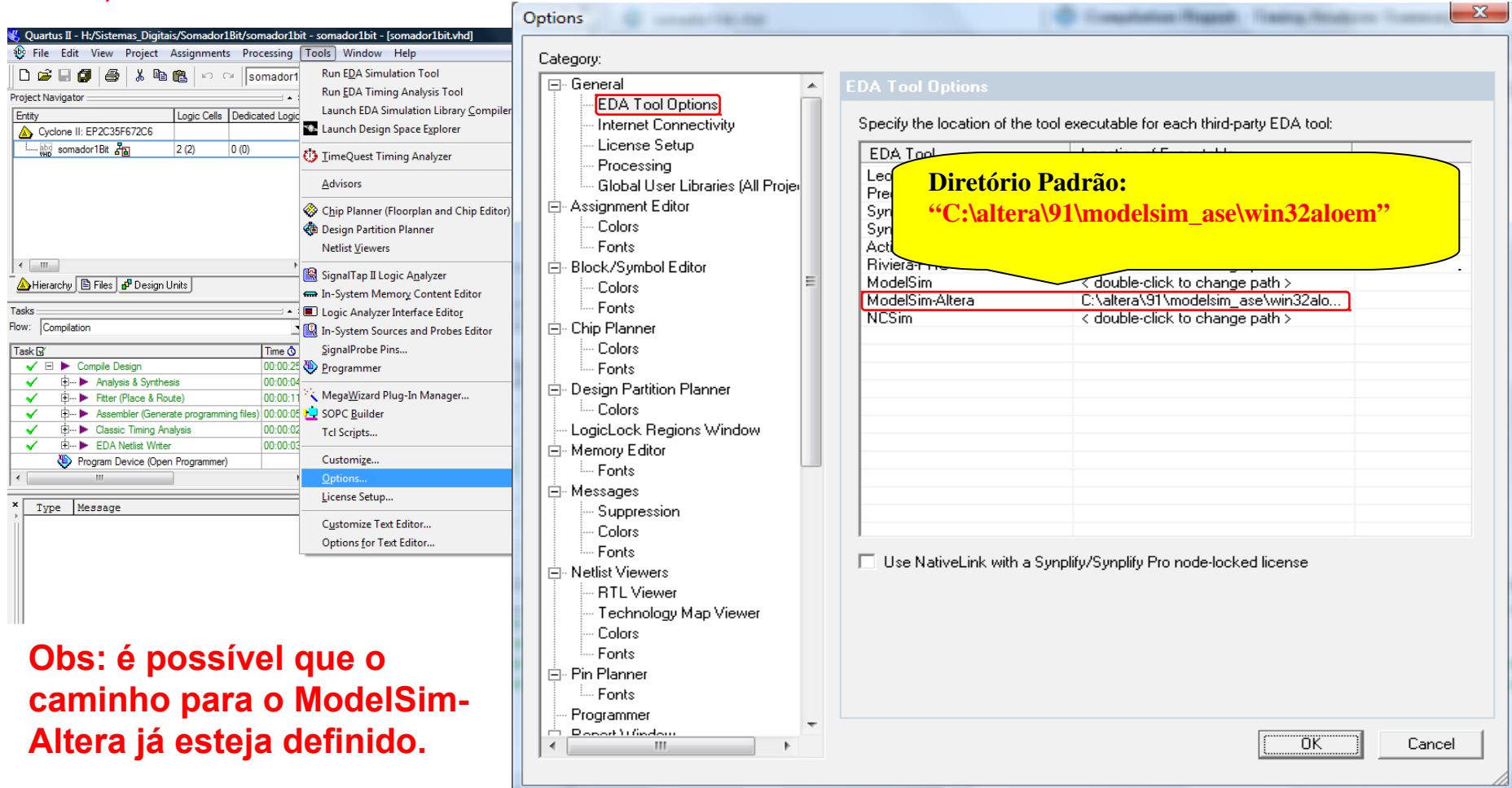
# Projeto de Sistemas Digitais com Ferramentas EDA

## ▶ **Experimento 1:** descrição/compilação e simulação de um SC

- **A verificação será feita por meio de simulação no nível lógico com atrasos com a ferramenta ModelSim da Mentor Graphics, versão Altera. (O ModelSim chama este tipo de simulação de “*gate level simulation*”).**
- **As próximas transparências mostram como configurar o ModelSim-Altera e como realizar a simulação.**

# Projeto de Sistemas Digitais com Ferramentas EDA

## ► Definir o caminho do Modelsim-Altera



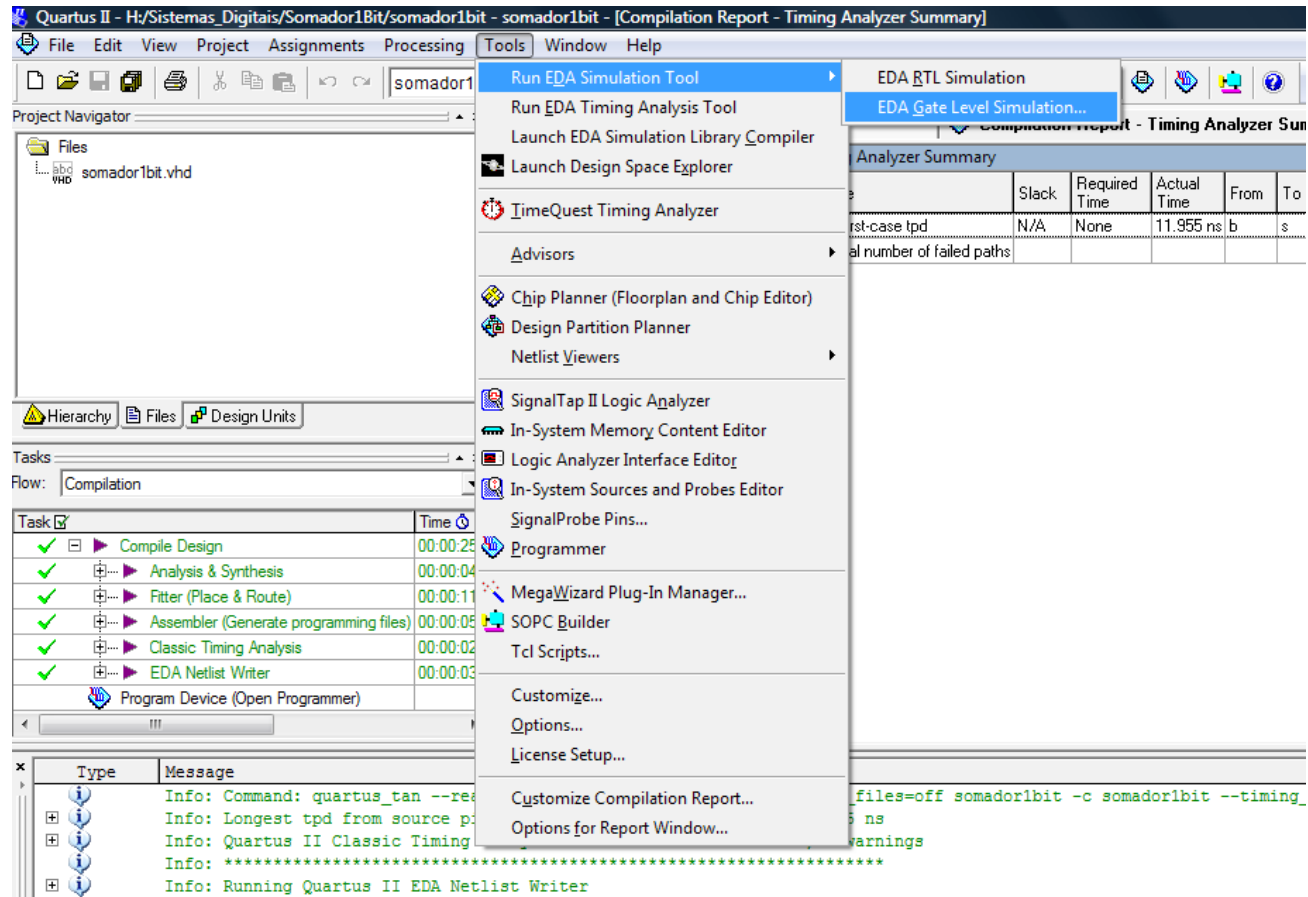
The screenshot shows the Quartus II interface with the 'Options' dialog box open. The 'EDA Tool Options' category is selected in the left pane. The right pane shows a table for specifying the location of third-party EDA tools. A yellow callout box highlights the default directory path: **Diretório Padrão:** **"C:\altera\91\modelsim\_ase\win32aloem"**. The path is also visible in the table within the dialog box.

EDA Tool	Location
ModelSim	< double-click to change path >
ModelSim-Altera	C:\altera\91\modelsim_ase\win32aloem
NCSim	< double-click to change path >

Obs: é possível que o caminho para o ModelSim-Altera já esteja definido.

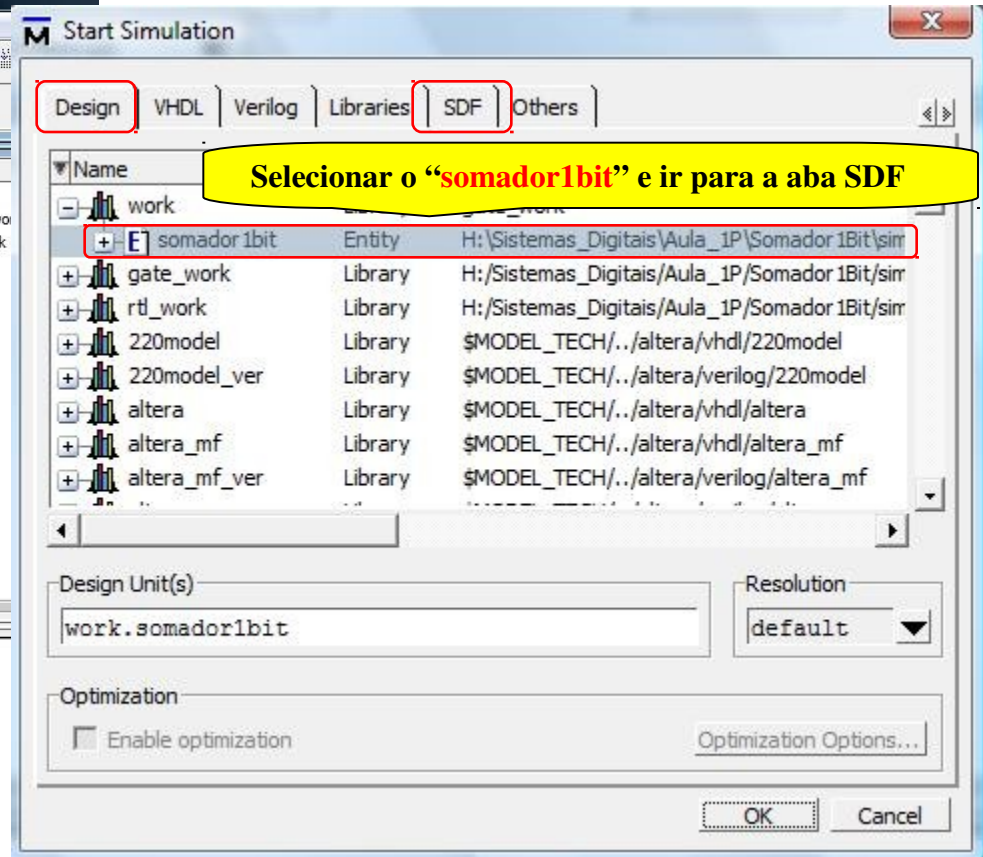
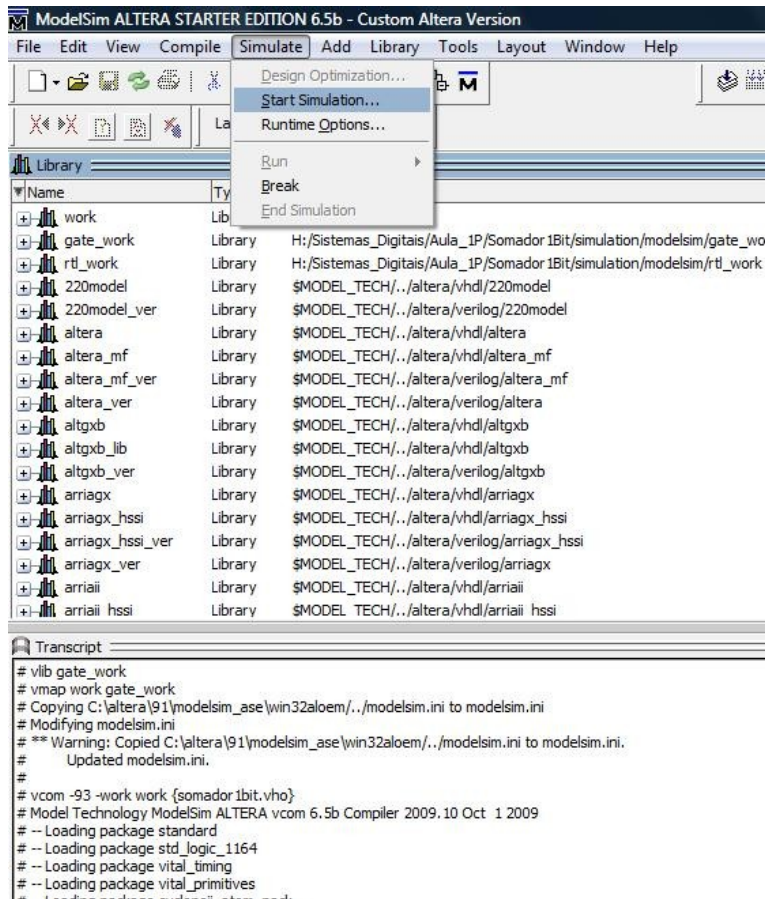
# Projeto de Sistemas Digitais com Ferramentas EDA

## ► Abrir a ferramenta Modelsim-Altera



# Projeto de Sistemas Digitais com Ferramentas EDA

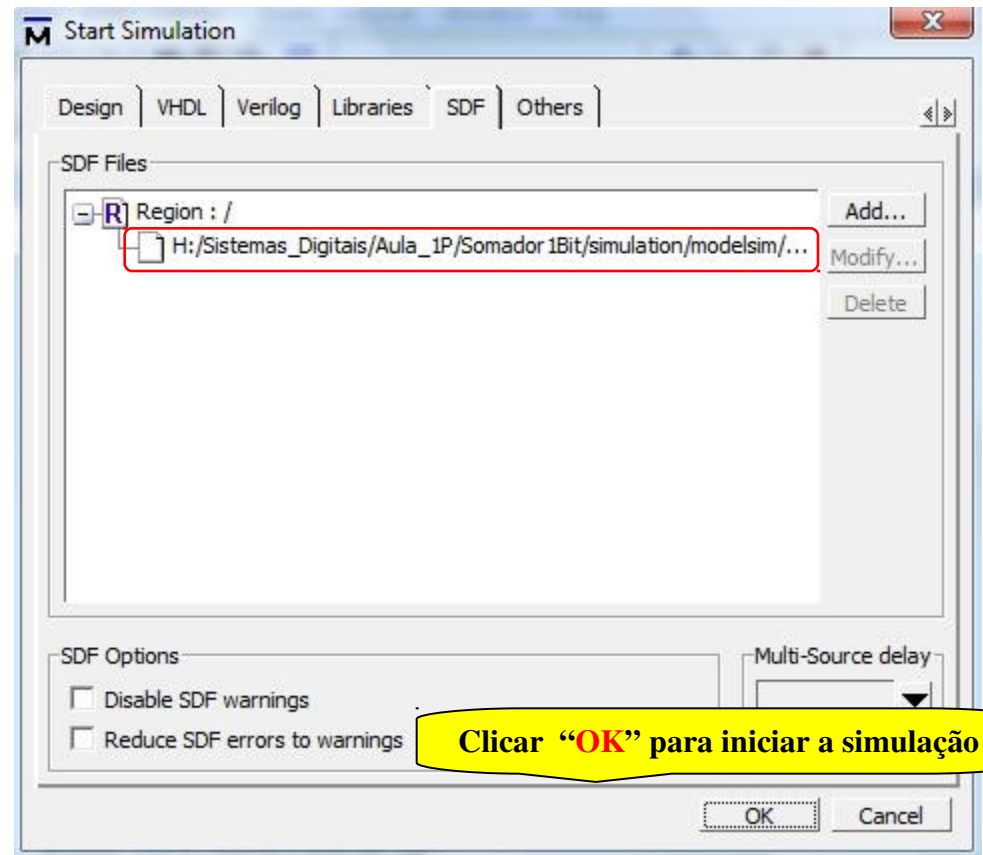
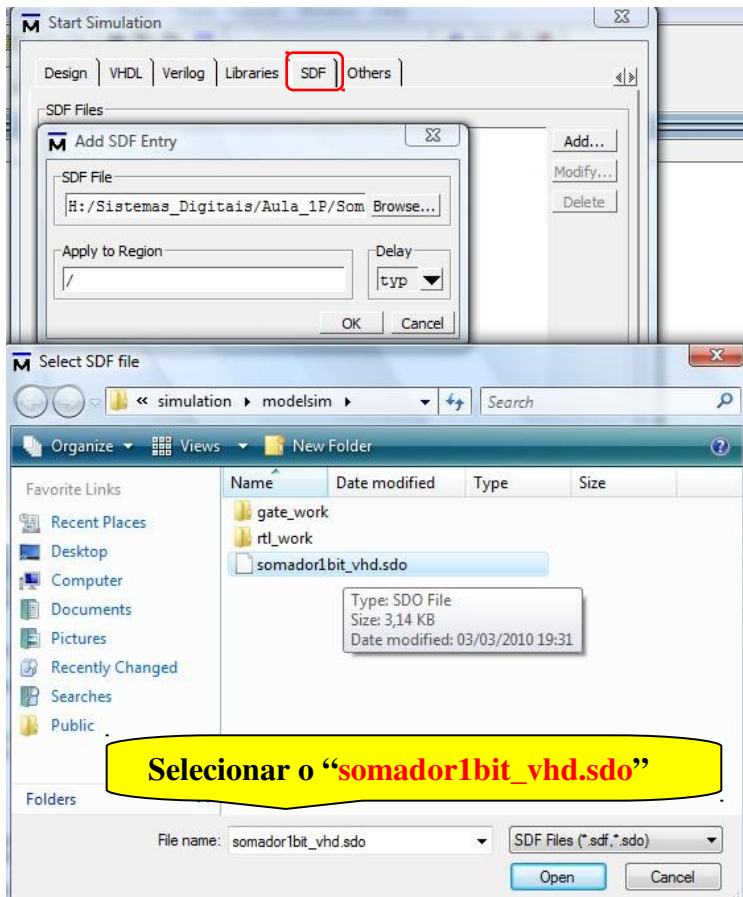
## ▶ Iniciar simulação “Gate-Level”





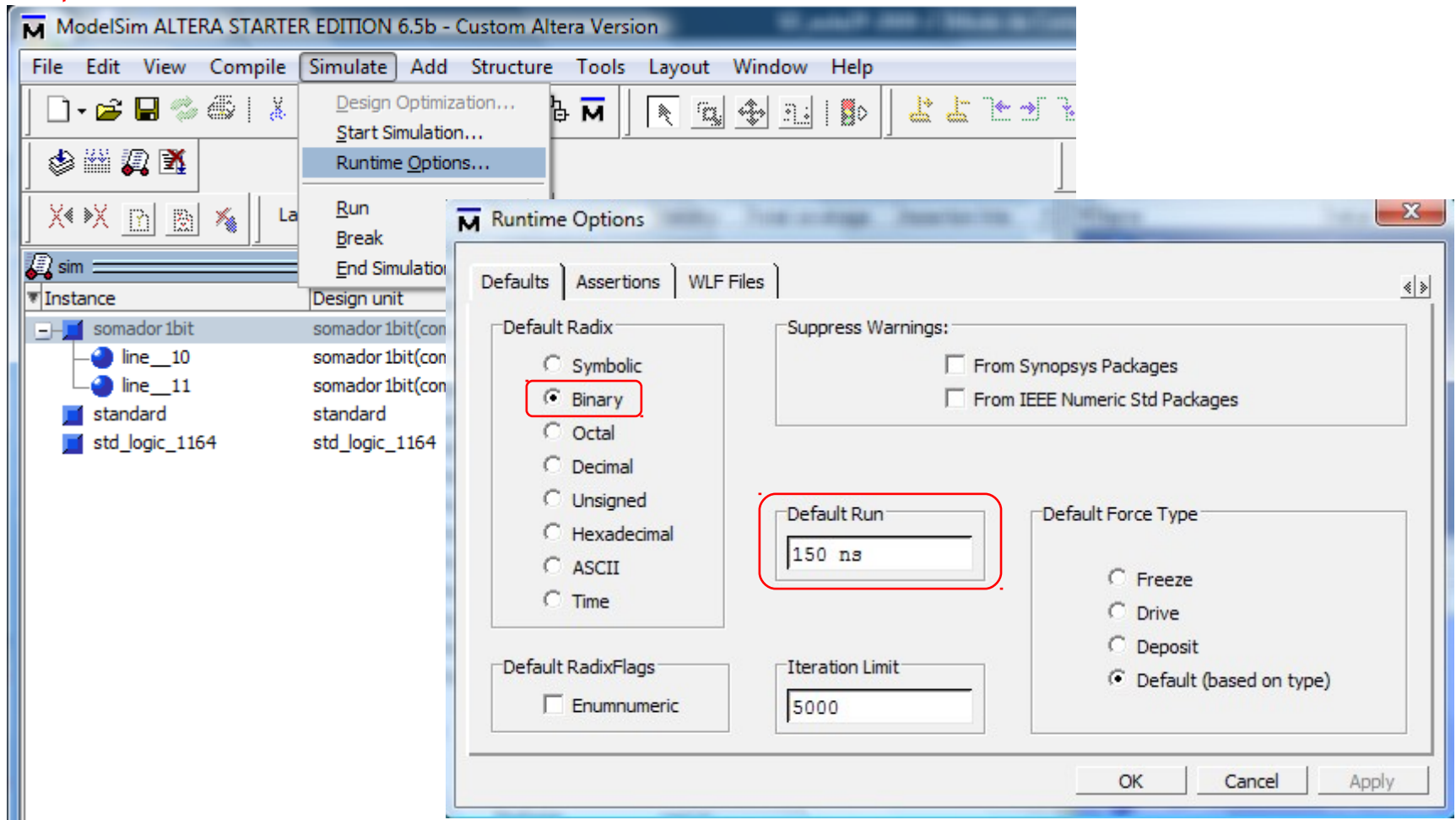
# Projeto de Sistemas Digitais com Ferramentas EDA

## ▶ Iniciar simulação “Gate-Level”



# Projeto de Sistemas Digitais com Ferramentas EDA

## ▶ Alterar opções de simulação



# Projeto de Sistemas Digitais com Ferramentas EDA

## ▶ Adicionar os sinais às “waveforms”

The screenshot shows the ModelSim ALTERA STARTER EDITION 6.5b interface. The 'Objects' window is open, displaying a list of signals and processes. A context menu is open over the signal list, with the 'Add' option selected, leading to a submenu where 'To Wave' is chosen. The 'Selected Signals' option is also visible in the submenu.

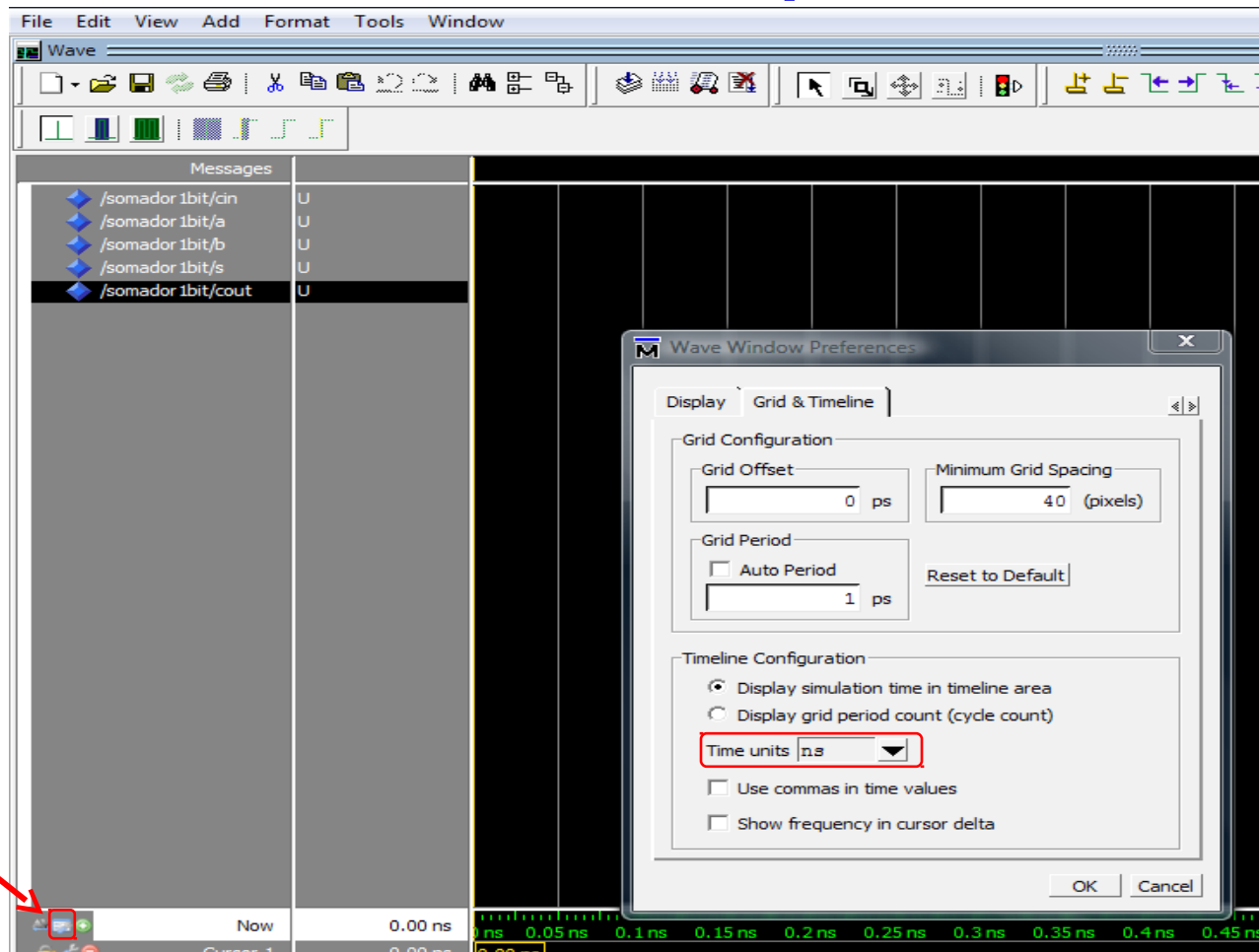
Name	Value	Kind	Mode
cin	U	Signal	In
a	U	Signal	In
b	U	Signal	In
s	U	Signal	Out
cout	U	Signal	Out
gnd		Signal	Internal
vcc		Signal	Internal
unknown		Signal	Internal
devoc		Signal	Internal
devdm		Signal	Internal
devm		Signal	Internal

Name	Value	Kind	Mode
vital		VHDL Process	Ready
line__6244		VHDL Process	Ready
line__6243		VHDL Process	Ready
line__6241		VHDL Process	Ready
line__6240		VHDL Process	Ready
line__6672		VHDL Process	Ready
line__6671		VHDL Process	Ready
vitalbehavior		VHDL Process	Ready
line__1087		VHDL Process	Ready
line__1086		VHDL Process	Ready
line__1085		VHDL Process	Ready

```
# Time: 0 ps Iteration: 0 Region: /somador1bit File: somador1bit.vho
add wave \
{sim:/somador1bit/cin } \
{sim:/somador1bit/a } \
{sim:/somador1bit/b } \
{sim:/somador1bit/s } \
{sim:/somador1bit/cout }
VSIM 8>
```

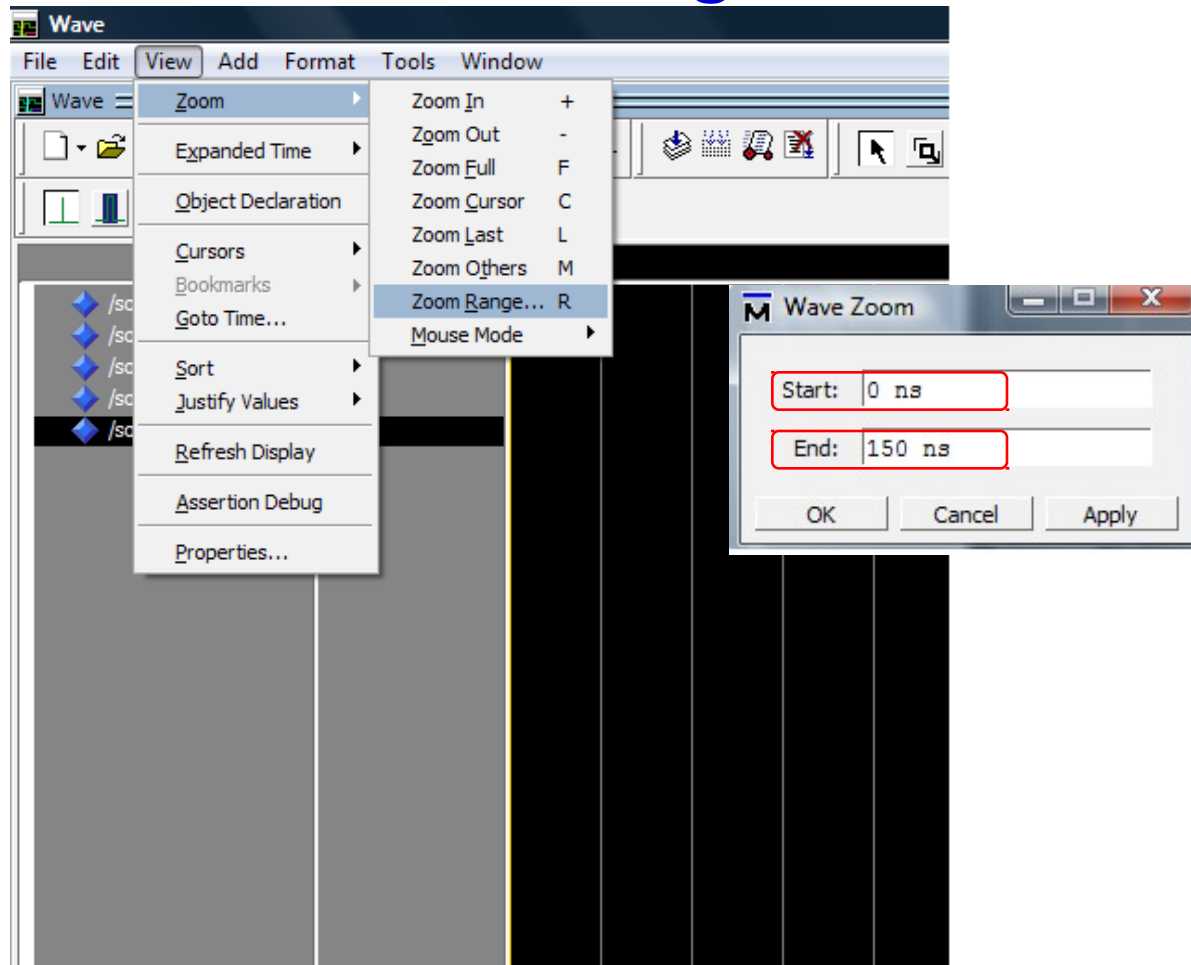
# Projeto de Sistemas Digitais com Ferramentas EDA

## ▶ Alterar a unidade de tempo das “waveforms”



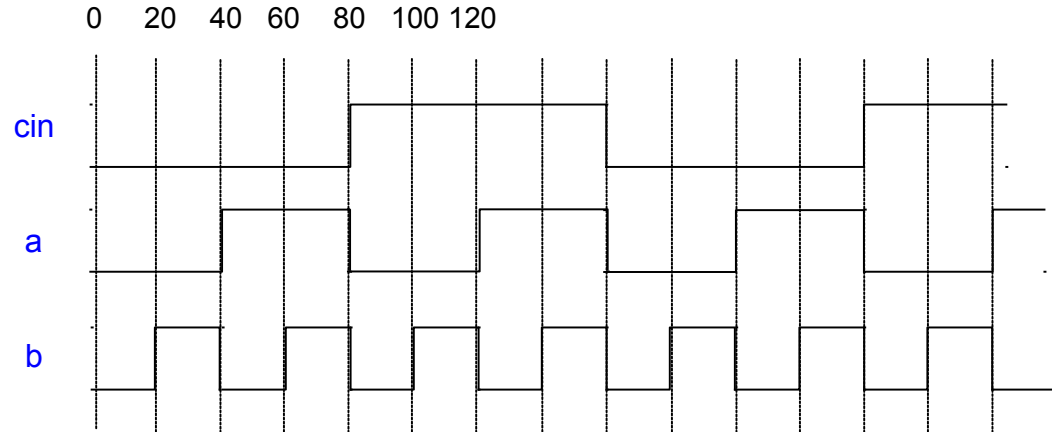
# Projeto de Sistemas Digitais com Ferramentas EDA

## ▶ Alterar o “zoom range” das “waveforms”



# Projeto de Sistemas Digitais com Ferramentas EDA

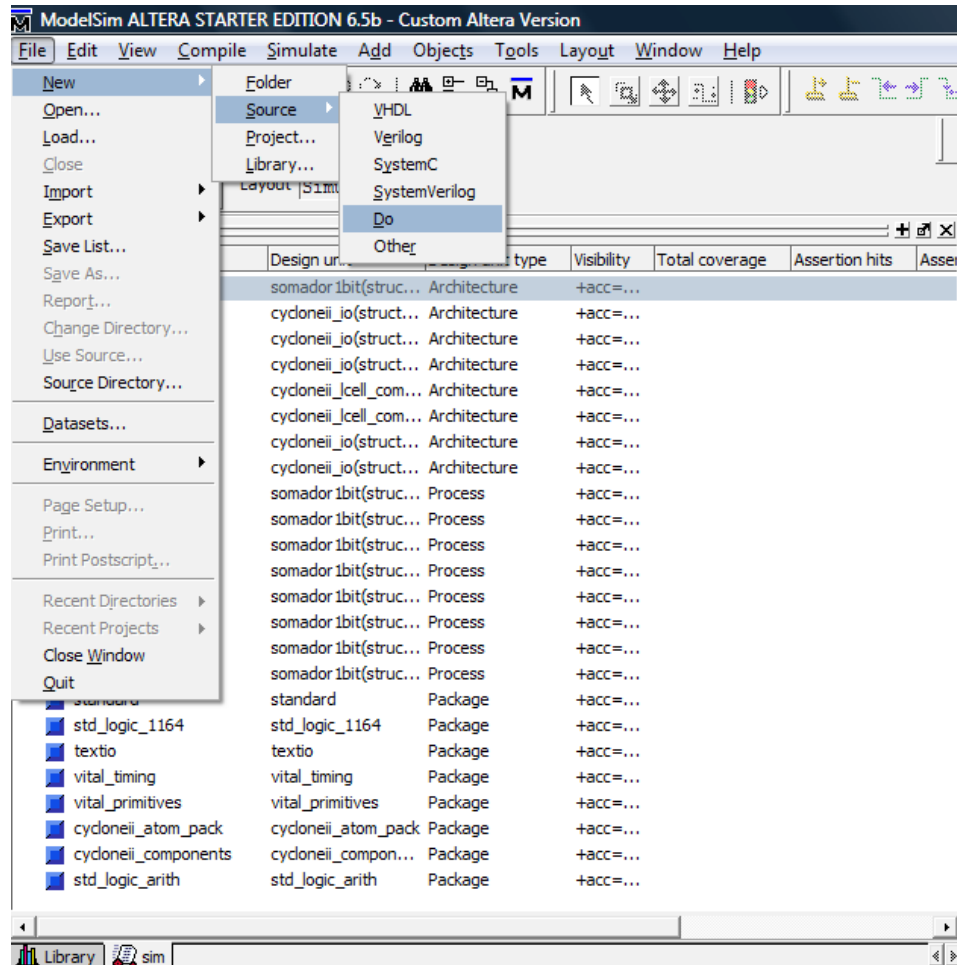
## ► Arquivo de estímulos de entrada



```
#força a entrada cin para 0 no tempo 0 ns
#força cin para 1 no tempo 80 ns, repete a cada 160 ns
force /cin 0 0 ns, 1 80 ns -r 160 ns
force /a    0 0 ns, 1 40 ns -r 80 ns
force /b    0 0 ns, 1 20 ns -r 40 ns
```

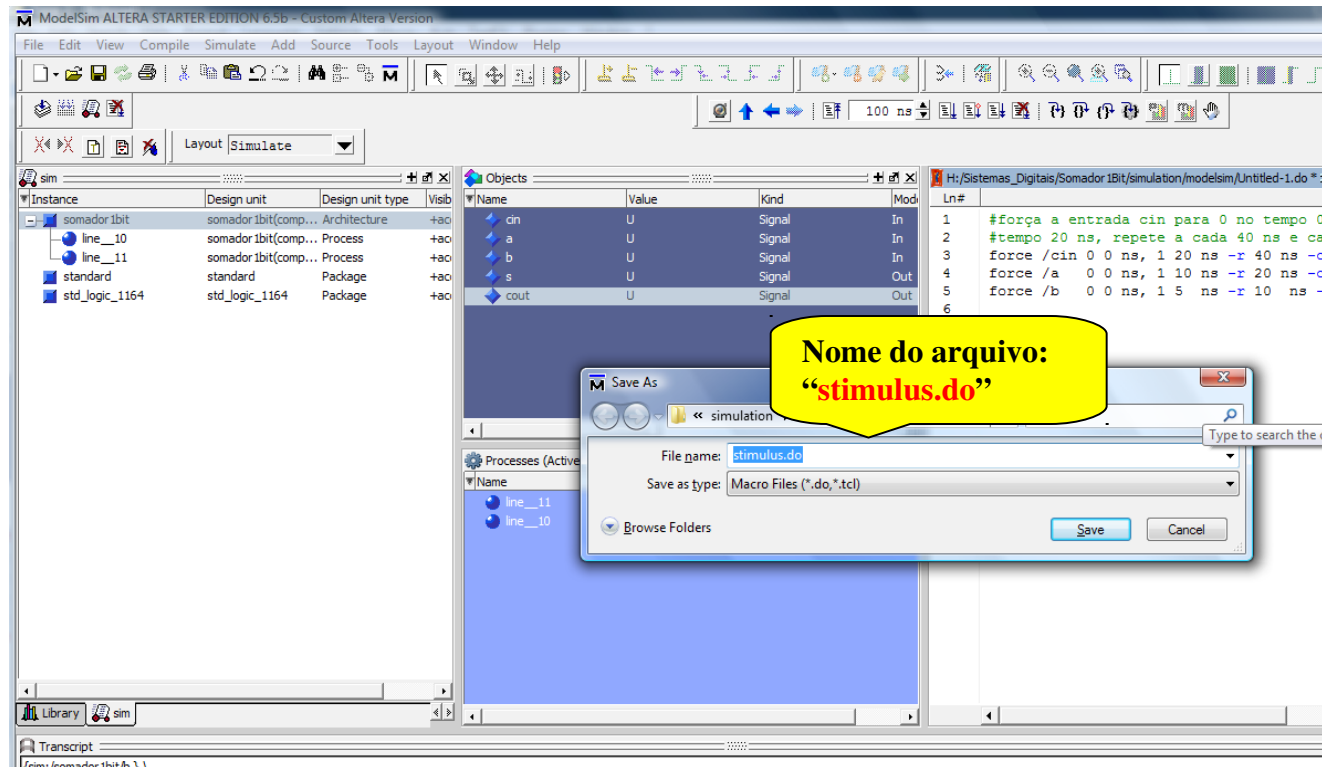
# Projeto de Sistemas Digitais com Ferramentas EDA

## ► Criar novo arquivo de estímulos de entrada



# Projeto de Sistemas Digitais com Ferramentas EDA

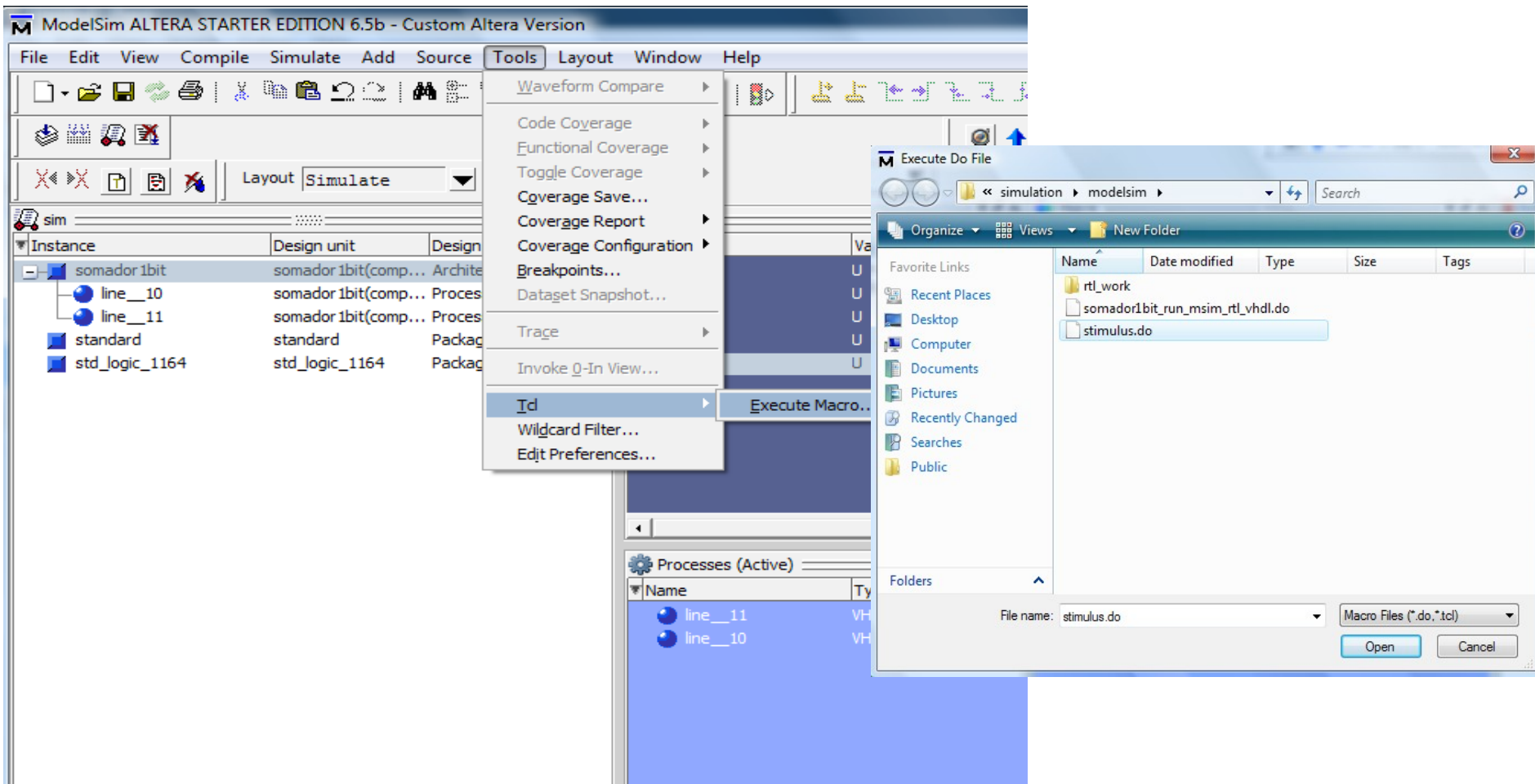
## ► Salvar arquivo de estímulos de entrada





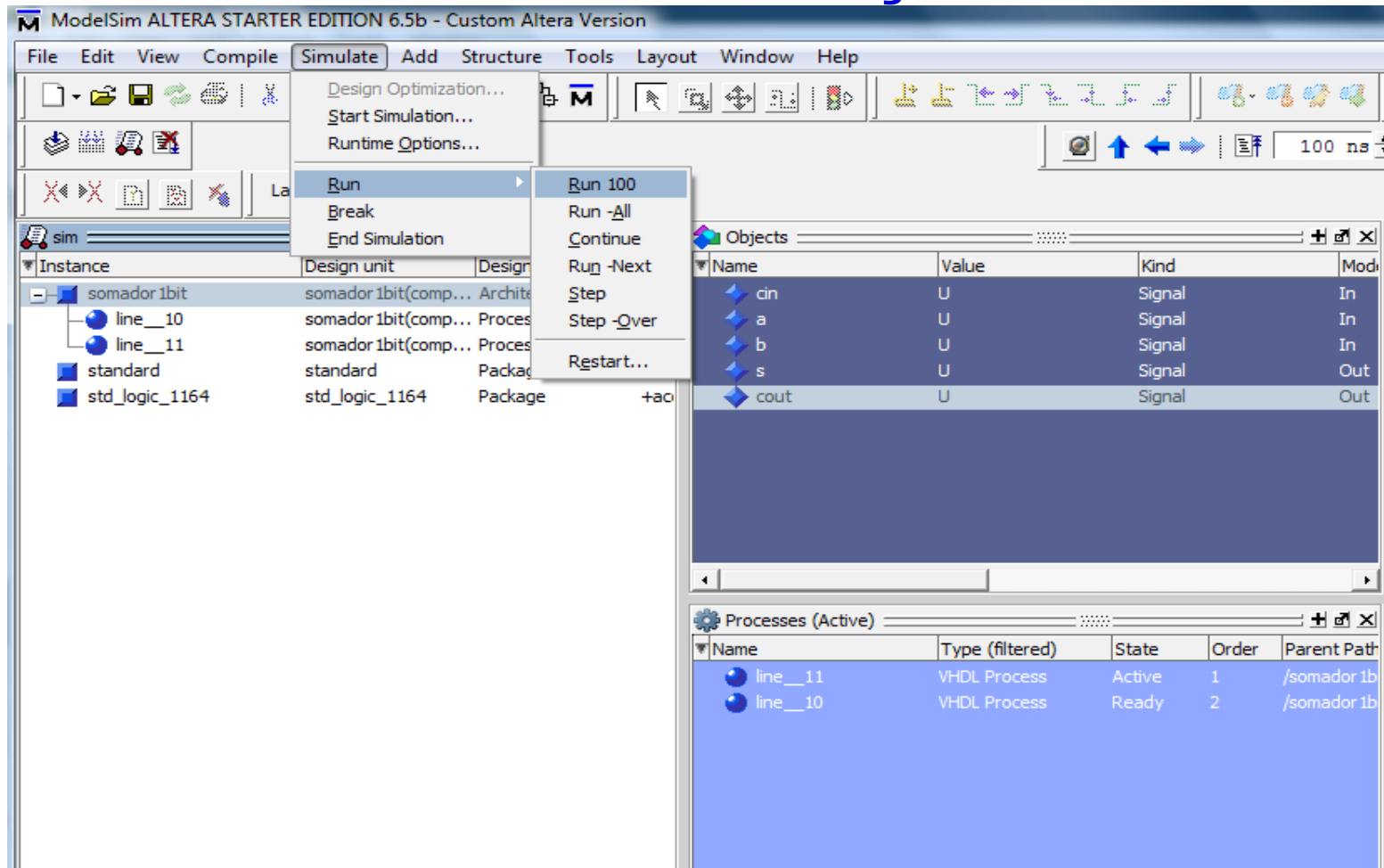
# Projeto de Sistemas Digitais com Ferramentas EDA

## ▶ Executar arquivo de estímulos de entrada



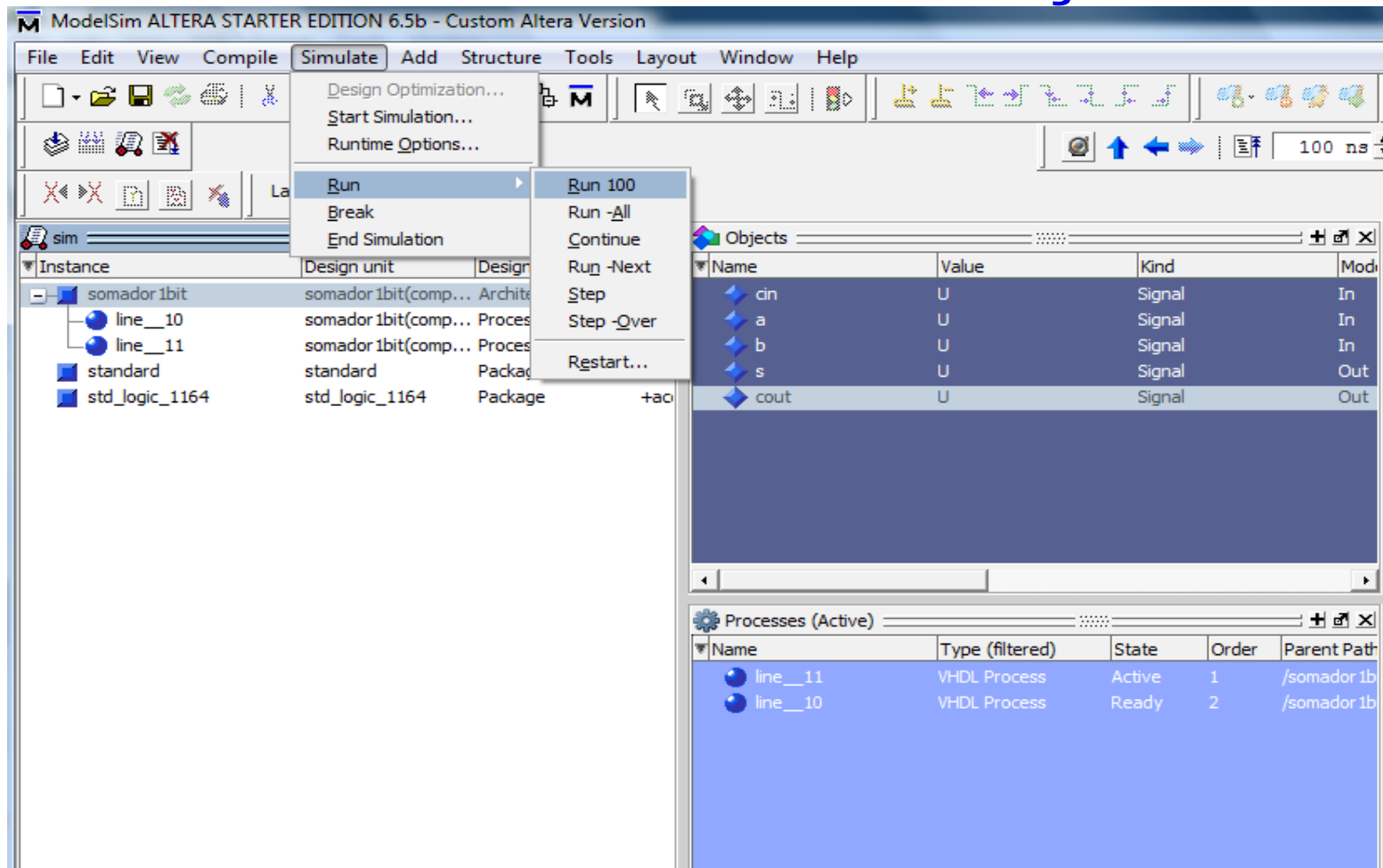
# Projeto de Sistemas Digitais com Ferramentas EDA

## ▶ Executar 100ns de simulação



# Projeto de Sistemas Digitais com Ferramentas EDA

## ▶ Executar mais 100ns de simulação



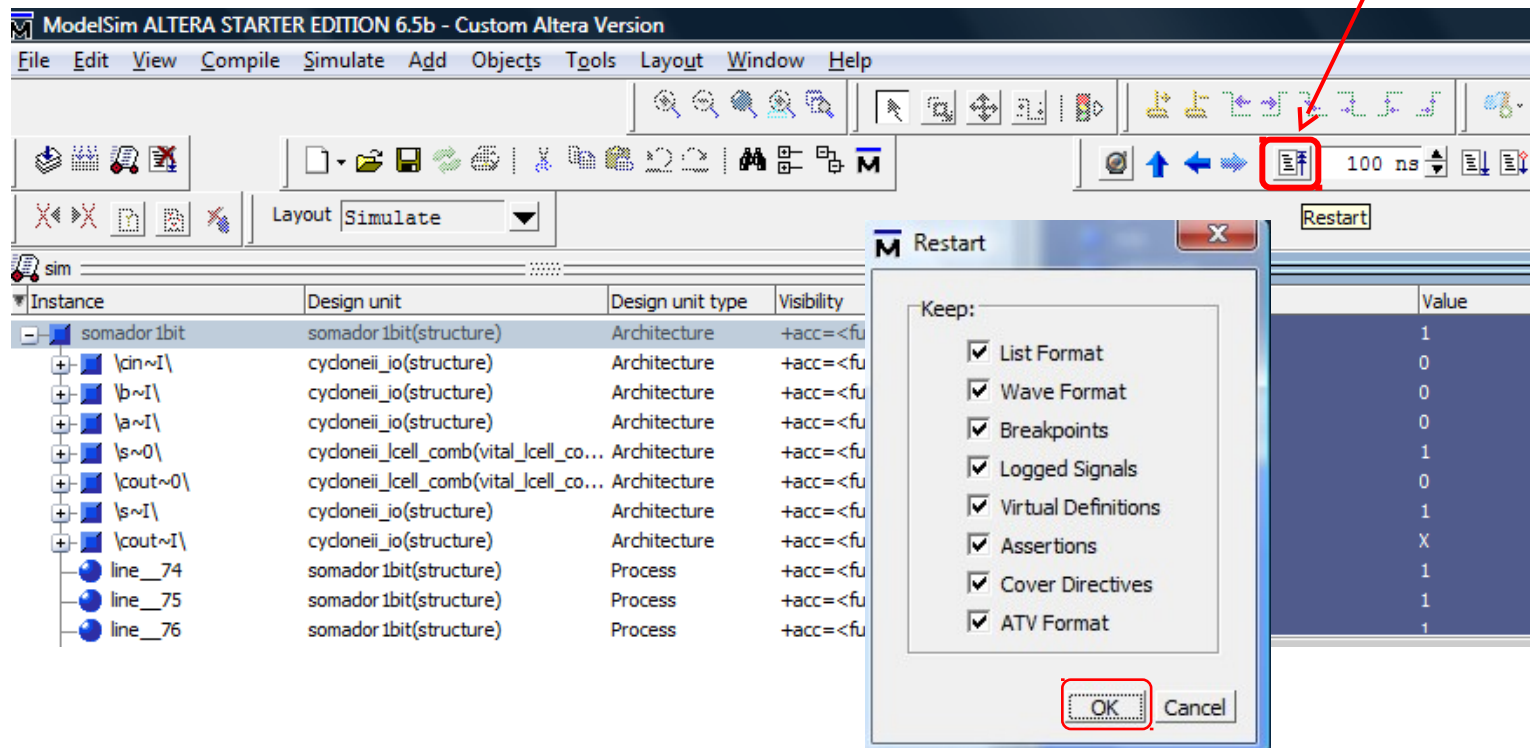
# Projeto de Sistemas Digitais com Ferramentas EDA

## ► Analisar os resultados da simulação



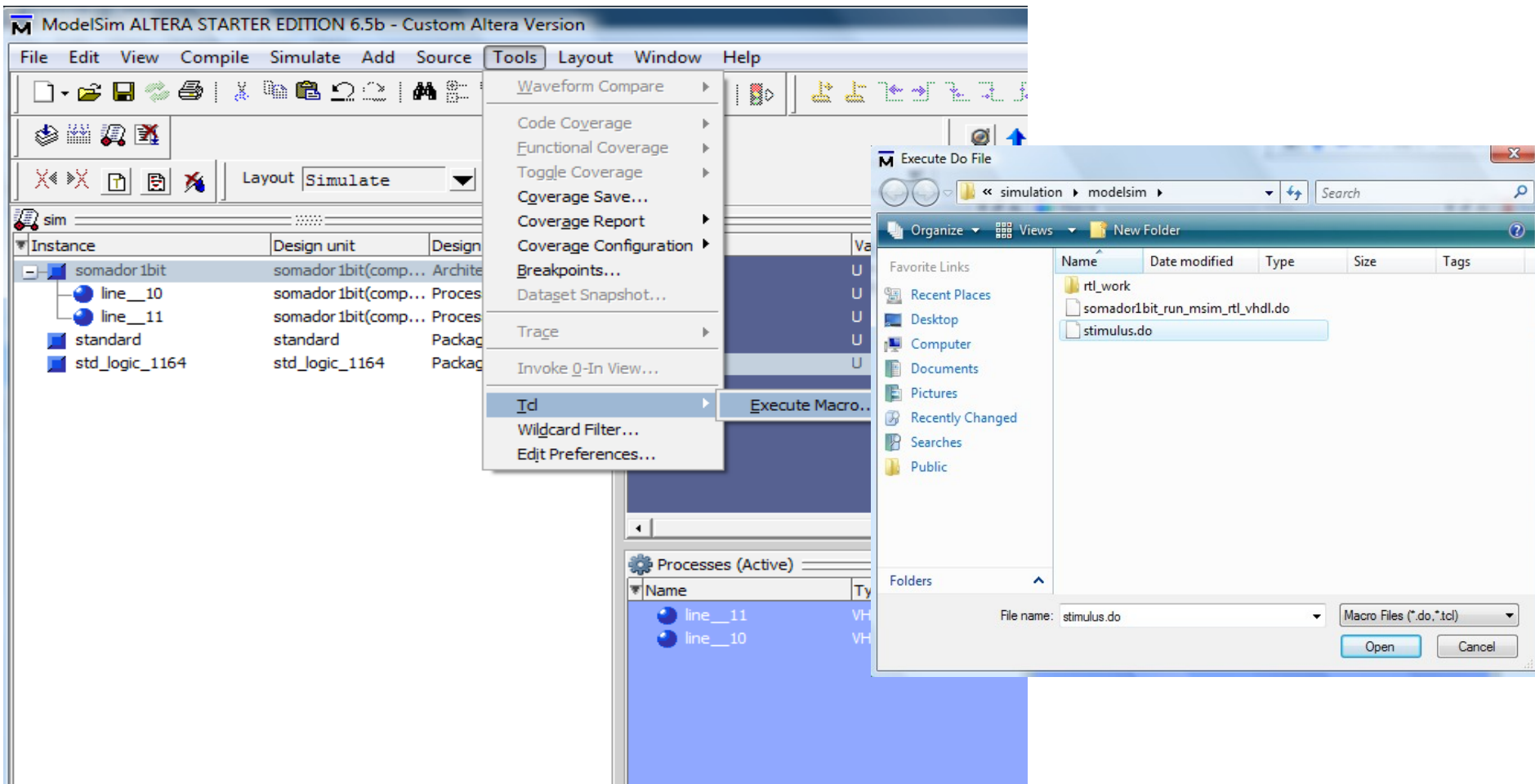
# Projeto de Sistemas Digitais com Ferramentas EDA

## ▶ Reiniciar a simulação



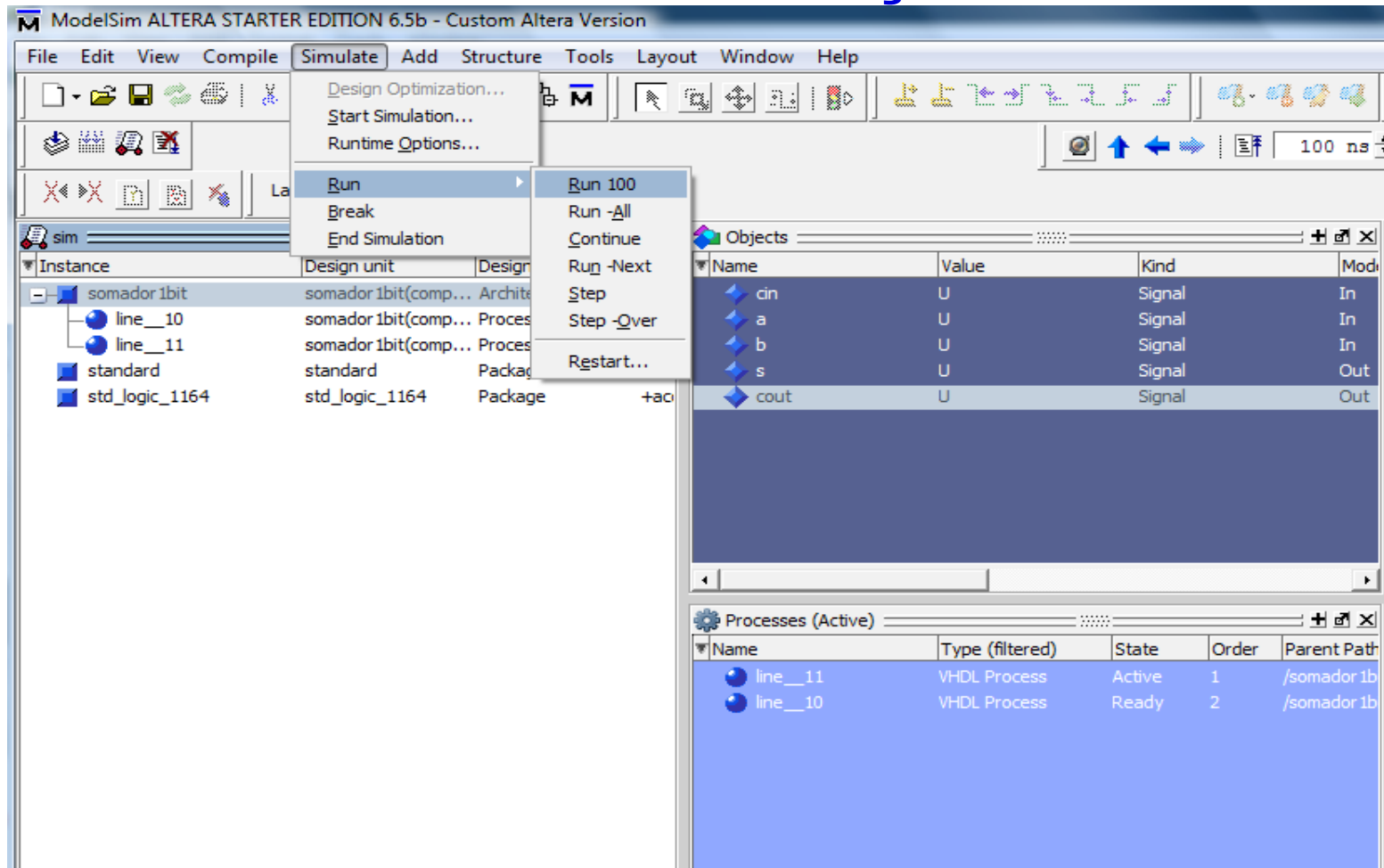
# Projeto de Sistemas Digitais com Ferramentas EDA

## ▶ Executar arquivo de estímulos de entrada



# Projeto de Sistemas Digitais com Ferramentas EDA

## ▶ Executar 100ns de simulação



# Projeto de Sistemas Digitais com Ferramentas EDA

## ► Analisar os resultados da simulação

