



Universidade Federal de Santa Catarina
Centro Tecnológico
Departamento de Informática e Estatística
Ciências da Computação & Engenharia Eletrônica



Sistemas Digitais

INE 5406

Aula 2-T

**1. Componentes do Nível RT: Temporização e Análise de Timing.
Atraso de componentes, diagramas de tempos, período mínimo
do relógio, atraso crítico, tempo de estabilização dos sinais,
caminho crítico.**

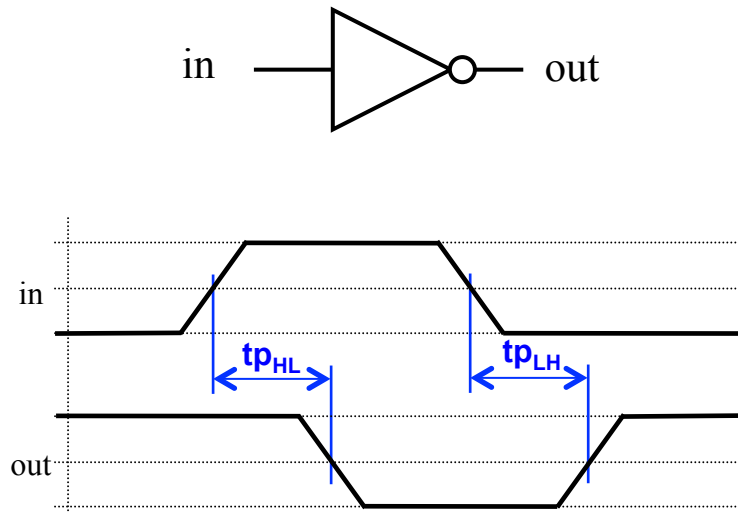
Prof. José Luís Güntzel
j.guntzel@ufsc.br

Temporização e Análise de Timing

Atraso (de propagação) de uma porta lógica

É o tempo que transcorre entre uma transição de entrada e a consequente transição na saída da porta.

Exemplo 1: sinais com formas de onda “minimamente realistas”



$tp_{HL} = td_{HL}$ = atraso de descida

$tp_{LH} = td_{LH}$ = atraso de subida

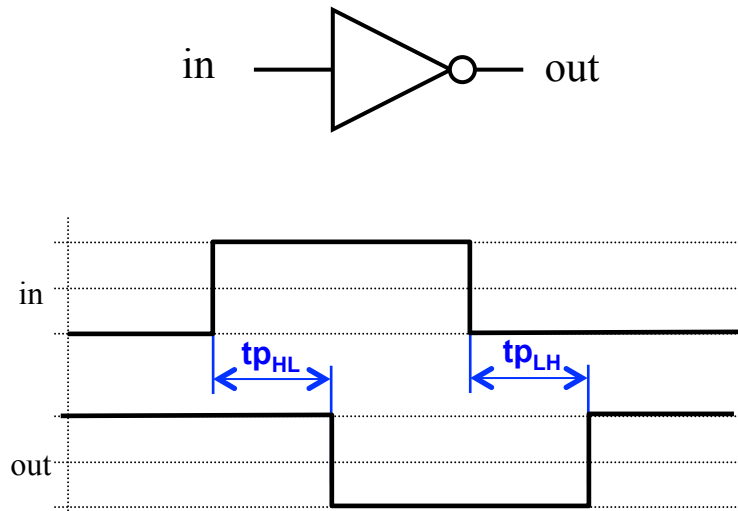
A menos que se diga o contrário assumiremos que
 $tp_{HL} = tp_{LH}$ (= tp ou td)

Temporização e Análise de Timing

Atraso (de propagação) de uma porta lógica

É o tempo que transcorre entre uma transição de entrada e a consequente transição na saída da porta.

Exemplo 1: sinais com formas de onda “digitalizadas” (abstração da realidade)



$tp_{HL} = td_{HL}$ = atraso de descida

$tp_{LH} = td_{LH}$ = atraso de subida

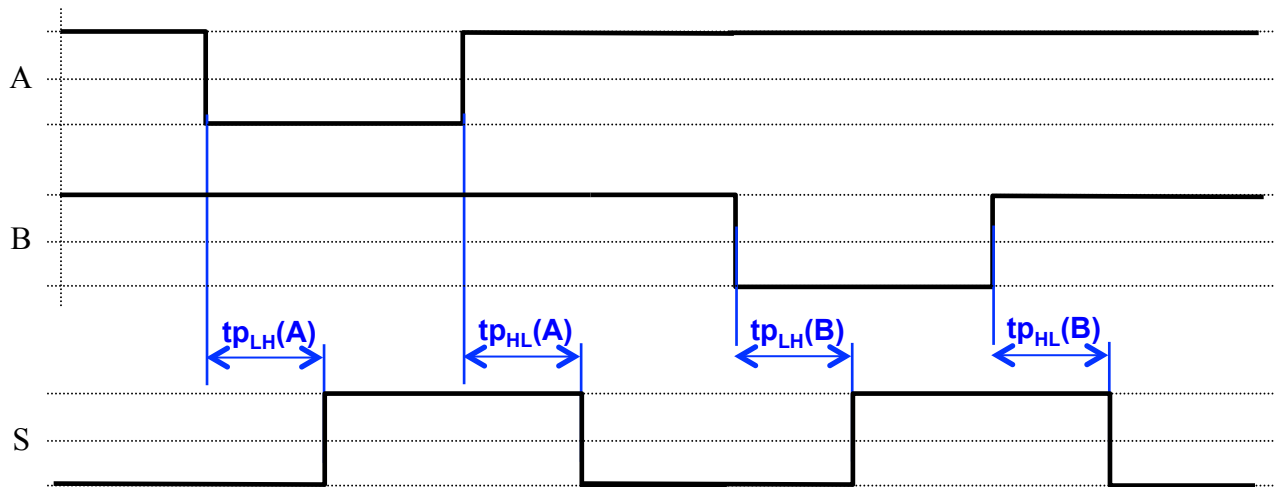
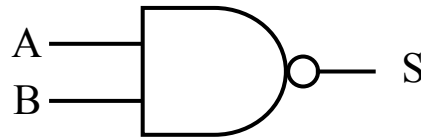
A menos que se diga o contrário assumiremos que
 $tp_{HL} = tp_{LH}$ (= tp ou td)

Temporização e Análise de Timing

Atraso (de propagação) de uma porta lógica

É o tempo que transcorre entre uma transição de entrada e a consequente transição na saída da porta.

Exemplo 2



A menos que se diga o contrário, assumiremos que $tp_{HL}(A) = tp_{LH}(A) = tp_{HL}(B) = tp_{LH}(B) = tp$ (ou td)

Temporização e Análise de Timing

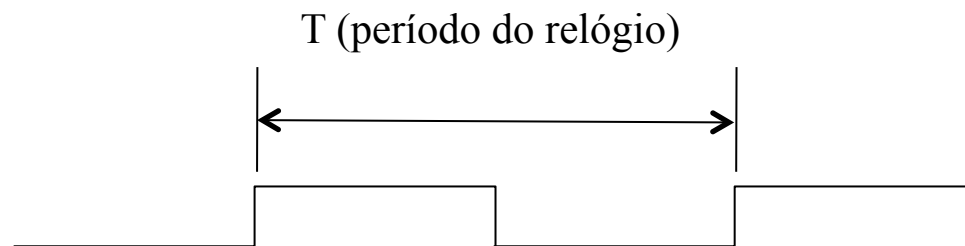
Cadenciamento de Sistemas Digitais

- A maior parte dos sistemas digitais são sincronizados por um sinal monótono denominado relógio (ou *clock*, em inglês).
- Sistemas digitais cadenciados por sinal de relógio são denominados síncronos.
- No projeto de sistemas digitais síncronos, registradores são utilizados.

Temporização e Análise de Timing

Estimativa do Período do Relógio

Uma execução por ciclo de relógio...

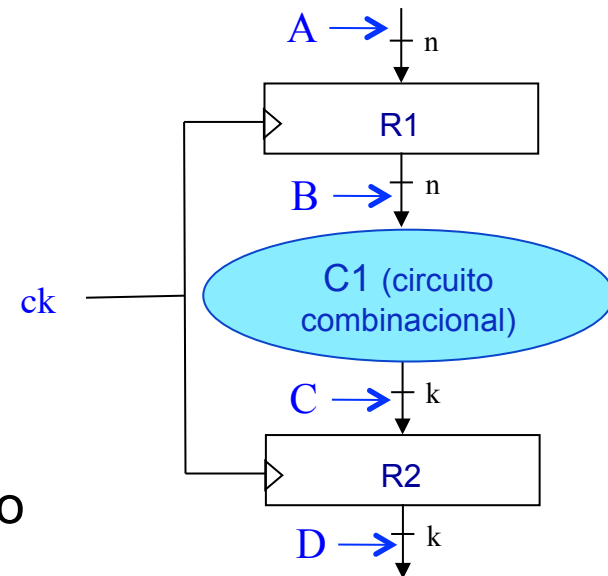


Para que C1 tenha tempo suficiente para realizar sua operação, é necessário que:

$$T \geq D$$

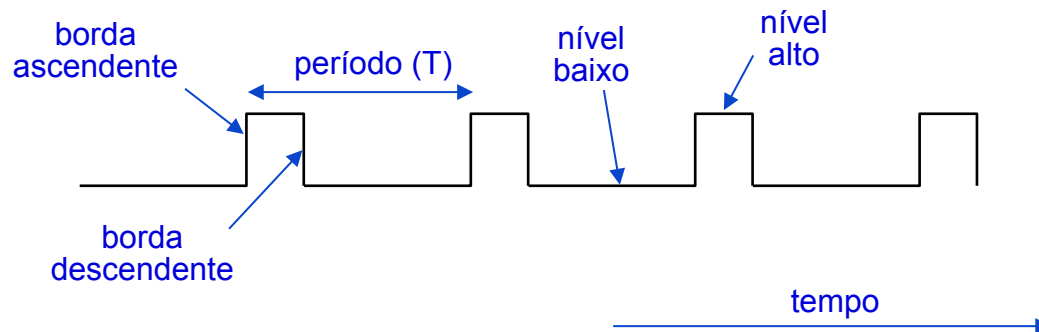
Onde D = atraso crítico entre R1 e R2, calculado por :

$$D = t_{co_{R1}} + t_{d_{C1}} + t_{su_{R2}}$$



Temporização e Análise de Timing

Sinal de Relógio (ou *Clock*)



Nomenclatura

borda ascendente =
borda de subida =
borda positiva =
flanco de subida etc

borda descendente =
borda de descida =
borda negativa =
flanco de descida etc

Características:

- **Período (T):** tempo entre duas bordas consecutivas de mesmo tipo.
Medido em submúltiplos do segundo (ms, μ s, ns)
- **Frequência:** $f = 1/T$, medida em múltiplos do hertz (kHz, MHz, GHz)
- **Duty cycle:** $T1/T \times 100 \%$, onde T1 é o tempo entre uma borda ascendente e a borda descendente que a segue.

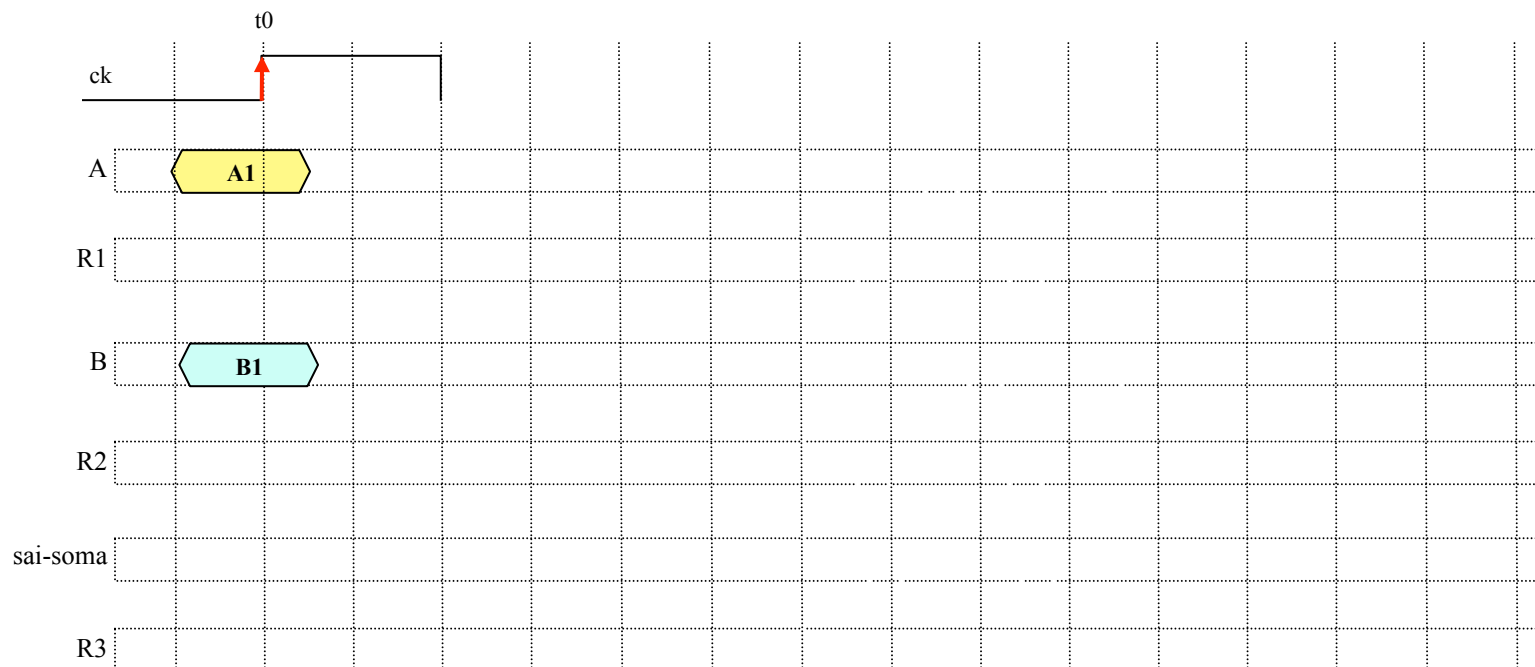
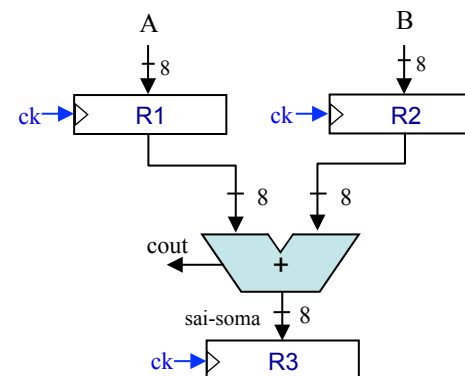
Temporização e Análise de Timing

Diagramas de Tempo

Supondo as seguintes características temporais dos componentes

Componente	Característica	Símbolo	Valor
Registradores R1, R2, R3	tempo de setup	tsu	1 ns
Registradores R1, R2, R3	tempo de hold	th	0,5 ns
Registradores R1, R2, R3	tempo de carga	tco	1 ns
Somador completo (<i>full adder</i>)	atraso	tds	0,25 ns

No diagrama abaixo, considerar que cada divisão vale 1,0 ns



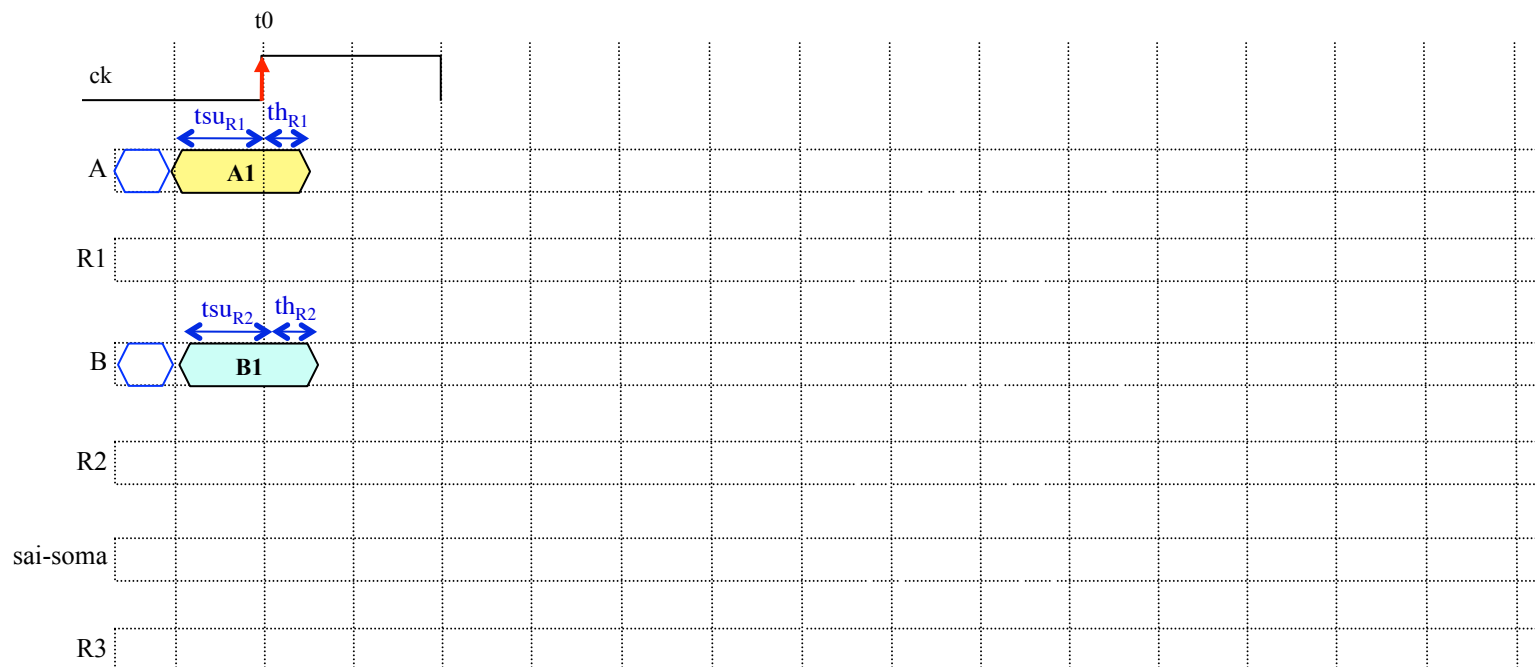
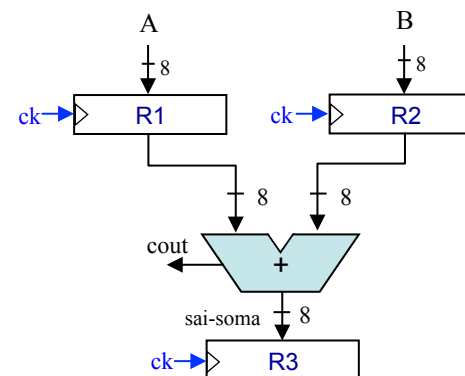
Temporização e Análise de Timing

Diagramas de Tempo

Supondo as seguintes características temporais dos componentes

Componente	Característica	Símbolo	Valor
Registradores R1, R2, R3	tempo de setup	tsu	1 ns
Registradores R1, R2, R3	tempo de hold	th	0,5 ns
Registradores R1, R2, R3	tempo de carga	tco	1 ns
Somador completo (<i>full adder</i>)	atraso	tds	0,25 ns

No diagrama abaixo, considerar que cada divisão vale 1,0 ns



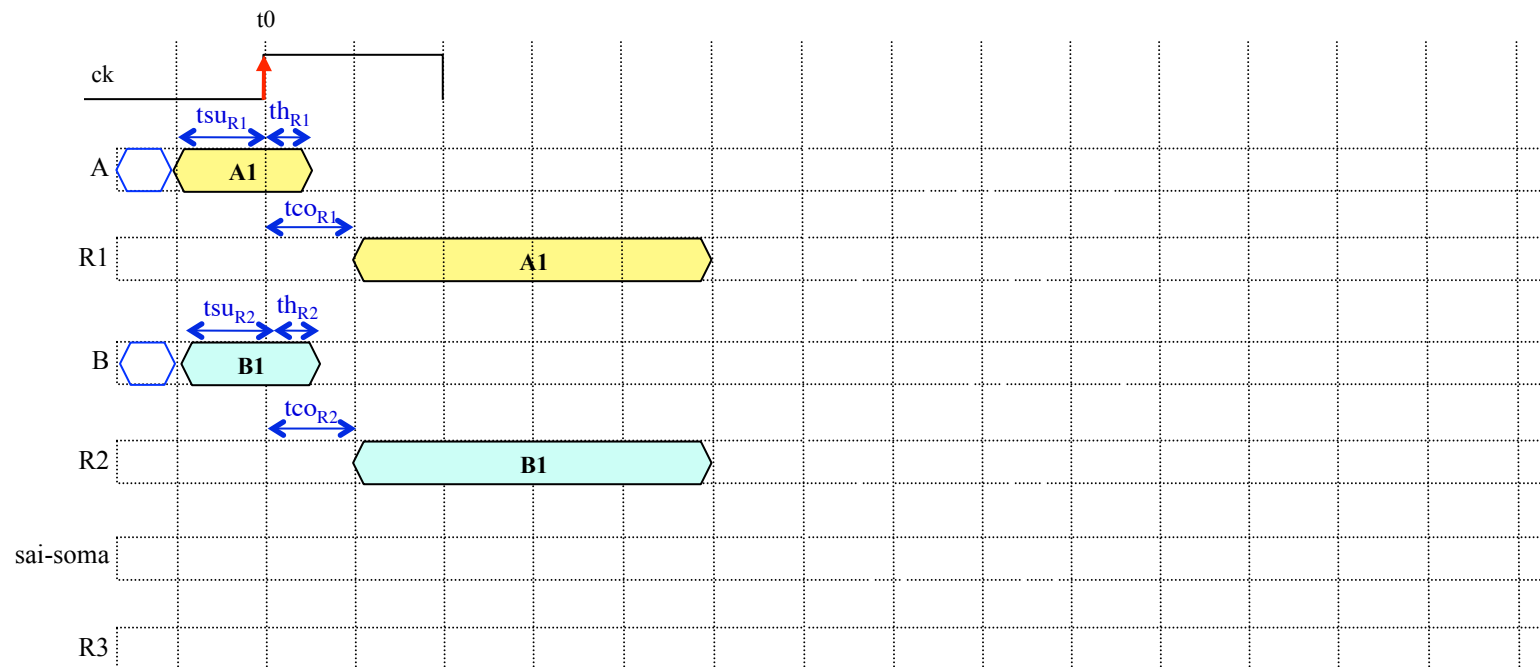
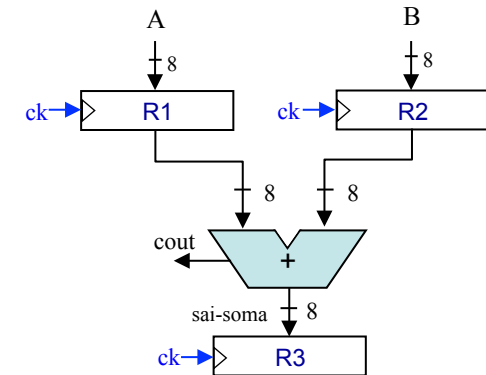
Temporização e Análise de Timing

Diagramas de Tempo

Supondo as seguintes características temporais dos componentes

Componente	Característica	Símbolo	Valor
Registradores R1, R2, R3	tempo de setup	tsu	1 ns
Registradores R1, R2, R3	tempo de hold	th	0,5 ns
Registradores R1, R2, R3	tempo de carga	tco	1 ns
Somador completo (<i>full adder</i>)	atraso	tds	0,25 ns

No diagrama abaixo, considerar que cada divisão vale 1,0 ns



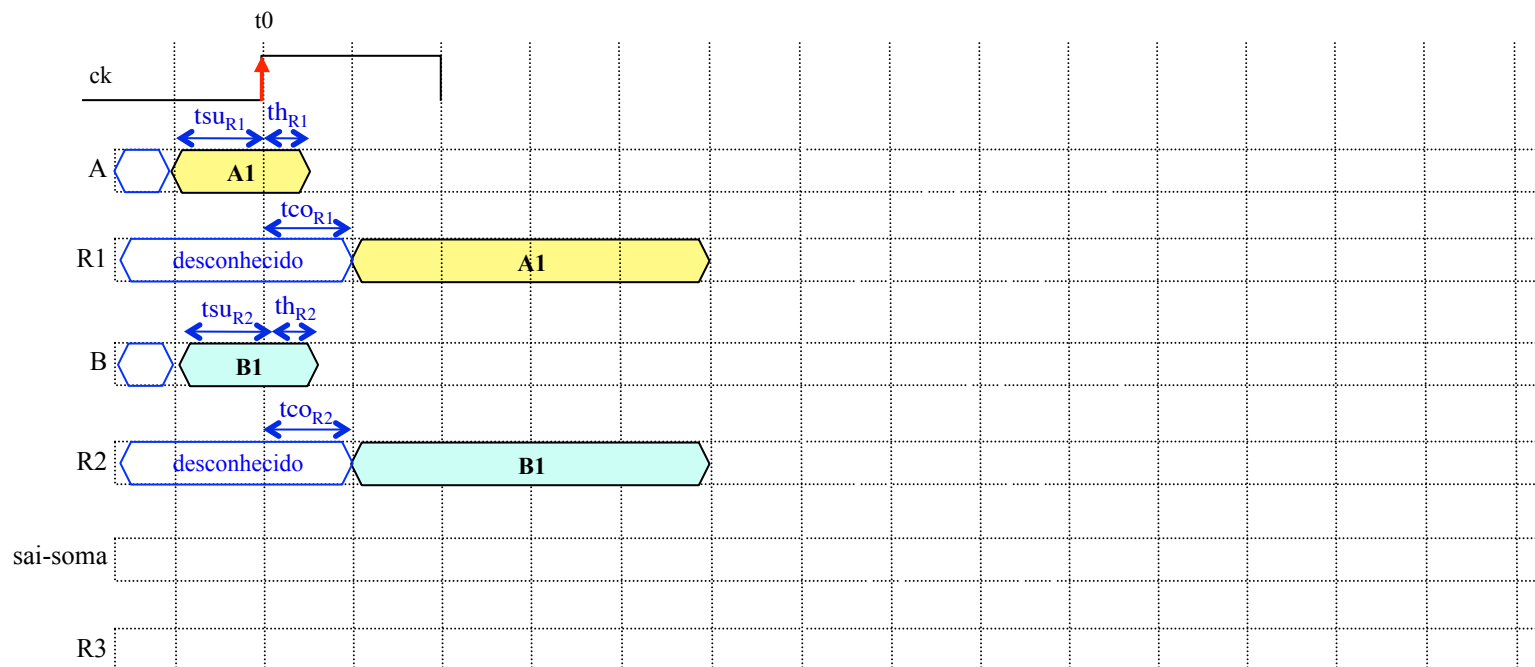
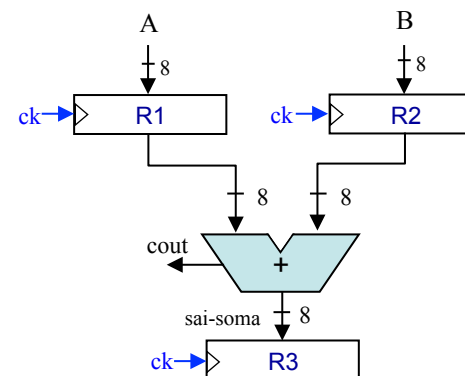
Temporização e Análise de Timing

Diagramas de Tempo

Supondo as seguintes características temporais dos componentes

Componente	Característica	Símbolo	Valor
Registradores R1, R2, R3	tempo de setup	tsu	1 ns
Registradores R1, R2, R3	tempo de hold	th	0,5 ns
Registradores R1, R2, R3	tempo de carga	tco	1 ns
Somador completo (<i>full adder</i>)	atraso	tds	0,25 ns

No diagrama abaixo, considerar que cada divisão vale 1,0 ns



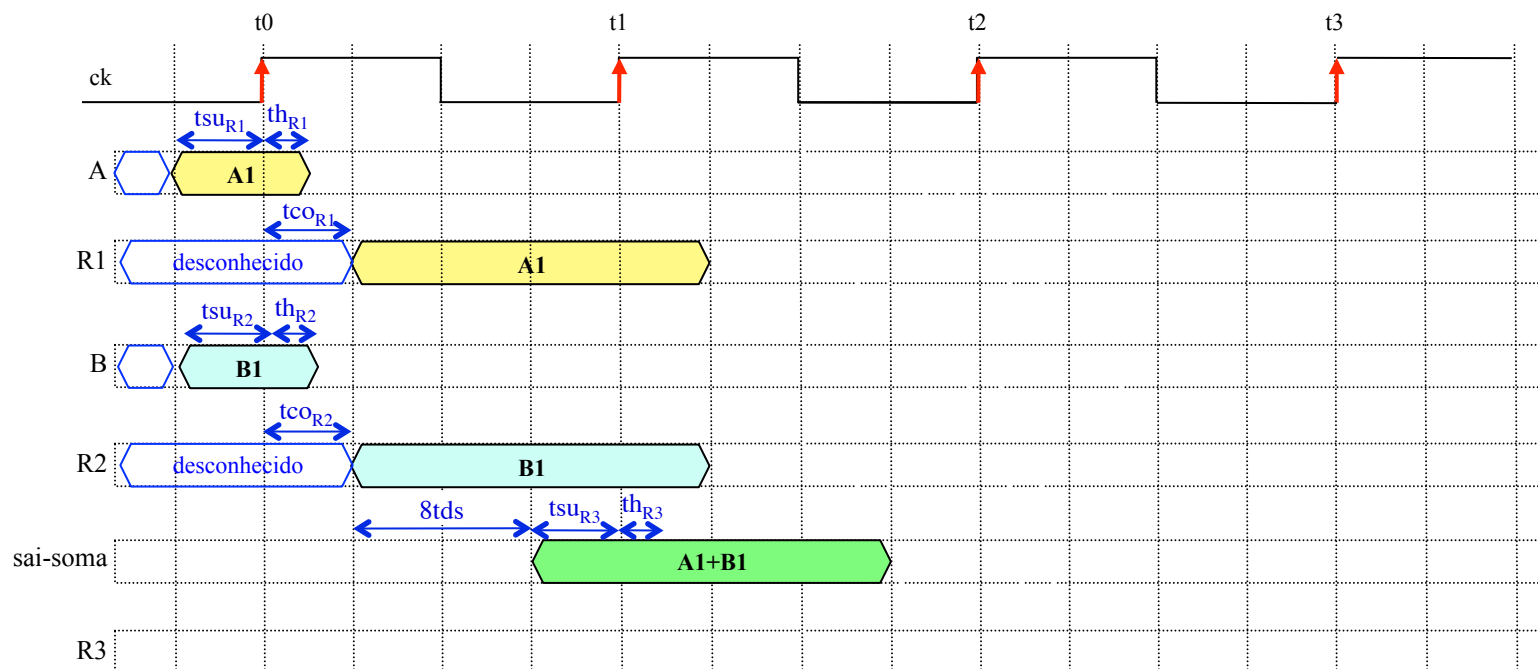
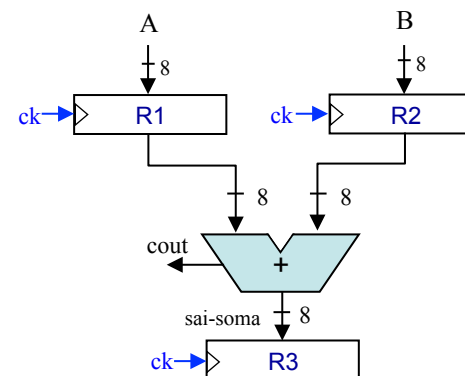
Temporização e Análise de Timing

Diagramas de Tempo

Supondo as seguintes características temporais dos componentes

Componente	Característica	Símbolo	Valor
Registradores R1, R2, R3	tempo de setup	t_{su}	1 ns
Registradores R1, R2, R3	tempo de hold	t_h	0,5 ns
Registradores R1, R2, R3	tempo de carga	t_{co}	1 ns
Somador completo (<i>full adder</i>)	atraso	t_{ds}	0,25 ns

No diagrama abaixo, considerar que cada divisão vale 1,0 ns



T = 4 ns!

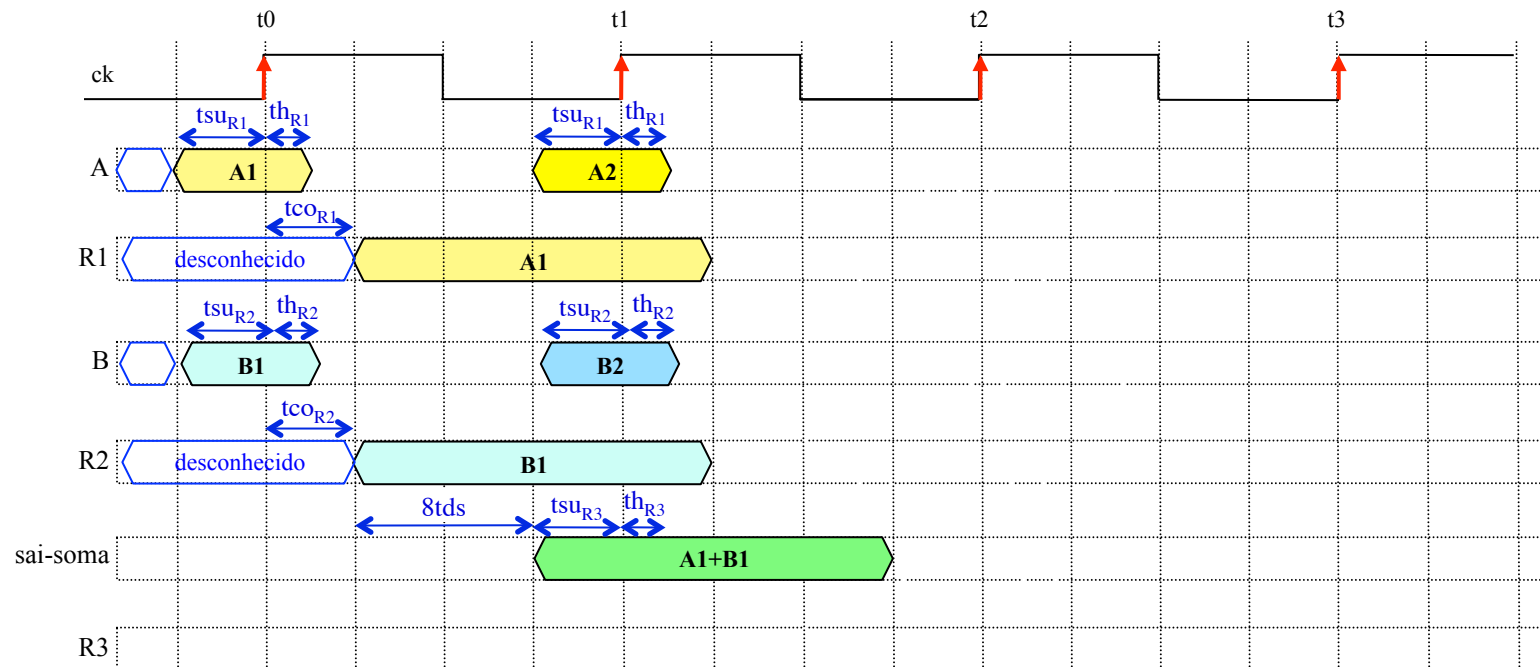
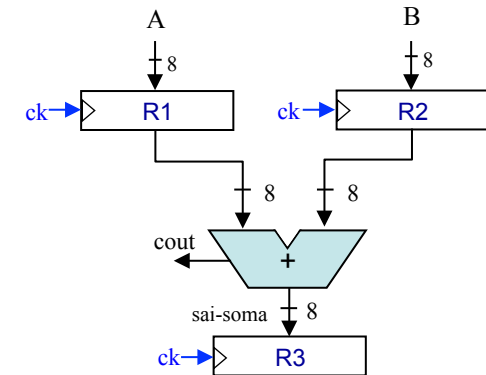
Temporização e Análise de Timing

Diagramas de Tempo

Supondo as seguintes características temporais dos componentes

Componente	Característica	Símbolo	Valor
Registradores R1, R2, R3	tempo de setup	tsu	1 ns
Registradores R1, R2, R3	tempo de hold	th	0,5 ns
Registradores R1, R2, R3	tempo de carga	tco	1 ns
Somador completo (<i>full adder</i>)	atraso	tds	0,25 ns

No diagrama abaixo, considerar que cada divisão vale 1,0 ns



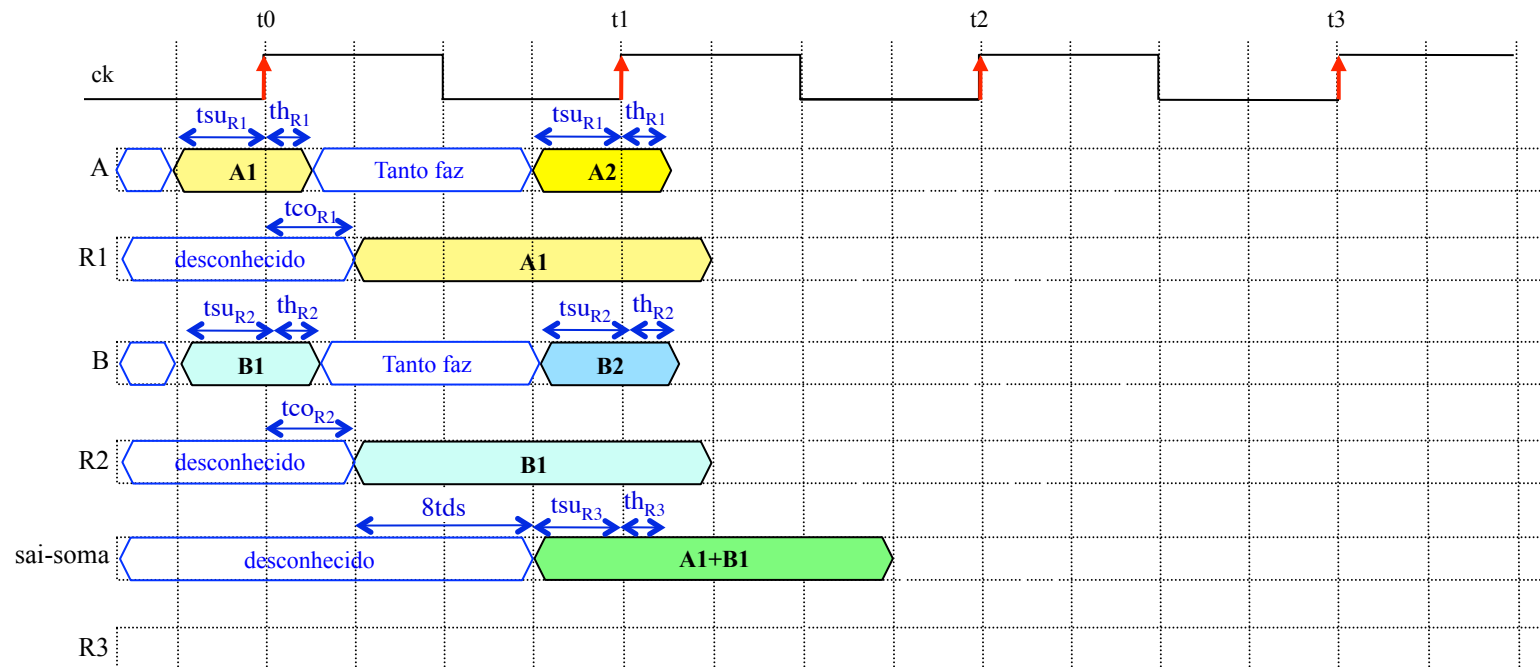
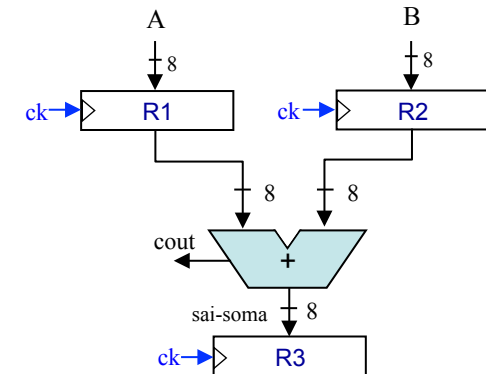
Temporização e Análise de Timing

Diagramas de Tempo

Supondo as seguintes características temporais dos componentes

Componente	Característica	Símbolo	Valor
Registradores R1, R2, R3	tempo de setup	tsu	1 ns
Registradores R1, R2, R3	tempo de hold	th	0,5 ns
Registradores R1, R2, R3	tempo de carga	tco	1 ns
Somador completo (<i>full adder</i>)	atraso	tds	0,25 ns

No diagrama abaixo, considerar que cada divisão vale 1,0 ns



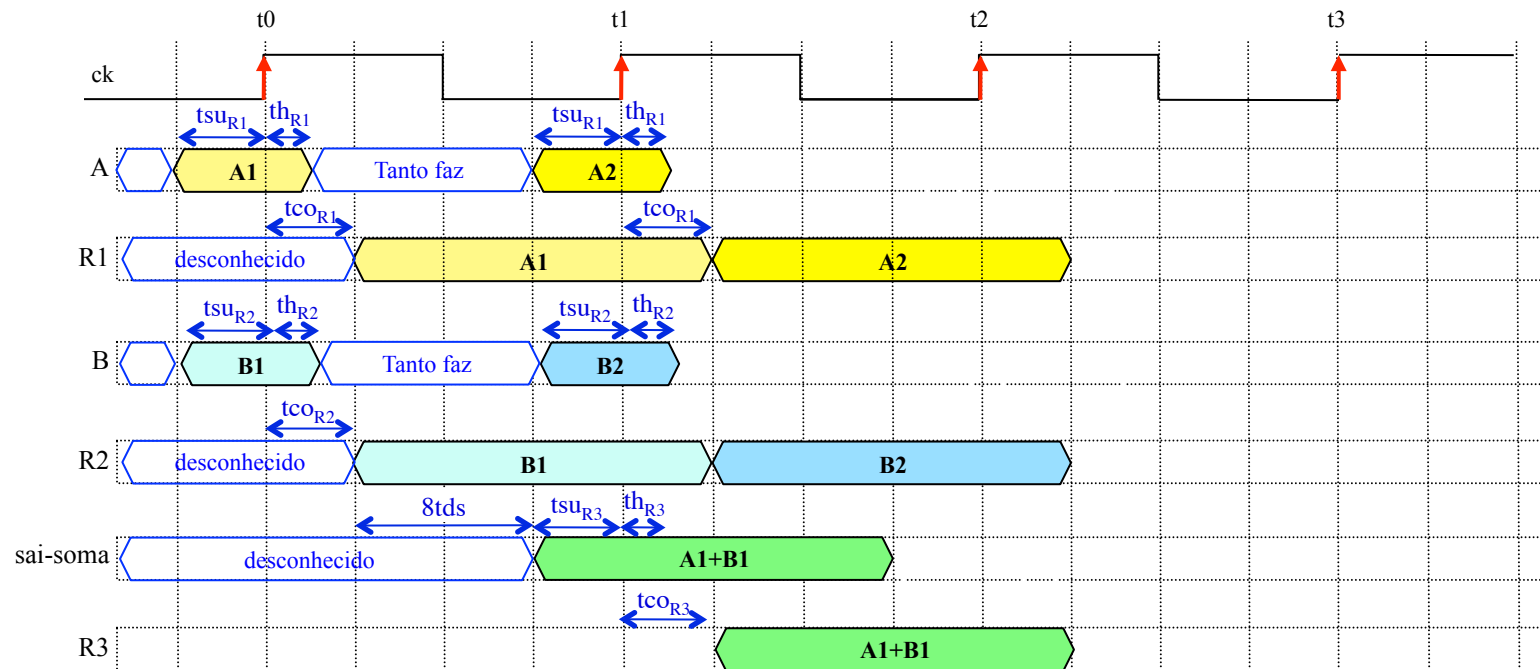
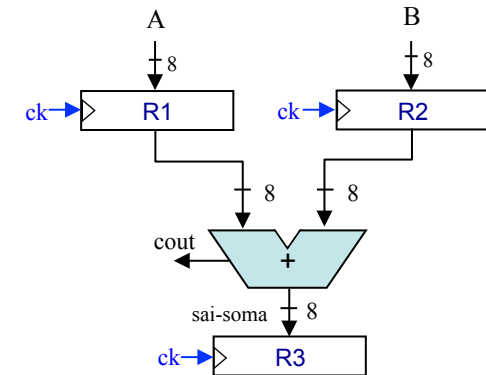
Temporização e Análise de Timing

Diagramas de Tempo

Supondo as seguintes características temporais dos componentes

Componente	Característica	Símbolo	Valor
Registradores R1, R2, R3	tempo de setup	tsu	1 ns
Registradores R1, R2, R3	tempo de hold	th	0,5 ns
Registradores R1, R2, R3	tempo de carga	tco	1 ns
Somador completo (<i>full adder</i>)	atraso	tds	0,25 ns

No diagrama abaixo, considerar que cada divisão vale 1,0 ns



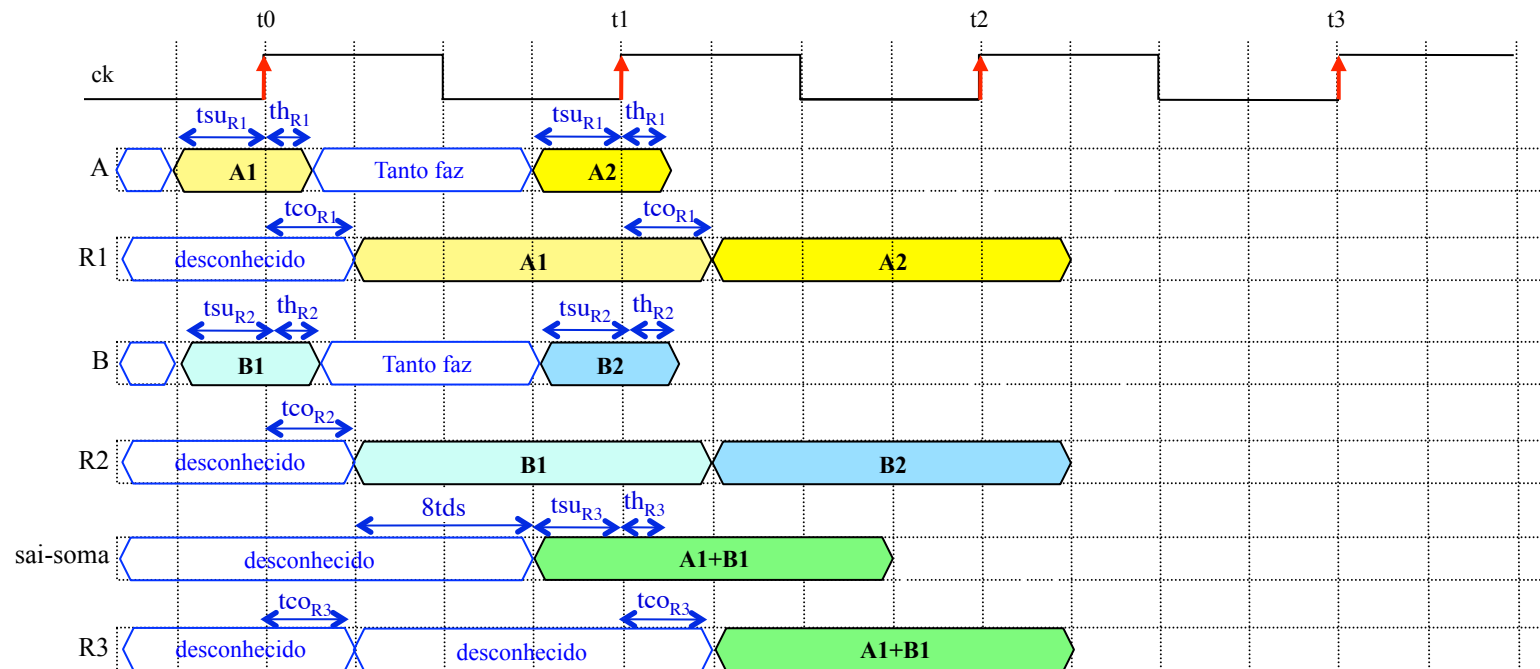
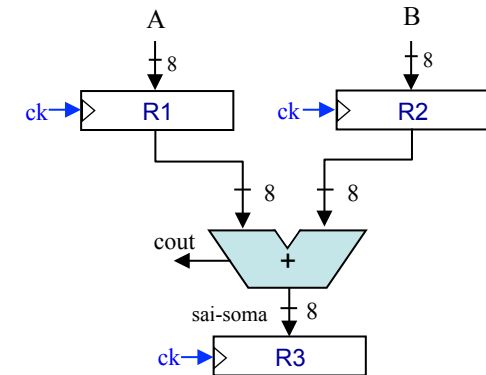
Temporização e Análise de Timing

Diagramas de Tempo

Supondo as seguintes características temporais dos componentes

Componente	Característica	Símbolo	Valor
Registradores R1, R2, R3	tempo de setup	tsu	1 ns
Registradores R1, R2, R3	tempo de hold	th	0,5 ns
Registradores R1, R2, R3	tempo de carga	tco	1 ns
Somador completo (<i>full adder</i>)	atraso	tds	0,25 ns

No diagrama abaixo, considerar que cada divisão vale 1,0 ns



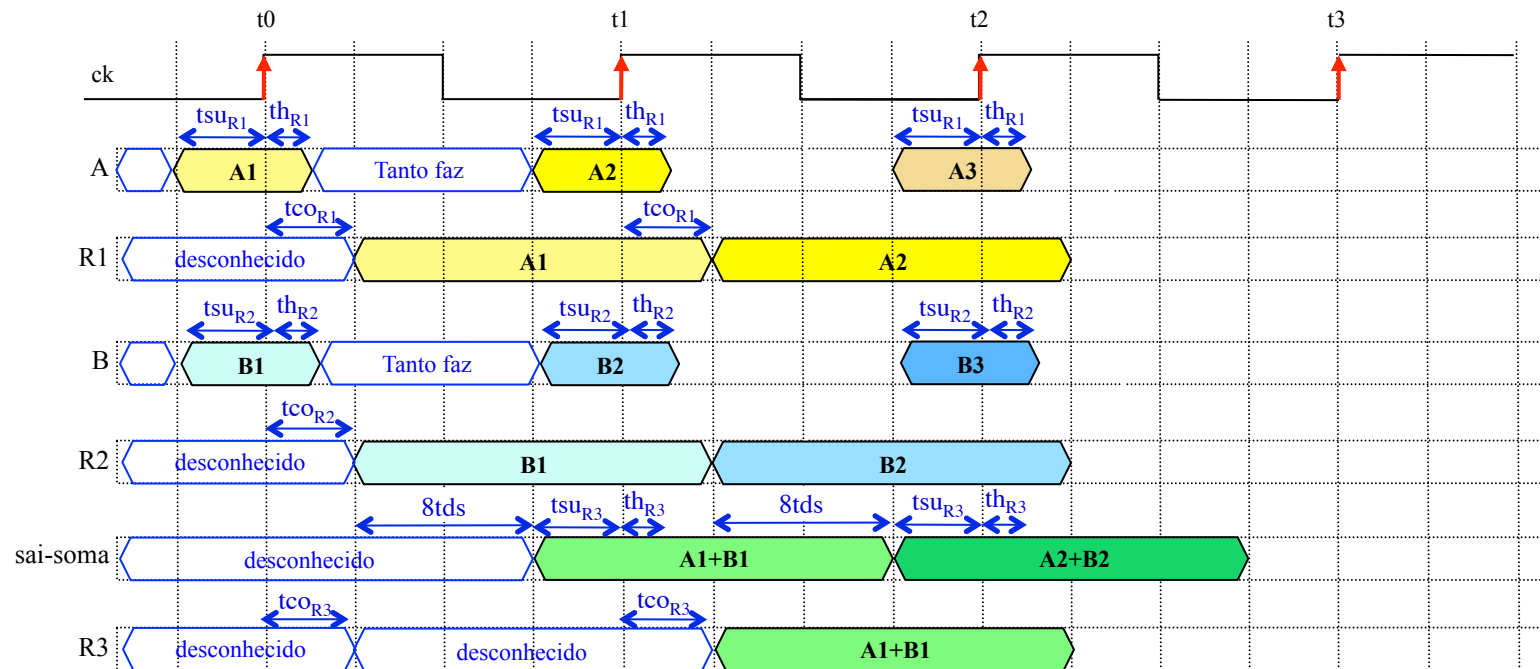
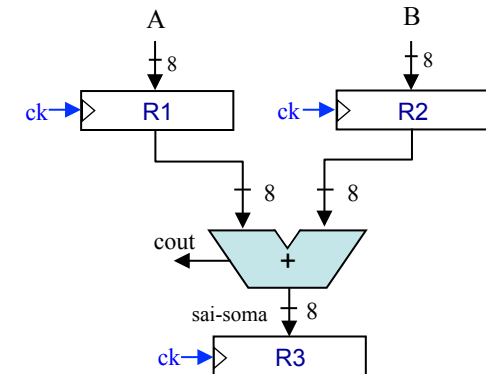
Temporização e Análise de Timing

Diagramas de Tempo

Supondo as seguintes características temporais dos componentes

Componente	Característica	Símbolo	Valor
Registradores R1, R2, R3	tempo de setup	tsu	1 ns
Registradores R1, R2, R3	tempo de hold	th	0,5 ns
Registradores R1, R2, R3	tempo de carga	tco	1 ns
Somador completo (<i>full adder</i>)	atraso	tds	0,25 ns

No diagrama abaixo, considerar que cada divisão vale 1,0 ns



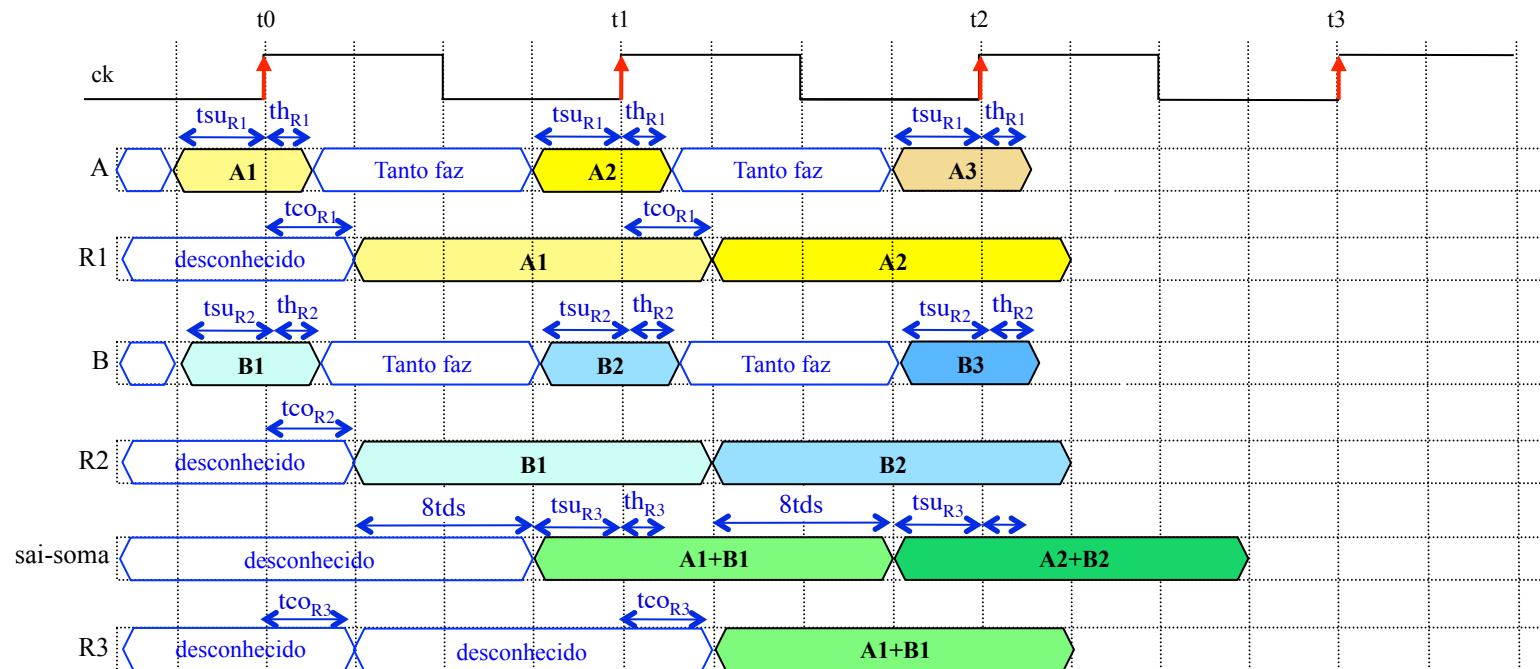
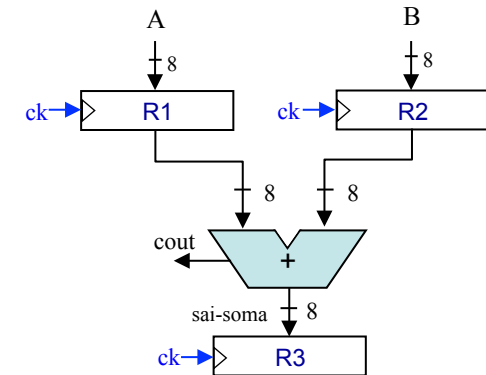
Temporização e Análise de Timing

Diagramas de Tempo

Supondo as seguintes características temporais dos componentes

Componente	Característica	Símbolo	Valor
Registradores R1, R2, R3	tempo de setup	tsu	1 ns
Registradores R1, R2, R3	tempo de hold	th	0,5 ns
Registradores R1, R2, R3	tempo de carga	tco	1 ns
Somador completo (full adder)	atraso	tds	0,25 ns

No diagrama abaixo, considerar que cada divisão vale 1,0 ns



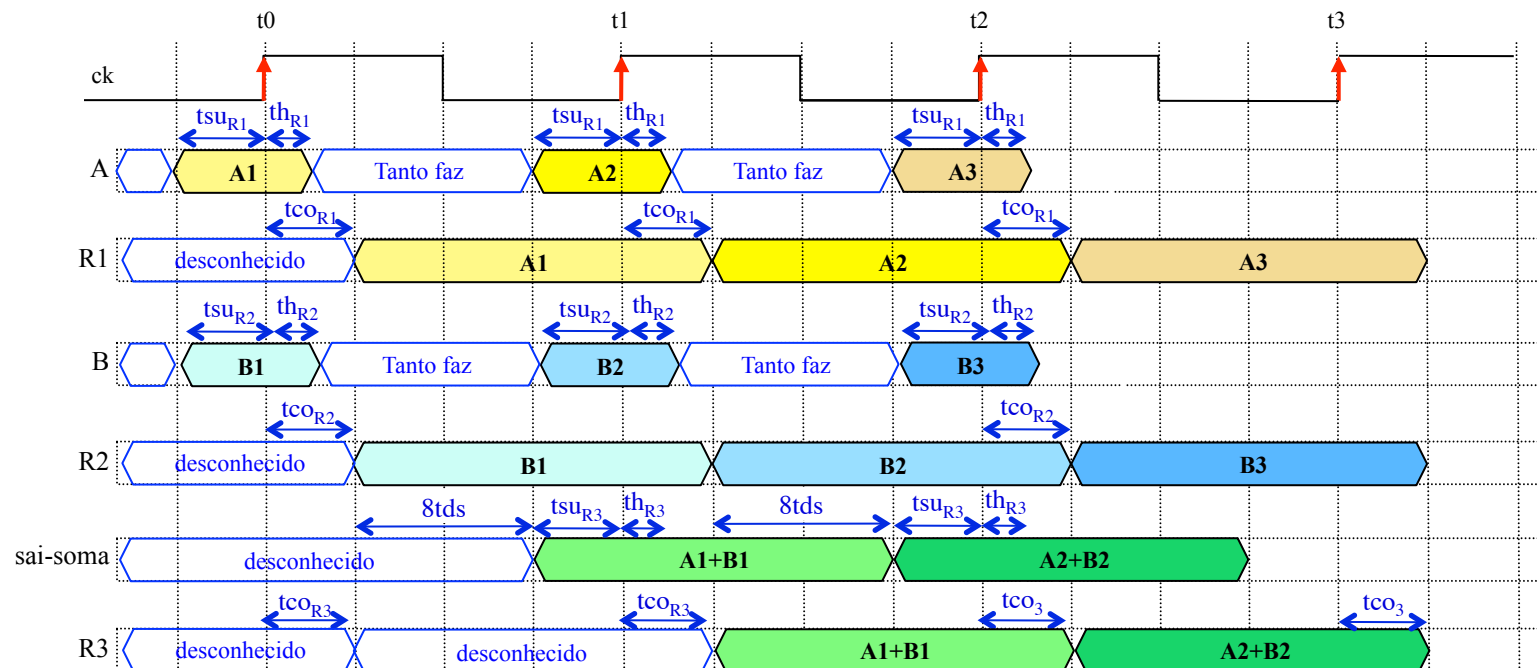
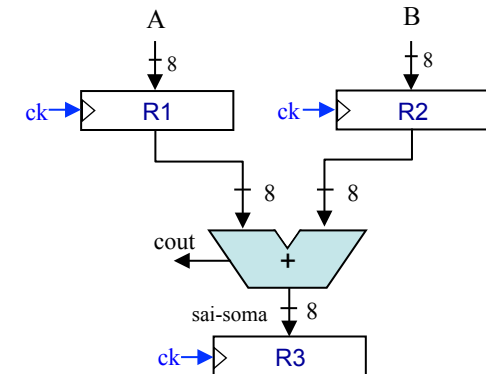
Temporização e Análise de Timing

Diagramas de Tempo

Supondo as seguintes características temporais dos componentes

Componente	Característica	Símbolo	Valor
Registradores R1, R2, R3	tempo de setup	tsu	1 ns
Registradores R1, R2, R3	tempo de hold	th	0,5 ns
Registradores R1, R2, R3	tempo de carga	tco	1 ns
Somador completo (full adder)	atraso	tds	0,25 ns

No diagrama abaixo, considerar que cada divisão vale 1,0 ns



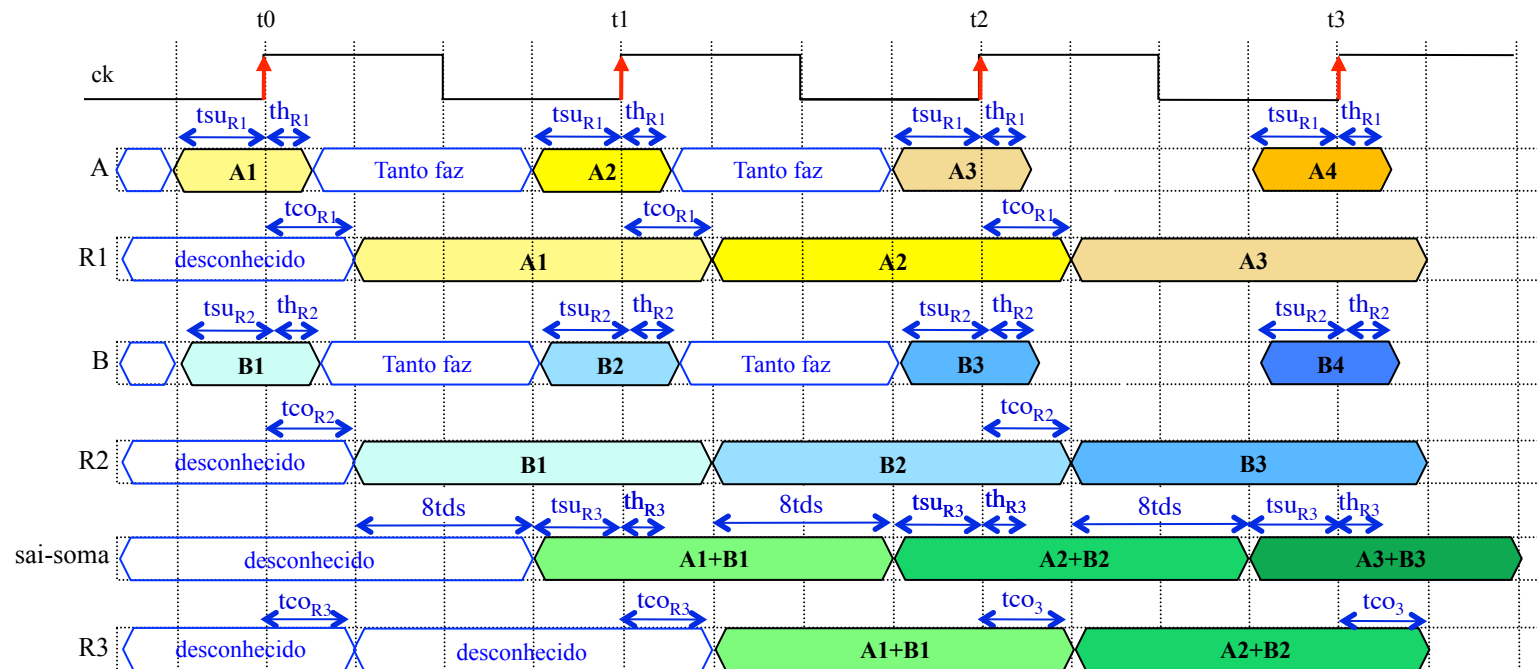
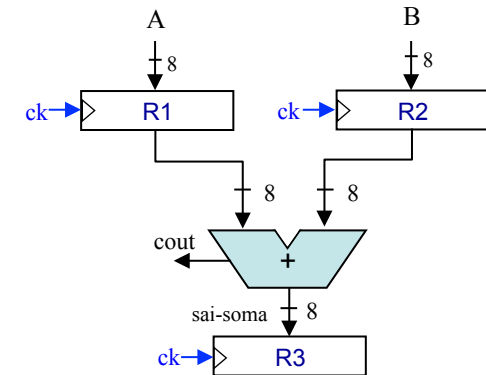
Temporização e Análise de Timing

Diagramas de Tempo

Supondo as seguintes características temporais dos componentes

Componente	Característica	Símbolo	Valor
Registradores R1, R2, R3	tempo de setup	tsu	1 ns
Registradores R1, R2, R3	tempo de hold	th	0,5 ns
Registradores R1, R2, R3	tempo de carga	tco	1 ns
Somador completo (full adder)	atraso	tds	0,25 ns

No diagrama abaixo, considerar que cada divisão vale 1,0 ns



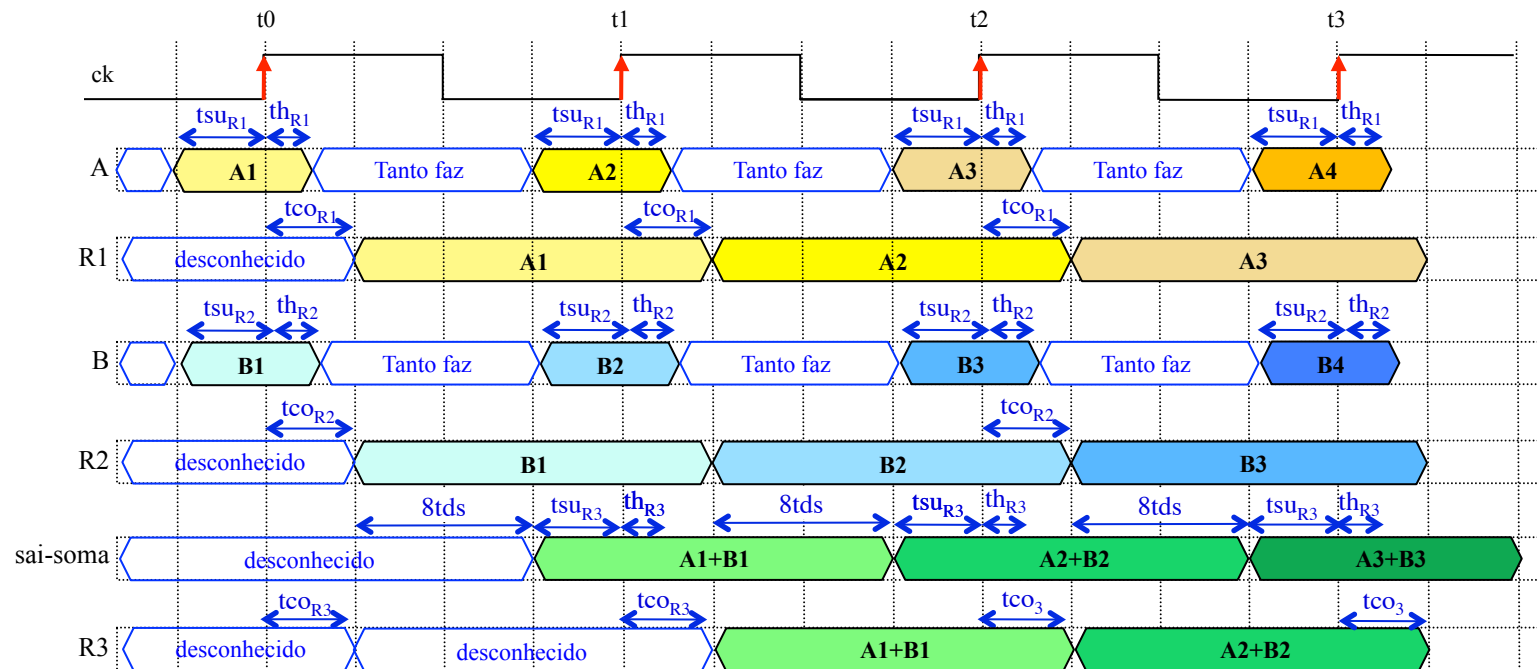
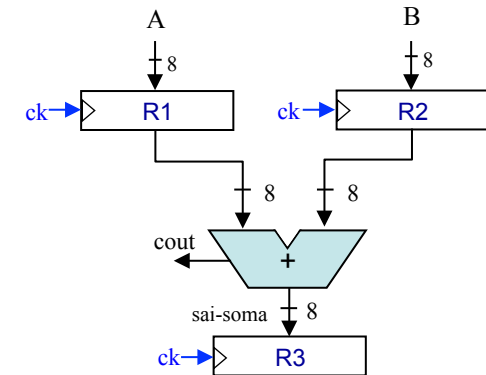
Temporização e Análise de Timing

Diagramas de Tempo

Supondo as seguintes características temporais dos componentes

Componente	Característica	Símbolo	Valor
Registradores R1, R2, R3	tempo de setup	t_{su}	1 ns
Registradores R1, R2, R3	tempo de hold	t_h	0,5 ns
Registradores R1, R2, R3	tempo de carga	t_{co}	1 ns
Somador completo (<i>full adder</i>)	atraso	t_{ds}	0,25 ns

No diagrama abaixo, considerar que cada divisão vale 1,0 ns



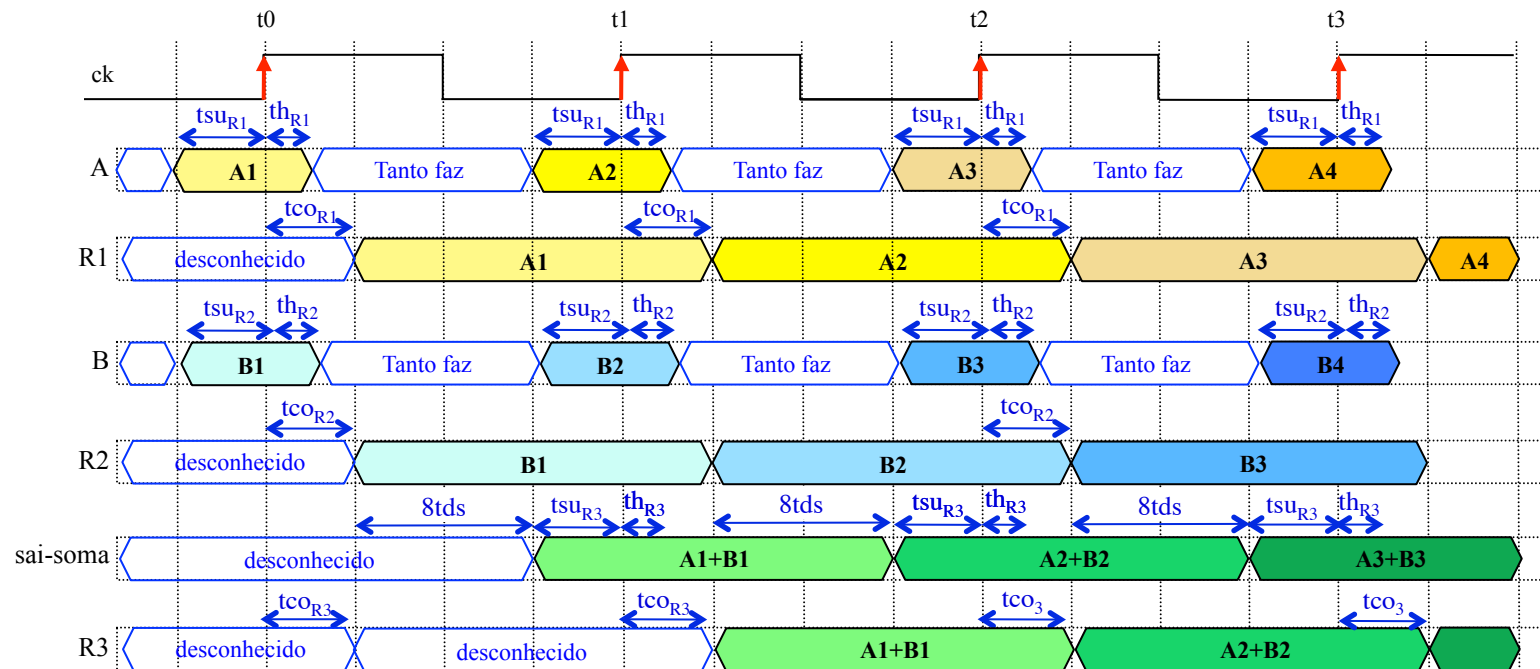
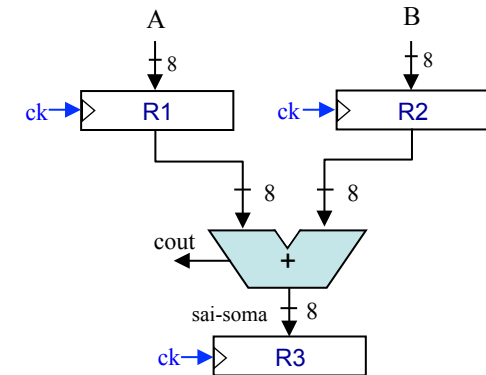
Temporização e Análise de Timing

Diagramas de Tempo

Supondo as seguintes características temporais dos componentes

Componente	Característica	Símbolo	Valor
Registradores R1, R2, R3	tempo de setup	t_{su}	1 ns
Registradores R1, R2, R3	tempo de hold	t_h	0,5 ns
Registradores R1, R2, R3	tempo de carga	t_{co}	1 ns
Somador completo (full adder)	atraso	t_{ds}	0,25 ns

No diagrama abaixo, considerar que cada divisão vale 1,0 ns



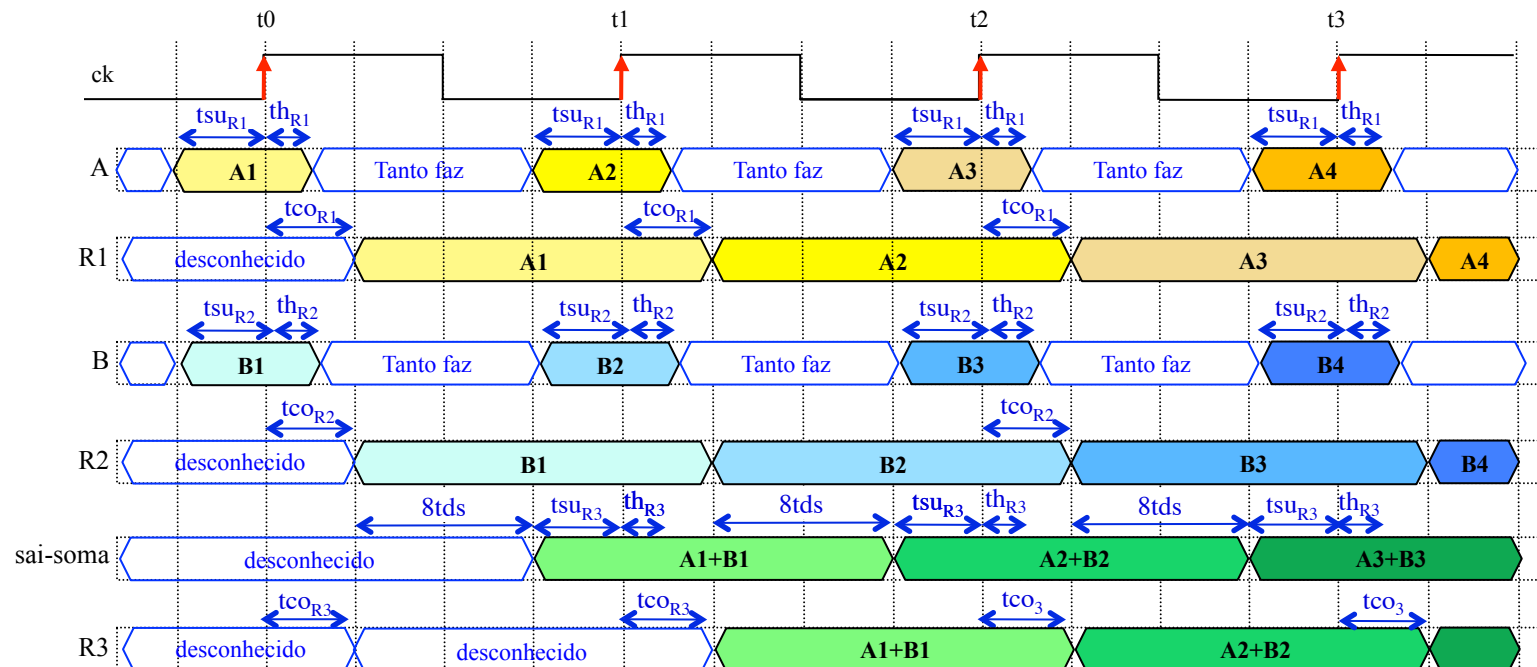
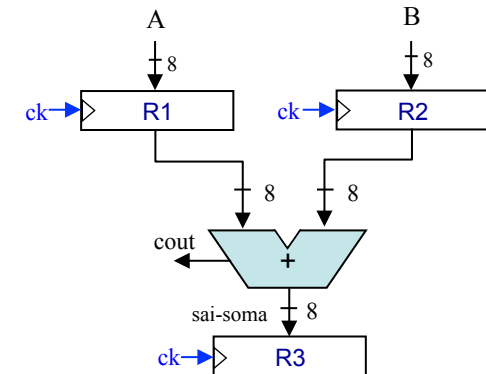
Temporização e Análise de Timing

Diagramas de Tempo

Supondo as seguintes características temporais dos componentes

Componente	Característica	Símbolo	Valor
Registradores R1, R2, R3	tempo de setup	t_{su}	1 ns
Registradores R1, R2, R3	tempo de hold	t_h	0,5 ns
Registradores R1, R2, R3	tempo de carga	t_{co}	1 ns
Somador completo (<i>full adder</i>)	atraso	t_{ds}	0,25 ns

No diagrama abaixo, considerar que cada divisão vale 1,0 ns

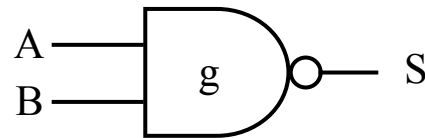


Temporização e Análise de Timing

Tempo de Estabilização (TE) de um Sinal (Também conhecido como *Arrival Time*)

Definição: TE de um sinal é o máximo tempo que o sinal demora para estabilizar

Exemplo 1:



$$TE(S) = \max \{TE(A), TE(B)\} + td(g)$$

Suponha que $TE(A) = 10$ ps, $TE(B) = 12$ ps, $td(g) = 2$ ps.

Calcular $TE(S)$.

$$TE(S) = \max \{10 \text{ ps}, 12 \text{ ps}\} + 2 \text{ ps} = 14 \text{ ps}$$

Obs: ao longo desta disciplina, consideraremos que os fios tem atraso desprezível, o que não corresponde à realidade, mas serve como abordagem inicial.

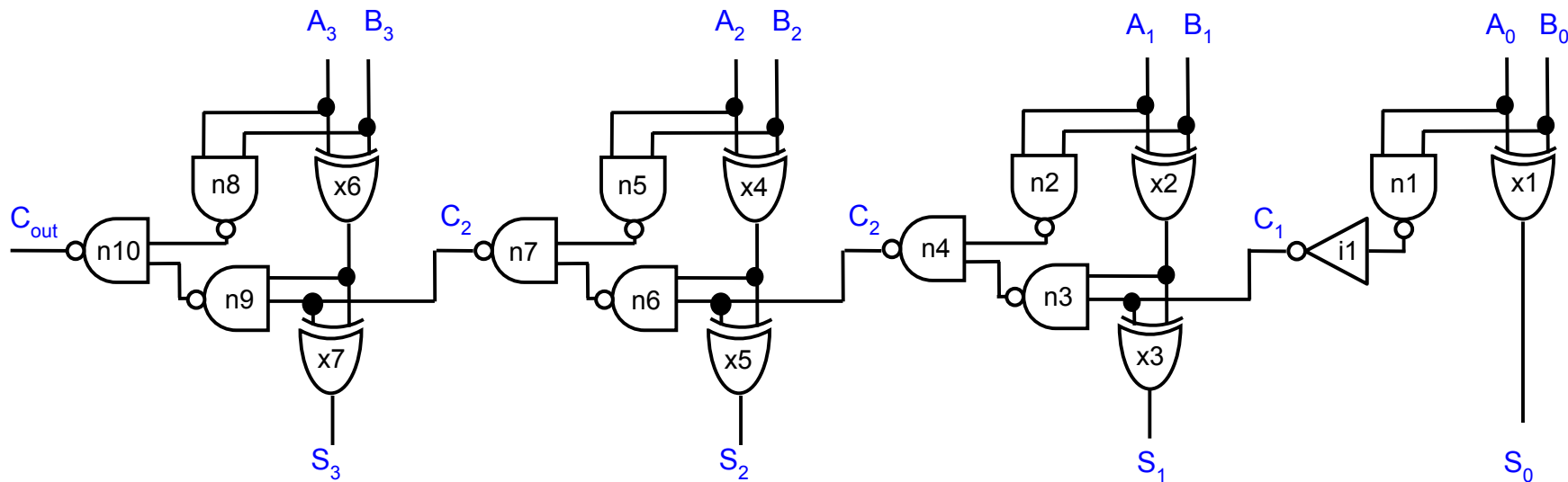
Temporização e Análise de Timing

Tempo de Estabilização (TE) de um Sinal

Definição: TE de um sinal é o máximo tempo que o sinal demora para estabilizar

Exemplo 2: Supondo $TE = 0$ ps para todas as entradas e os atrasos de propagação mostrados na tabela ao lado, determine os TEs de todas as saídas

porta	td
inv	1 ps
nand2	2ps
xor	3ps



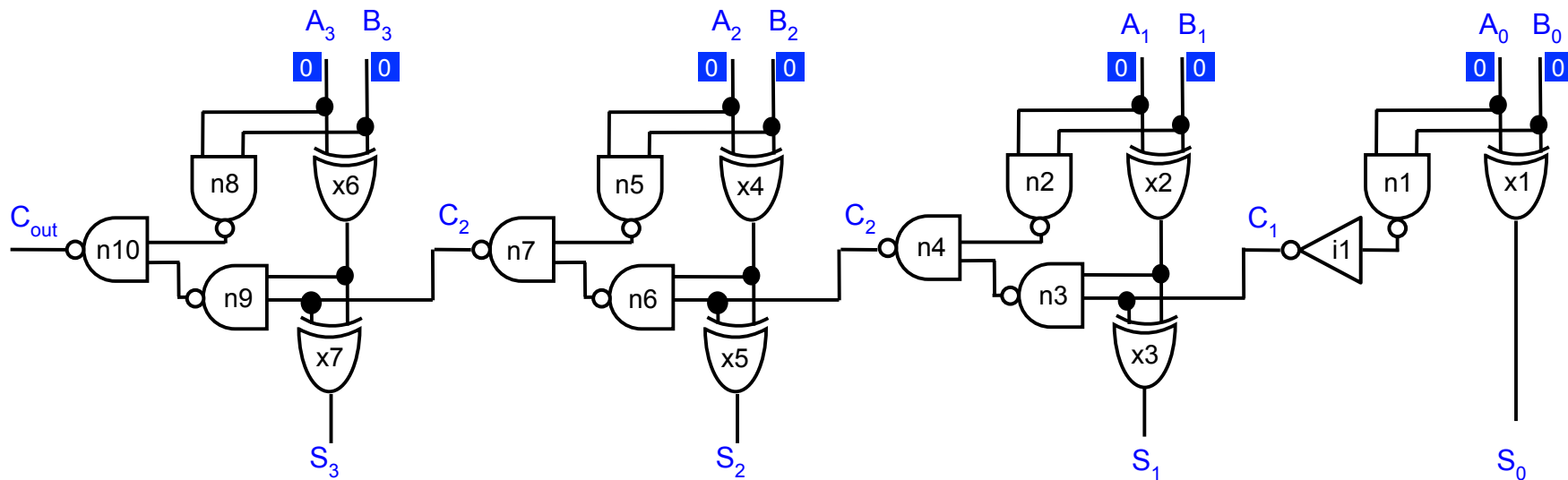
Temporização e Análise de Timing

Tempo de Estabilização (TE) de um Sinal

Definição: TE de um sinal é o máximo tempo que o sinal demora para estabilizar

Exemplo 2: Supondo $TE = 0$ ps para todas as entradas e os atrasos de propagação mostrados na tabela ao lado, determine os TEs de todas as saídas

porta	td
inv	1 ps
nand2	2ps
xor	3ps



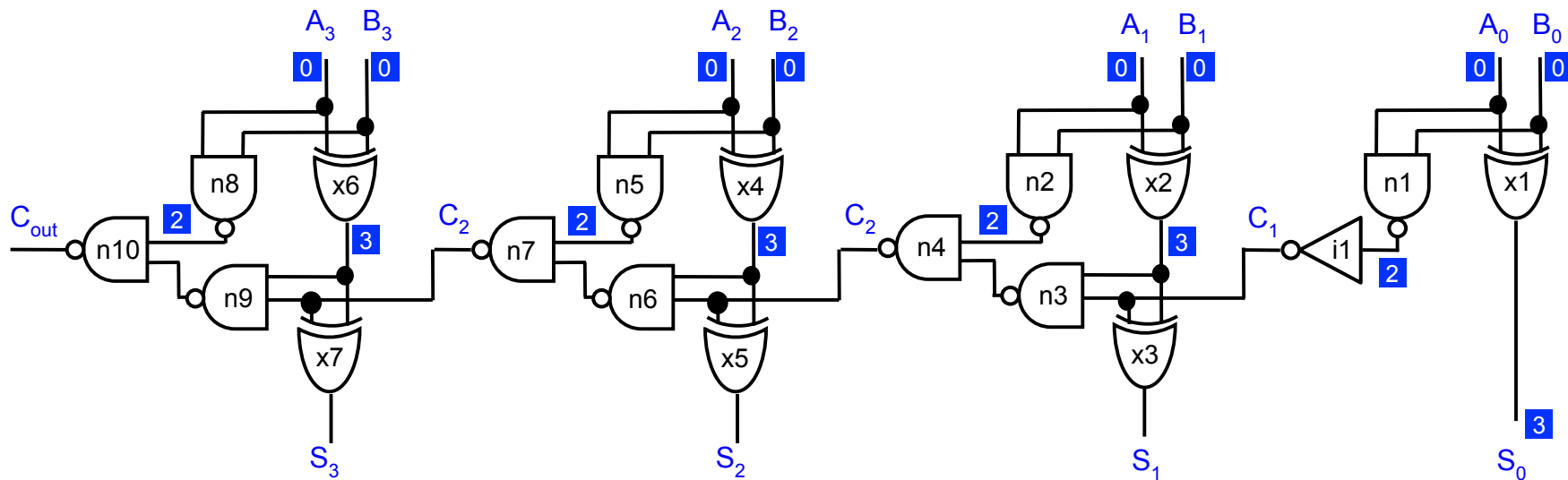
Temporização e Análise de Timing

Tempo de Estabilização (TE) de um Sinal

Definição: TE de um sinal é o máximo tempo que o sinal demora para estabilizar

Exemplo 2: Supondo $TE = 0$ ps para todas as entradas e os atrasos de propagação mostrados na tabela ao lado, determine os TEs de todas as saídas

porta	td
inv	1 ps
nand2	2ps
xor	3ps



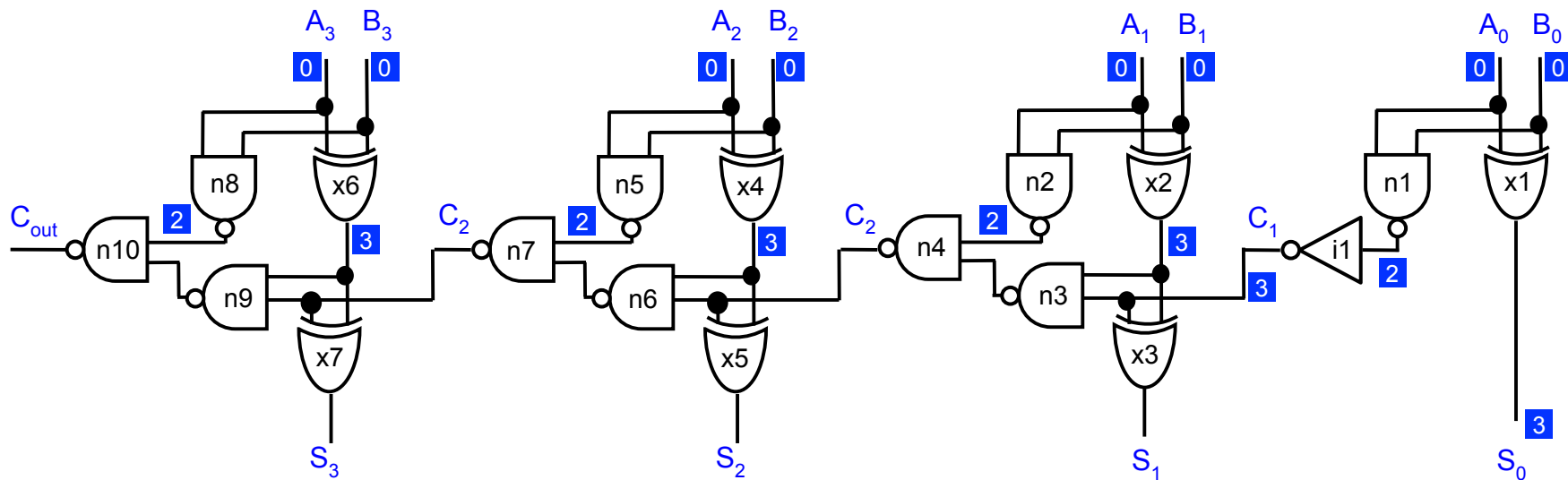
Temporização e Análise de Timing

Tempo de Estabilização (TE) de um Sinal

Definição: TE de um sinal é o máximo tempo que o sinal demora para estabilizar

Exemplo 2: Supondo $TE = 0$ ps para todas as entradas e os atrasos de propagação mostrados na tabela ao lado, determine os TEs de todas as saídas

porta	td
inv	1 ps
nand2	2ps
xor	3ps



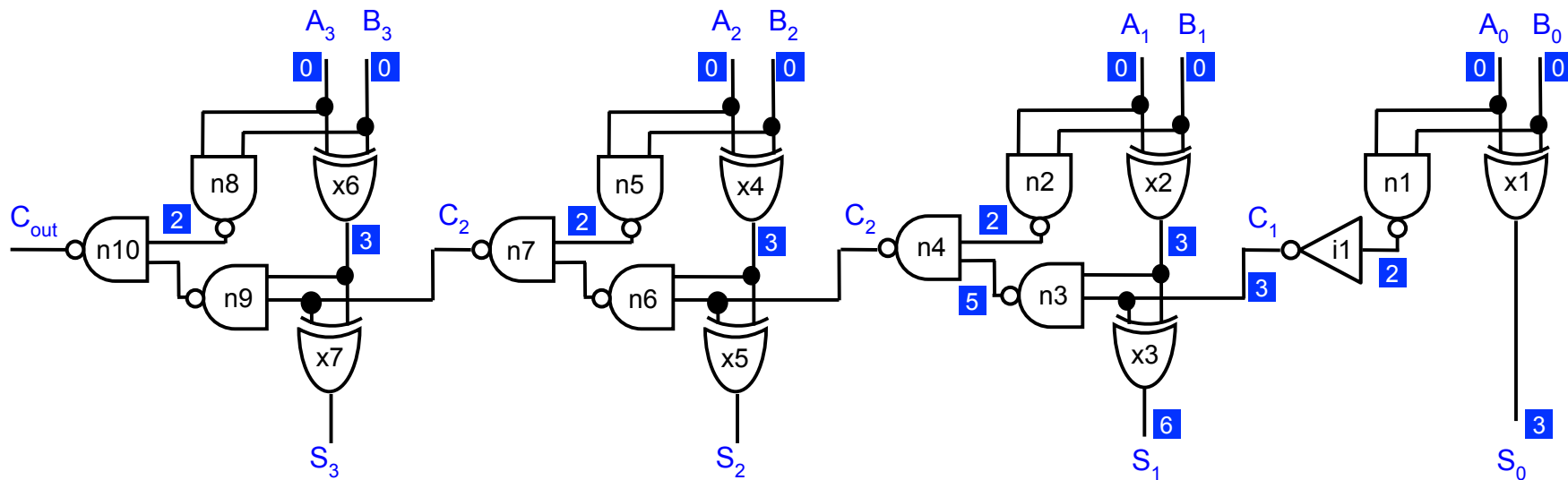
Temporização e Análise de Timing

Tempo de Estabilização (TE) de um Sinal

Definição: TE de um sinal é o máximo tempo que o sinal demora para estabilizar

Exemplo 2: Supondo $TE = 0$ ps para todas as entradas e os atrasos de propagação mostrados na tabela ao lado, determine os TEs de todas as saídas

porta	td
inv	1 ps
nand2	2ps
xor	3ps



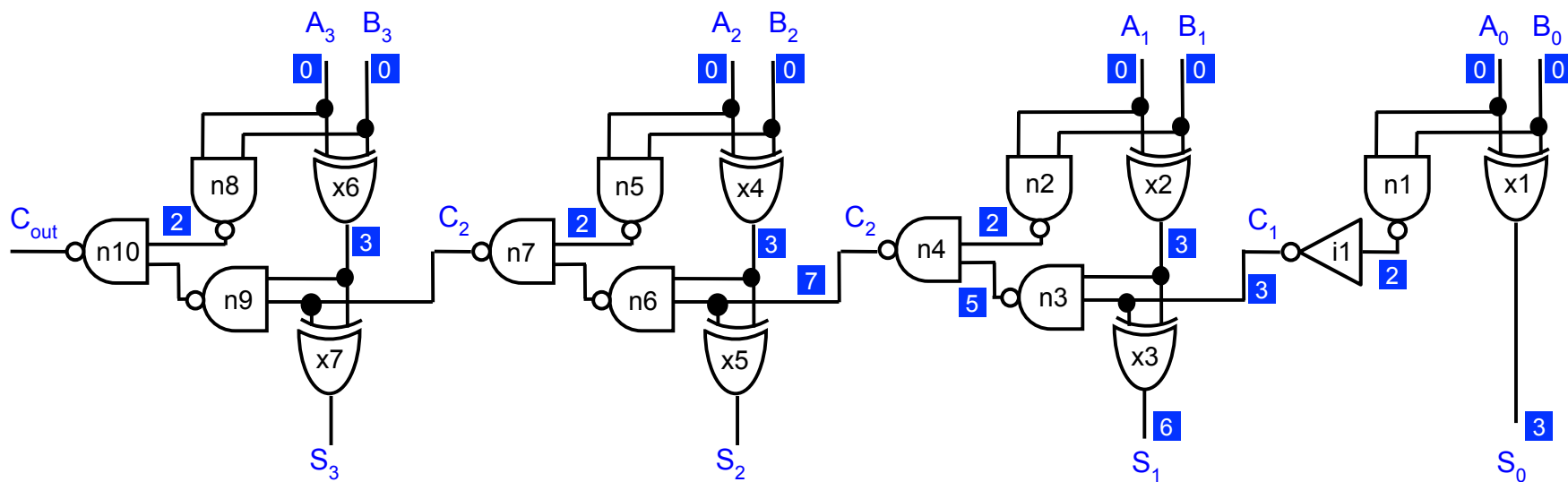
Temporização e Análise de Timing

Tempo de Estabilização (TE) de um Sinal

Definição: TE de um sinal é o máximo tempo que o sinal demora para estabilizar

Exemplo 2: Supondo $TE = 0$ ps para todas as entradas e os atrasos de propagação mostrados na tabela ao lado, determine os TEs de todas as saídas

porta	td
inv	1 ps
nand2	2ps
xor	3ps



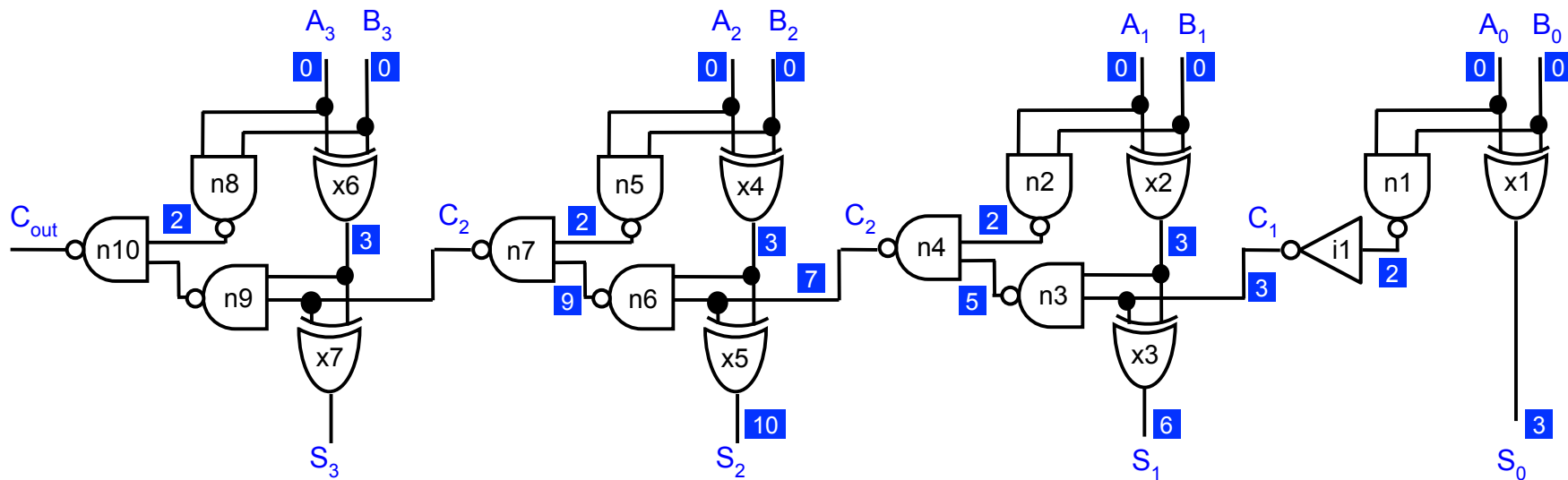
Temporização e Análise de Timing

Tempo de Estabilização (TE) de um Sinal

Definição: TE de um sinal é o máximo tempo que o sinal demora para estabilizar

Exemplo 2: Supondo $TE = 0$ ps para todas as entradas e os atrasos de propagação mostrados na tabela ao lado, determine os TEs de todas as saídas

porta	td
inv	1 ps
nand2	2ps
xor	3ps



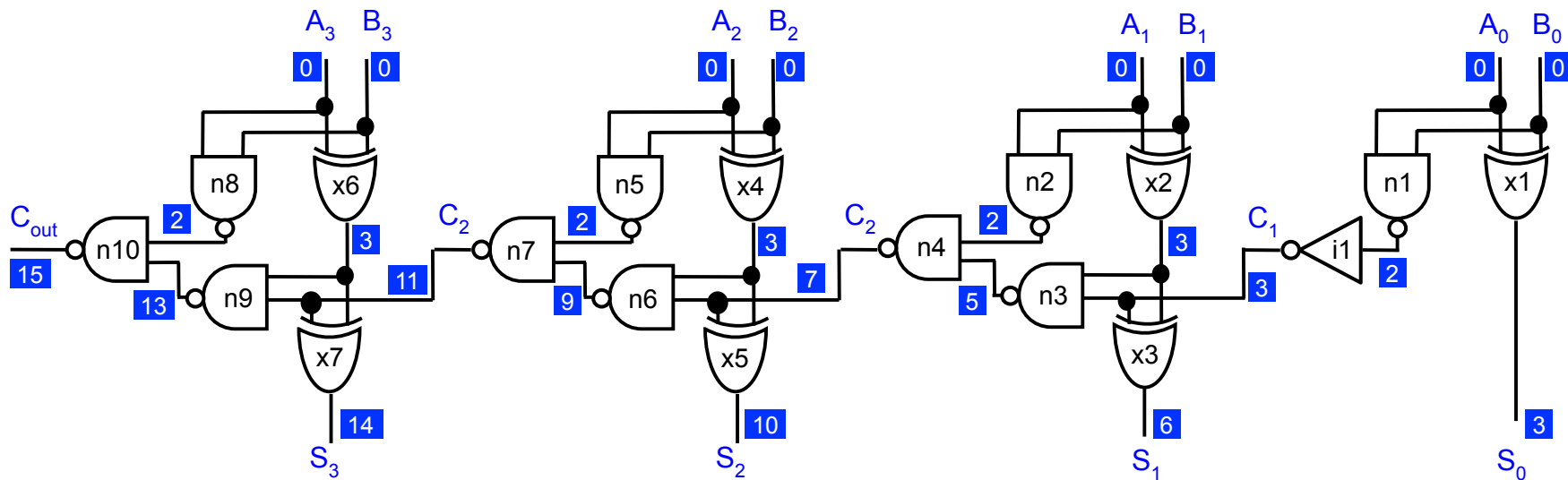
Temporização e Análise de Timing

Tempo de Estabilização (TE) de um Sinal

Definição: TE de um sinal é o máximo tempo que o sinal demora para estabilizar

Exemplo 2: Supondo $TE = 0$ ps para todas as entradas e os atrasos de propagação mostrados na tabela ao lado, determine os TEs de todas as saídas

porta	td
inv	1 ps
nand2	2ps
xor	3ps



Temporização e Análise de Timing

Caminho Crítico

É o caminho (i.e., a sucessão de componentes) atravessado pela sequência de transições mais lentas.

No exemplo, há **quatro** caminhos críticos:

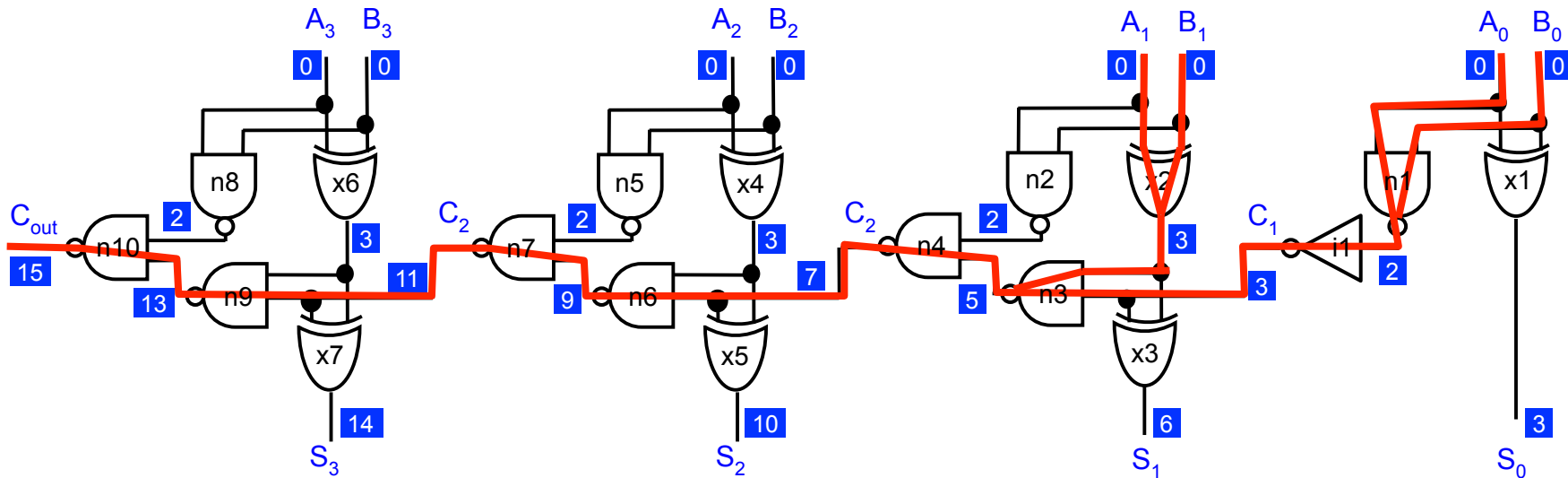
$A_0 \rightarrow n1 \rightarrow i1 \rightarrow n3 \rightarrow n4 \rightarrow n6 \rightarrow n7 \rightarrow n9 \rightarrow n10 \rightarrow C_{out}$

$B_0 \rightarrow n1 \rightarrow i1 \rightarrow n3 \rightarrow n4 \rightarrow n6 \rightarrow n7 \rightarrow n9 \rightarrow n10 \rightarrow C_{out}$

$A_1 \rightarrow x2 \rightarrow n3 \rightarrow n4 \rightarrow n6 \rightarrow n7 \rightarrow n9 \rightarrow n10 \rightarrow C_{out}$

$B_1 \rightarrow x2 \rightarrow n3 \rightarrow n4 \rightarrow n6 \rightarrow n7 \rightarrow n9 \rightarrow n10 \rightarrow C_{out}$

porta	td
inv	1 ps
nand2	2ps
xor	3ps



Temporização e Análise de Timing

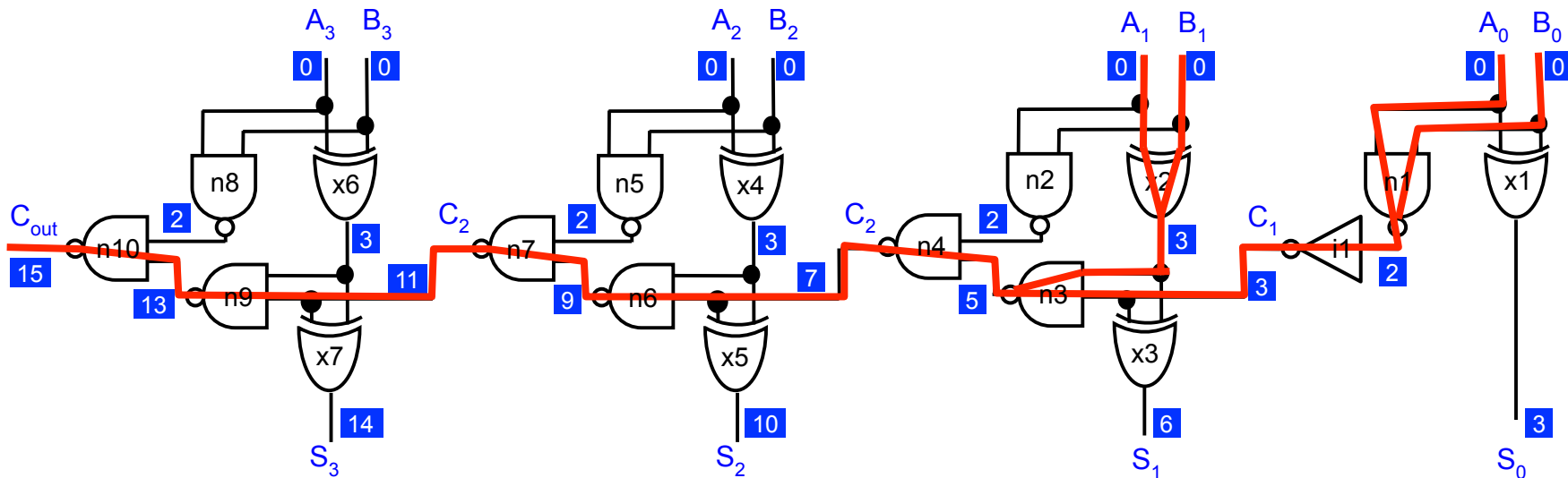
Atraso Crítico

É o atraso do caminho crítico.

No exemplo, atraso do caminho crítico = 15 ps

No pior caso, este é o tempo que este circuito precisa para completar uma adição entre dois números de 4 bits.

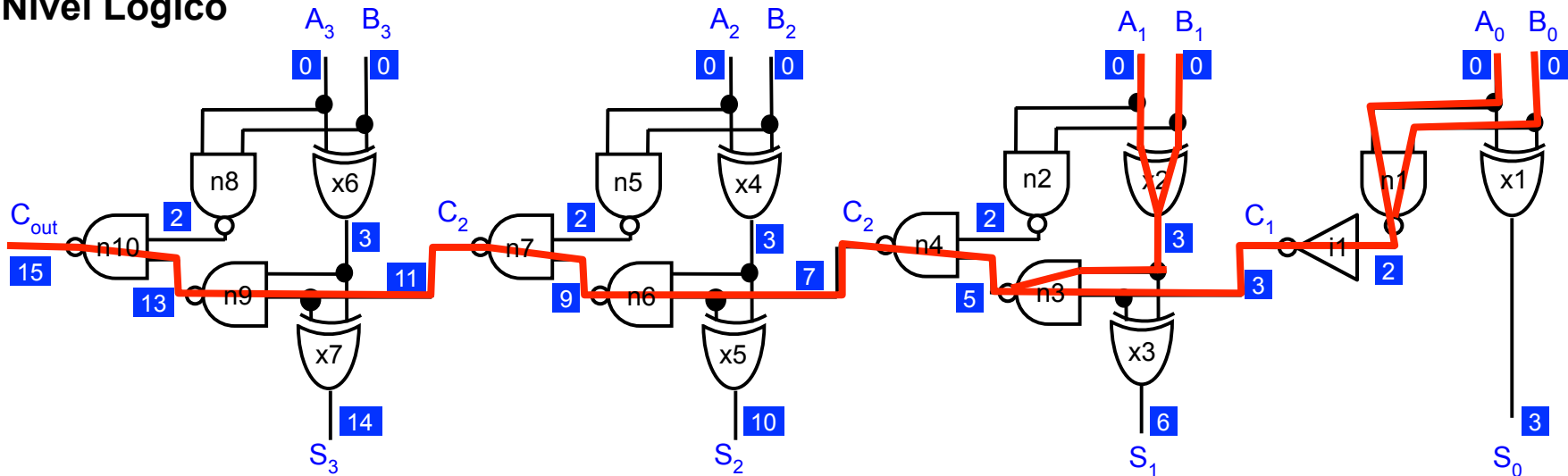
porta	td
inv	1 ps
nand2	2ps
xor	3ps



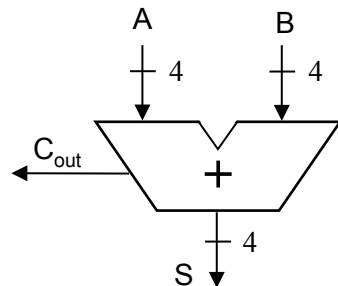
Temporização e Análise de Timing

Atraso Crítico no Nível Lógico → Atraso de Componente do Nível RT

Nível Lógico



Nível RT



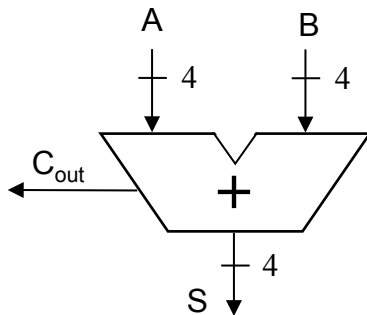
Por uma questão de simplificação, no nível RT considera-se que qualquer saída do componente (combinacional) possui atraso = t_d , no caso deste exemplo:

$$t_d(\text{somador_4bits}) = 15 \text{ ps}$$

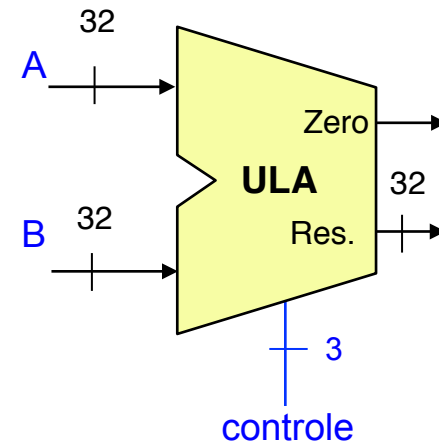
Temporização e Análise de Timing

Tempo de Estabilização (TE) no Nível RT

Para Elementos Combinacionais (exceto muxes)



$$TE(S) = \max \{TE(A), TE(B)\} + td(\text{somador})$$
$$TE(C_{out}) = \max \{TE(A), TE(B)\} + td(\text{somador})$$

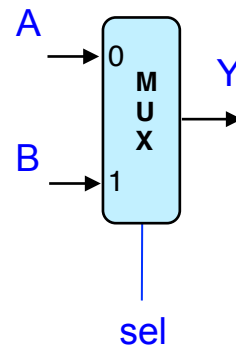


$$TE(res) = \max\{TE(A), T(B), T(\text{controle})\} + td(ULA)$$
$$TE(zero) = \max\{TE(A), T(B), T(\text{controle})\} + td(ULA)$$

Temporização e Análise de Timing

Tempo de Estabilização (TE) no Nível RT

Para muxes



$$TE(Y) = \max\{TE_S, TE(sel)\} + td(mux)$$

Onde:

$$TE_S = TE(A) \text{ se } sel = 0$$

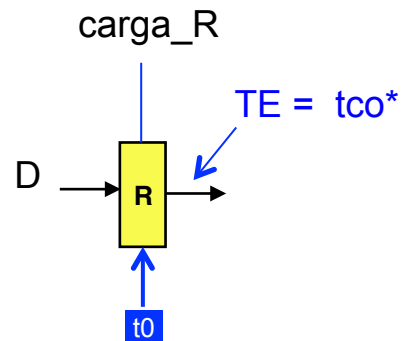
e

$$TE_S = TE(B) \text{ se } sel = 1$$

Temporização e Análise de Timing

Tempo de Estabilização (TE) no Nível RT

Para Registradores



* Toma-se a borda de relógio t_0 como referência de tempo; logo, $TE = t_{co}$ após t_0 .

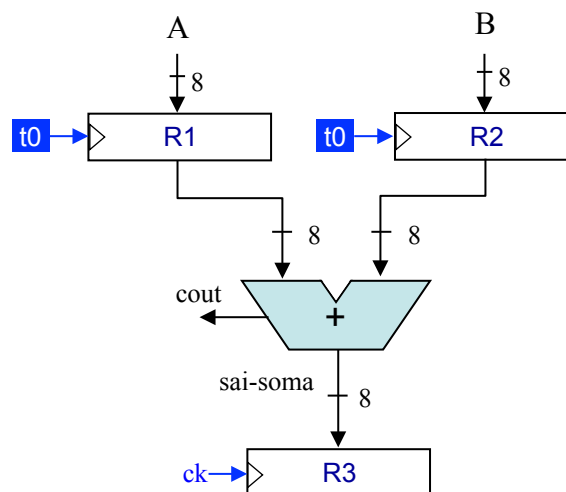
Temporização e Análise de Timing

Tempos de Estabilização

Supondo as seguintes características temporais dos componentes

Componente	Característica	Símbolo	Valor
Registradores R1, R2, R3	tempo de setup	tsu	1 ns
Registradores R1, R2, R3	tempo de hold	th	0,5 ns
Registradores R1, R2, R3	tempo de carga	tco	1 ns
Somador completo (<i>full adder</i>)	atraso	tds	0,25 ns

A análise inicia assumindo-se uma primeira borda de relógio (t_0) aplicada a R1 e R2

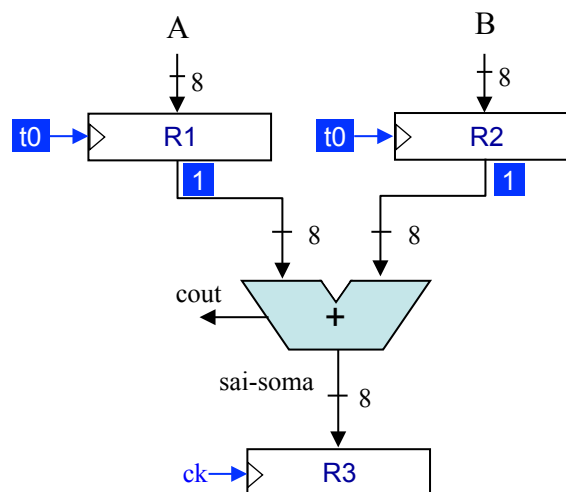


Temporização e Análise de Timing

Tempos de Estabilização

Supondo as seguintes características temporais dos componentes

Componente	Característica	Símbolo	Valor
Registradores R1, R2, R3	tempo de setup	tsu	1 ns
Registradores R1, R2, R3	tempo de hold	th	0,5 ns
Registradores R1, R2, R3	tempo de carga	tco	1 ns
Somador completo (<i>full adder</i>)	atraso	tds	0,25 ns

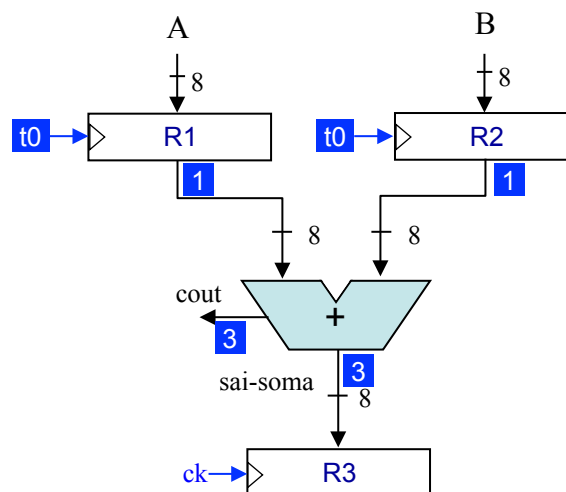


Temporização e Análise de Timing

Tempos de Estabilização

Supondo as seguintes características temporais dos componentes

Componente	Característica	Símbolo	Valor
Registradores R1, R2, R3	tempo de setup	tsu	1 ns
Registradores R1, R2, R3	tempo de hold	th	0,5 ns
Registradores R1, R2, R3	tempo de carga	tco	1 ns
Somador completo (<i>full adder</i>)	atraso	tds	0,25 ns

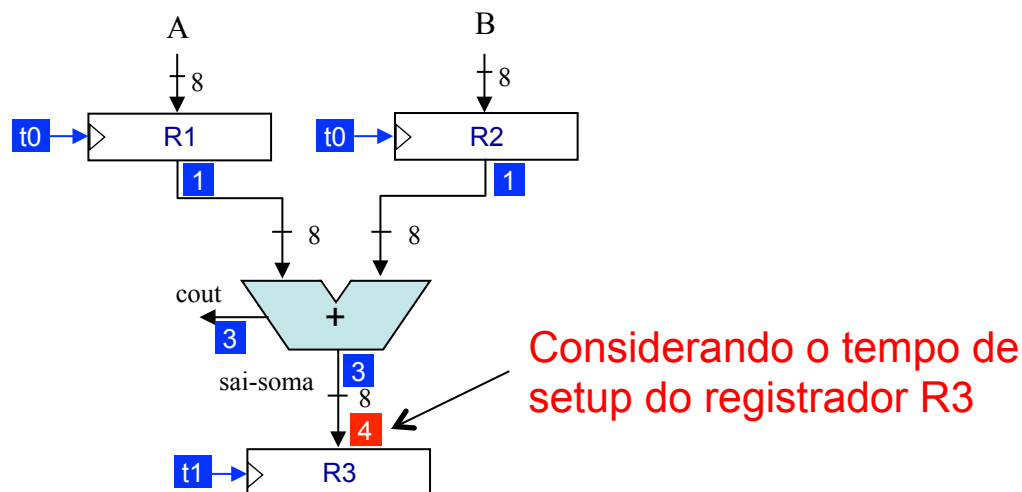


Temporização e Análise de Timing

Tempos de Estabilização

Supondo as seguintes características temporais dos componentes

Componente	Característica	Símbolo	Valor
Registradores R1, R2, R3	tempo de setup	tsu	1 ns
Registradores R1, R2, R3	tempo de hold	th	0,5 ns
Registradores R1, R2, R3	tempo de carga	tco	1 ns
Somador completo (<i>full adder</i>)	atraso	tds	0,25 ns

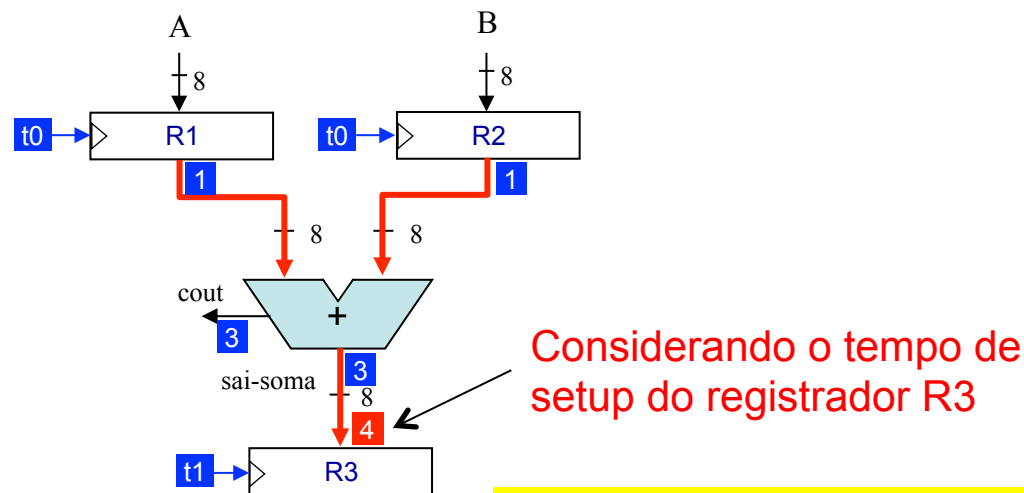


Temporização e Análise de Timing

Caminhos Críticos e Atraso Crítico

Supondo as seguintes características temporais dos componentes

Componente	Característica	Símbolo	Valor
Registradores R1, R2, R3	tempo de setup	tsu	1 ns
Registradores R1, R2, R3	tempo de hold	th	0,5 ns
Registradores R1, R2, R3	tempo de carga	tco	1 ns
Somador completo (<i>full adder</i>)	atraso	tds	0,25 ns

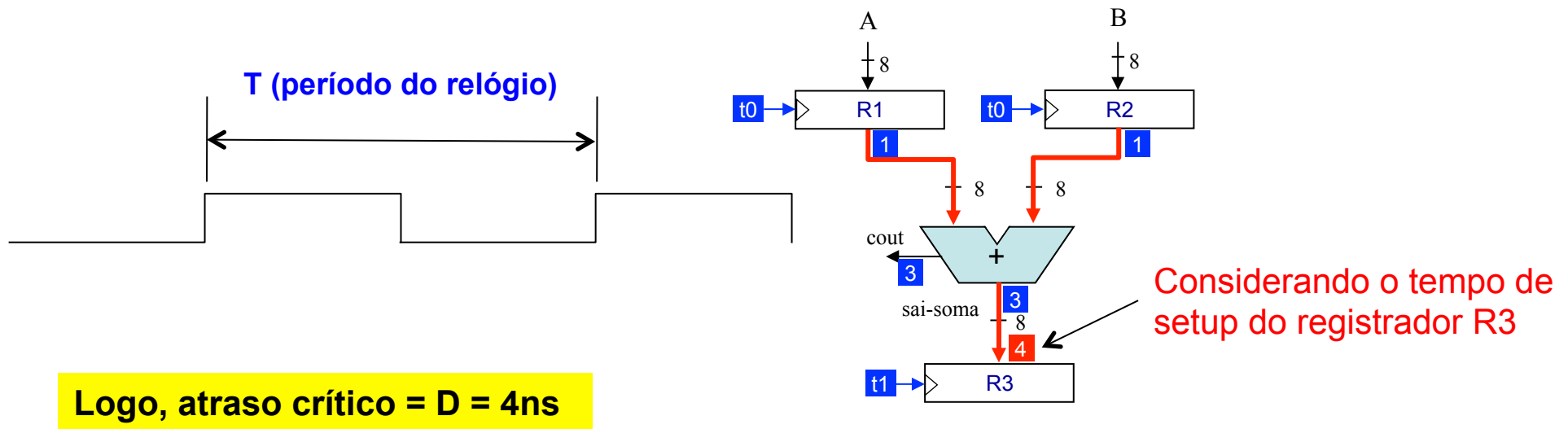


Considerando o tempo de setup do registrador R3

Logo, atraso crítico = D = 4 ns

Temporização e Análise de Timing

Estimativa do Período (Mínimo) e da Frequência Máxima do Relógio



Logo, atraso crítico = $D = 4\text{ ns}$

Período mínimo do relógio = $D = 4\text{ ns}$

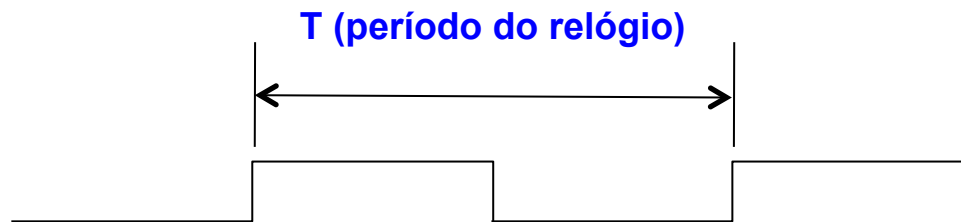
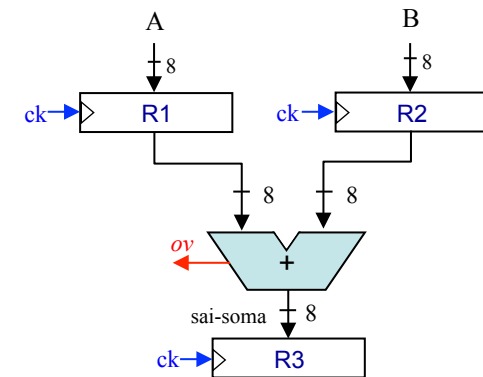
**Frequência máxima = $1 / \text{período mínimo} = 1 / 4\text{ ns} = 1 / 4 \times 10^{-9}\text{ s} =$
 $= 0,25 \times 10^9\text{ Hz} = 250 \times 10^6\text{ Hz} = 250\text{ MHz}$**

Temporização e Análise de Timing

Estimativa do Período (Mínimo) do Relógio (2)

Pode-se pular a etapa de determinação dos TEs, calculando o atraso crítico diretamente a partir do(s) caminho(s) crítico(s). Exemplo:

$$\begin{aligned} D &= t_{co_{R1}} + 8.t_{ds} + t_{su_{R3}} = \\ &= t_{co_{R2}} + 8.t_{ds} + t_{su_{R3}} = \\ &= 1 \text{ ns} + 8 \cdot 0,25 \text{ ns} + 1 \text{ ns} = \mathbf{4 \text{ ns}} \end{aligned}$$



sendo $T \geq D$

Temporização e Análise de Timing

Suponha que necessita-se de um hardware dedicado para realizar o seguinte cálculo:

$$S \leftarrow A + B + C + D$$

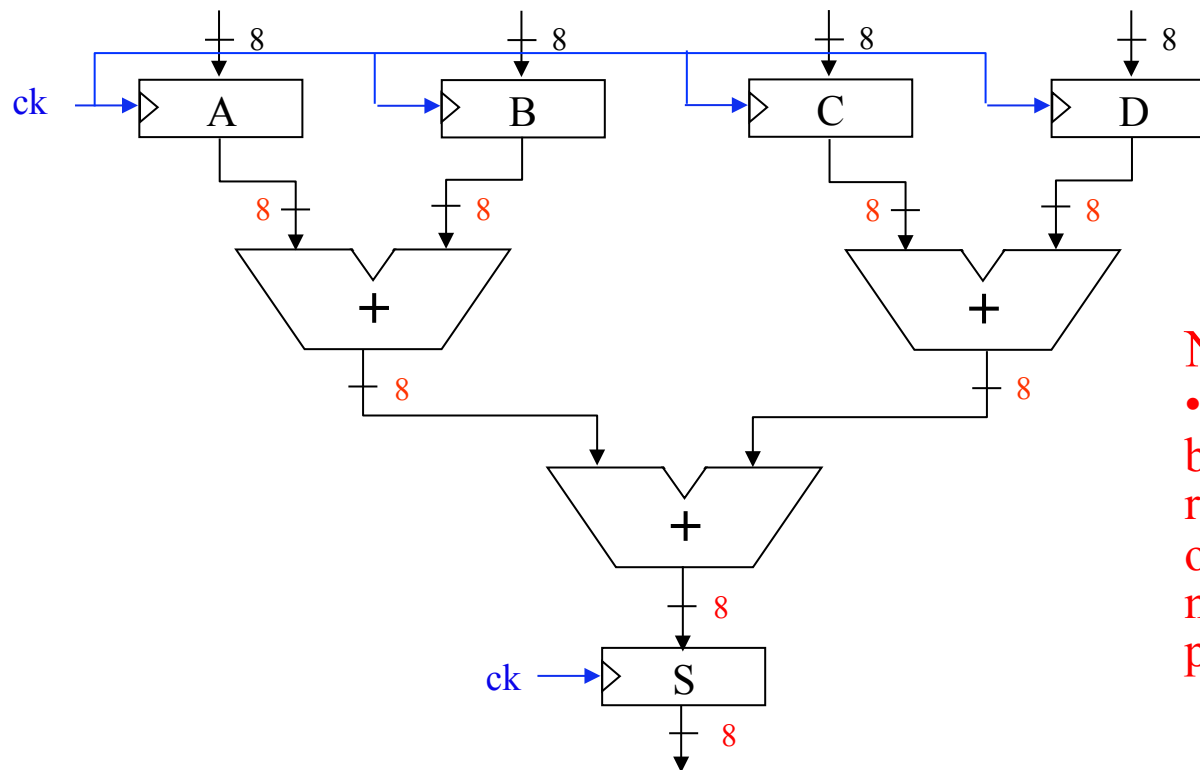
Assumir que as variáveis A, B, C e D sejam números inteiros sem sinal, representados em binário com 8 bits, **estando disponíveis ao mesmo tempo.**

- Como as variáveis de entrada estão disponíveis ao mesmo tempo, pode ser vantajoso executar este cálculo em um ciclo de relógio.
- Para reduzir o período do relógio, é importante explorar o paralelismo que o cálculo pode proporcionar.

Temporização e Análise de Timing

Solução 1:

ULA dedicada que realiza o cálculo de maneira paralela



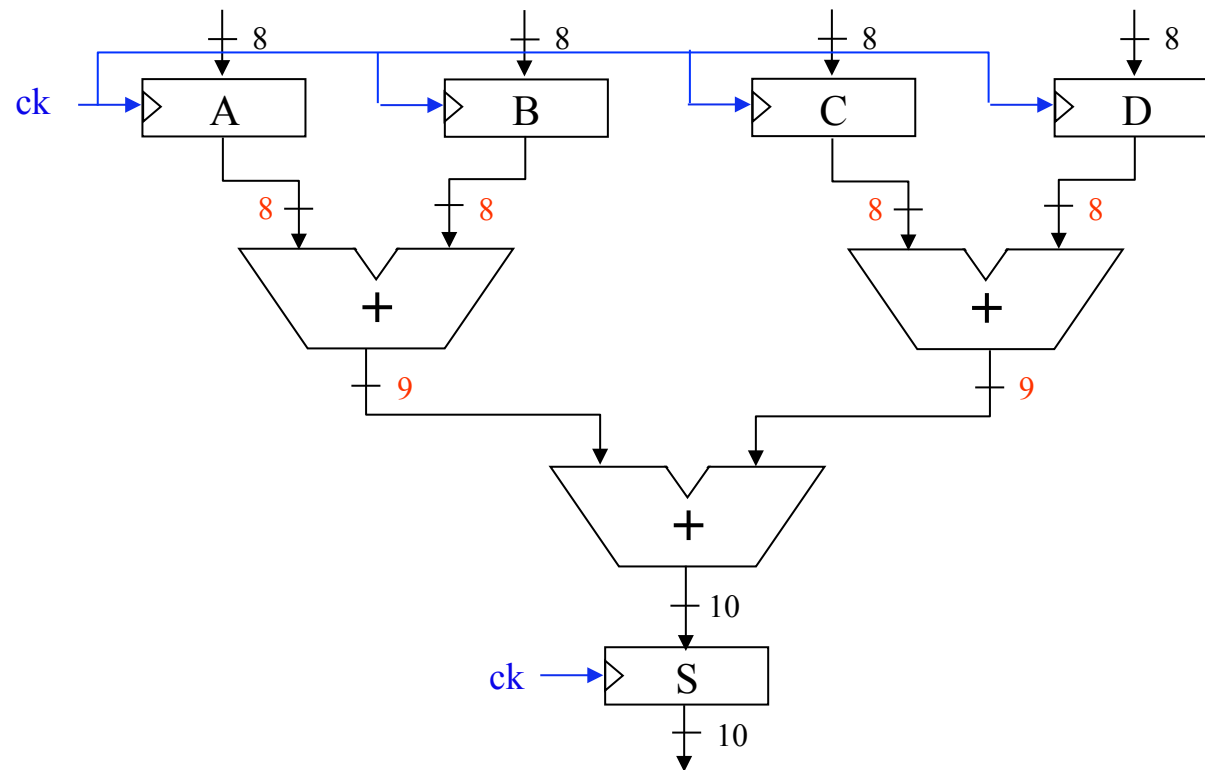
Neste esquemático:

- O comprimento (i.e., o nº de bits) do registrador “S” restringe o uso desta ULA para operações nas quais o resultado não ultrapasse 255. Portanto, pode ocorrer *overflow*!

Temporização e Análise de Timing

Solução 1.1:

ULA dedicada que realiza o cálculo de maneira paralela que evita ocorrência de *overflow*



Ponto Positivo:

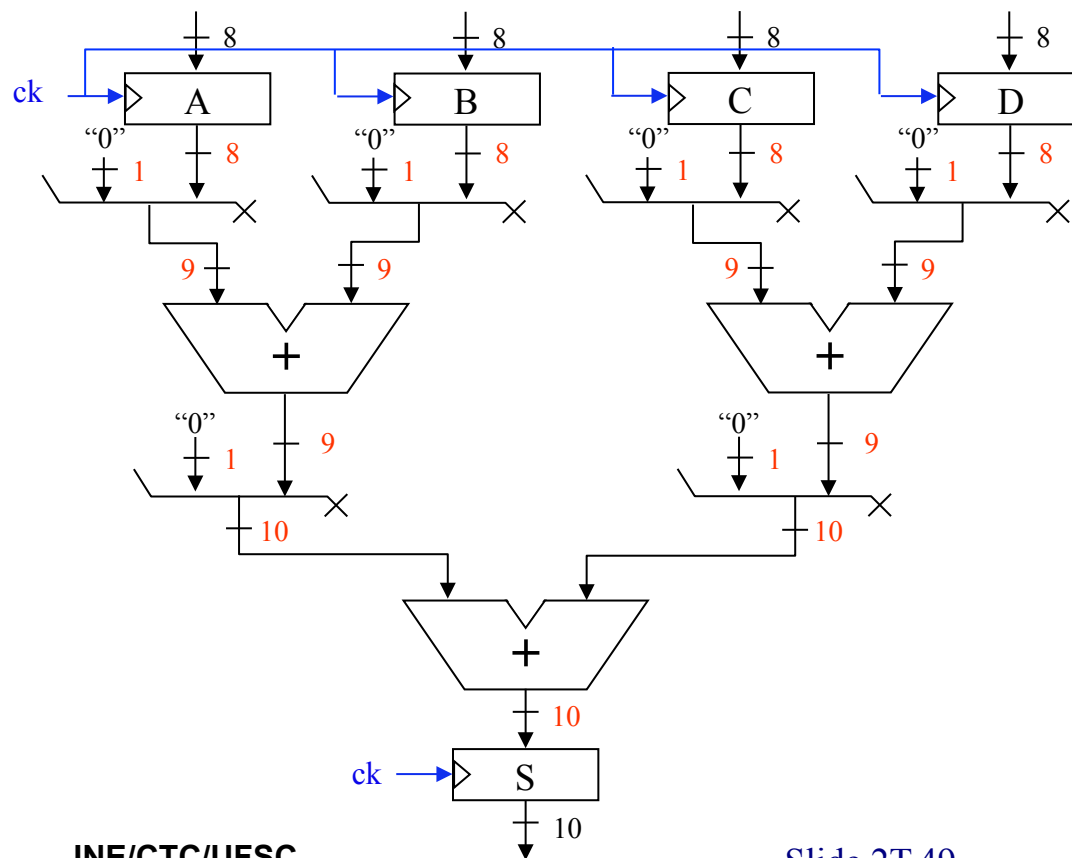
- Jamais ocorre *overflow*.

Ponto Negativo:

- Este desenho **não** deixa claro como é gerado o bit mais significativo da saída dos somadores!

Temporização e Análise de Timing

Solução 1.2 (segundo as convenções do nível RT):
ULA dedicada que realiza o cálculo de maneira paralela e evita ocorrência de *overflow*



Pontos Positivos:

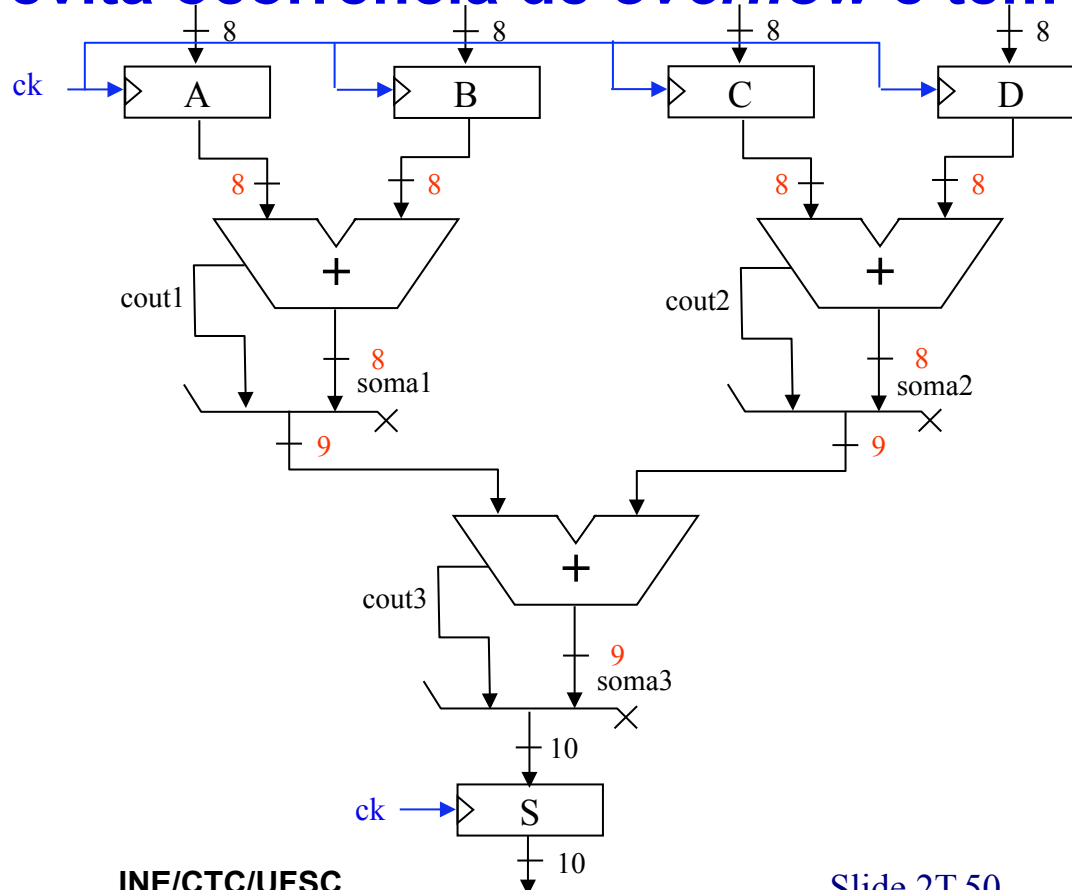
- Jamais ocorre *overflow*.
- Este esquemático deixa claro como é gerado o bit mais significativo da saída dos somadores.

Ponto Negativo:

- 2 somadores p/ números com 9 bits e 1 somador para números de 10 bits. Logo, o custo não é mínimo (porque usa mais recursos do que o necessário). Além disso, o atraso crítico tampouco é mínimo.

Temporização e Análise de Timing

Solução 1.3 (segundo as convenções do nível RT):
**ULA dedicada que realiza o cálculo de maneira paralela,
evita ocorrência de *overflow* e tem custo mínimo**



Pontos Positivos:

- Jamais ocorre overflow.
- Este esquemático deixa claro como é gerado o bit mais significativo da saída dos somadores.
- Somadores dimensionados de modo a economizar recursos (2 somadores p/ números com 8 bits e 1 somador para números de 9 bits) e minimizar o atraso crítico!

Temporização e Análise de Timing

Análise de *Timing**

Assumindo que os componentes da ULA dedicada vista no slide anterior tenham as características temporais mostradas na tabela abaixo, realize a análise de *timing**

Componente	Característica	Símbolo	Valor
Registradores R1, R2, R3	tempo de setup	tsu	1 ns
Registradores R1, R2, R3	tempo de hold	th	0,5 ns
Registradores R1, R2, R3	tempo de carga	tco	1 ns
Somador completo (<i>full adder</i>)	atraso	tds	0,25 ns

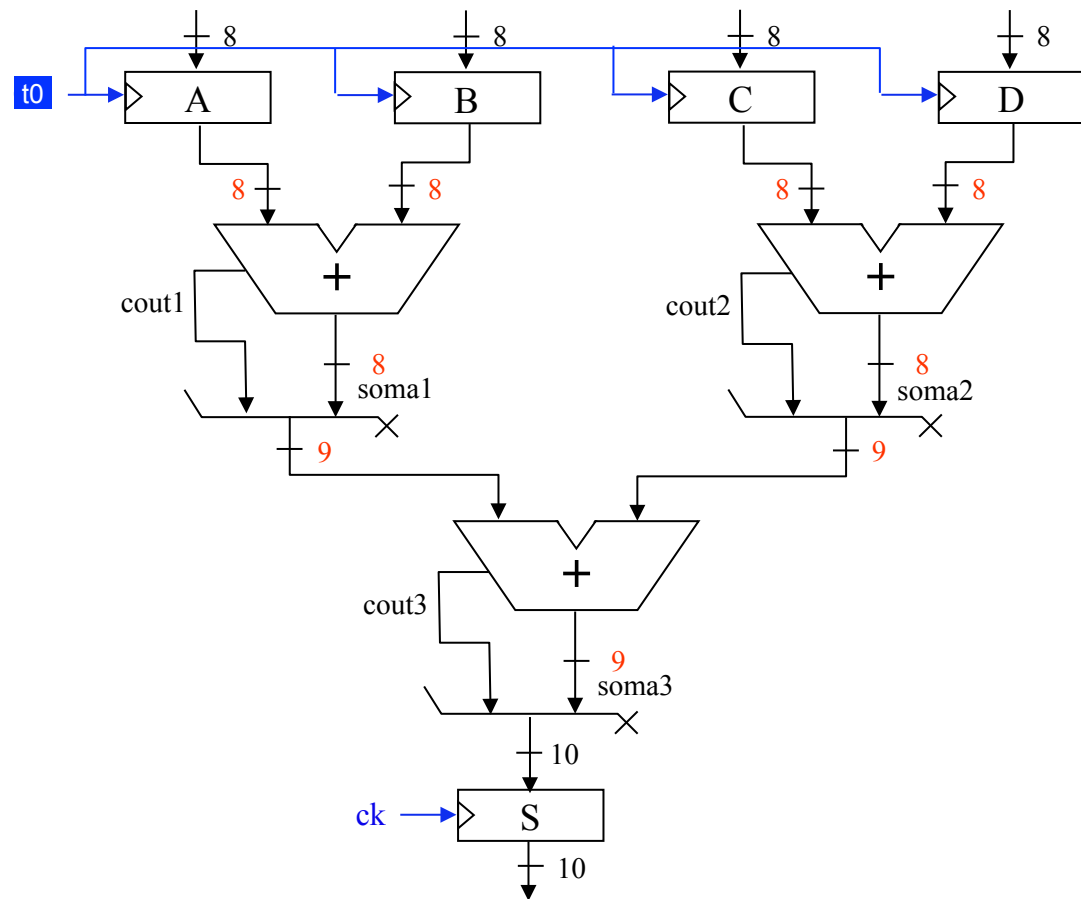
* Análise de *timing* significa determinar o(s) caminho(s) crítico(s) e o atraso crítico.

Temporização e Análise de Timing

Análise de *Timing*

Exemplo: $S \leftarrow A + B + C + D$

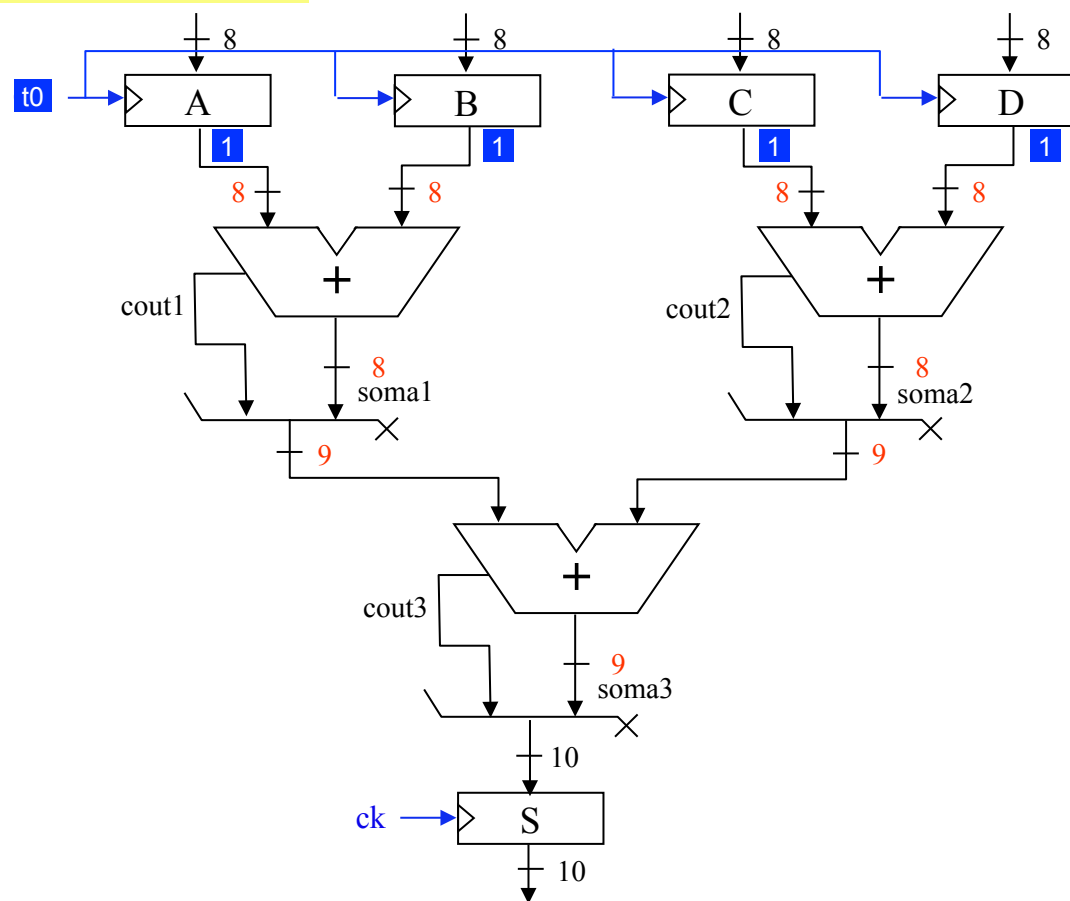
A análise inicia assumindo-se uma primeira borda de relógio (t_0) aplicada a A, B, C e D



Temporização e Análise de Timing

Análise de *Timing*

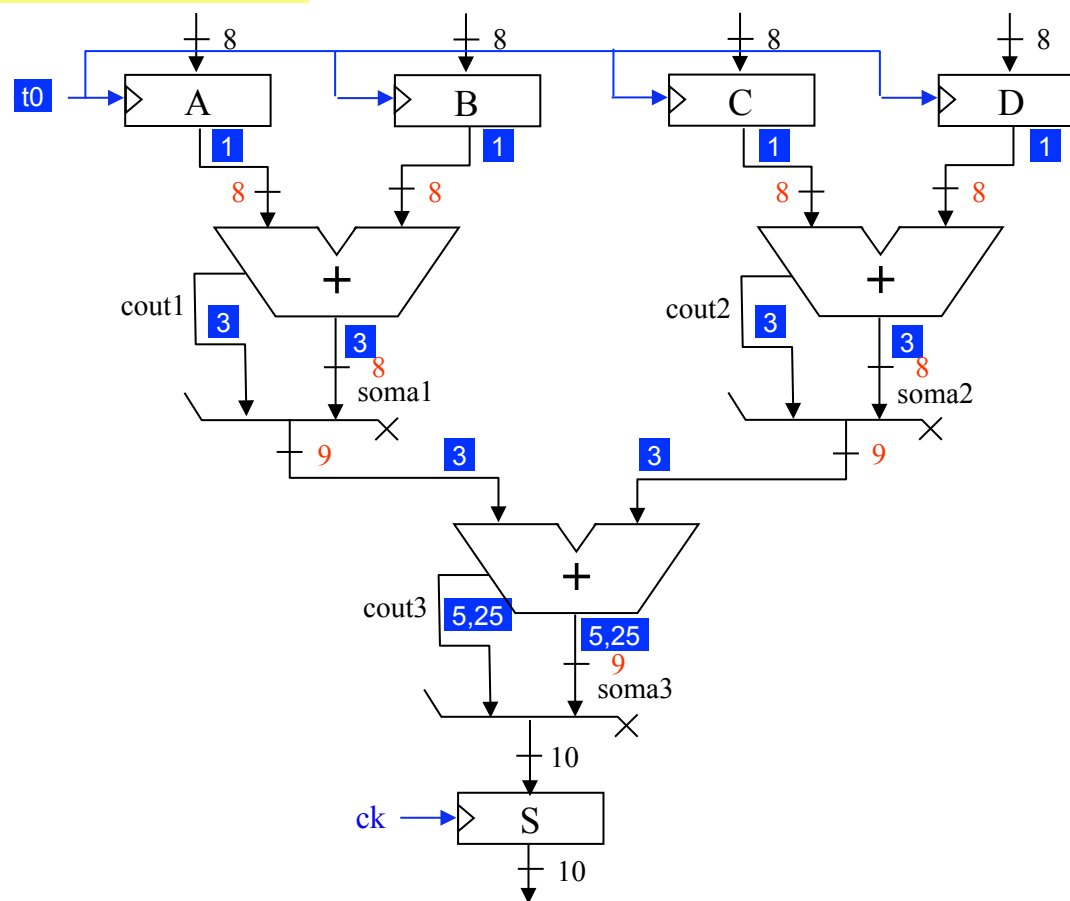
Exemplo: $S \leftarrow A + B + C + D$



Temporização e Análise de Timing

Análise de *Timing*

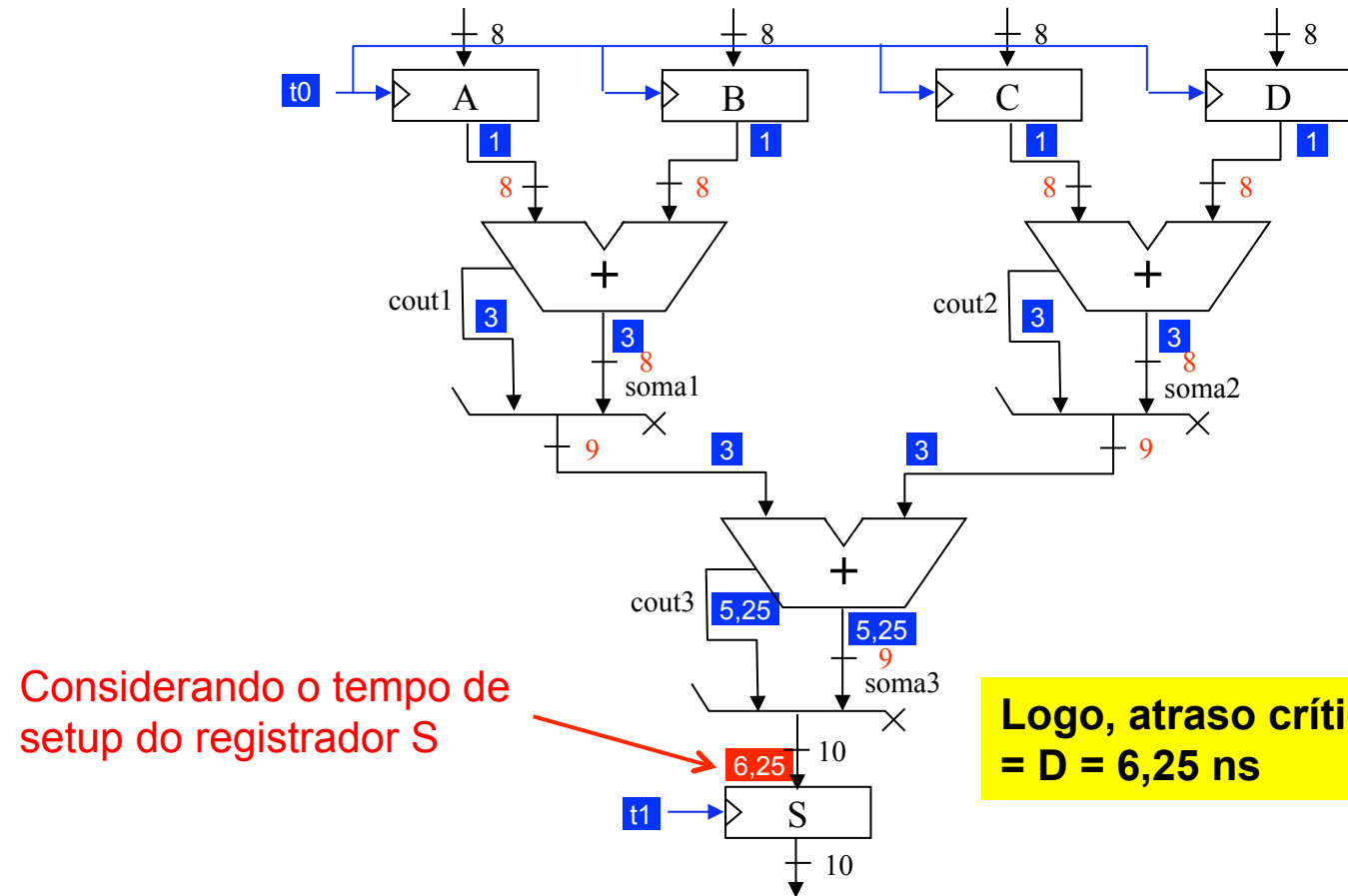
Exemplo: $S \leftarrow A + B + C + D$



Temporização e Análise de Timing

Análise de *Timing*

Exemplo: $S \leftarrow A + B + C + D$



Considerando o tempo de setup do registrador S

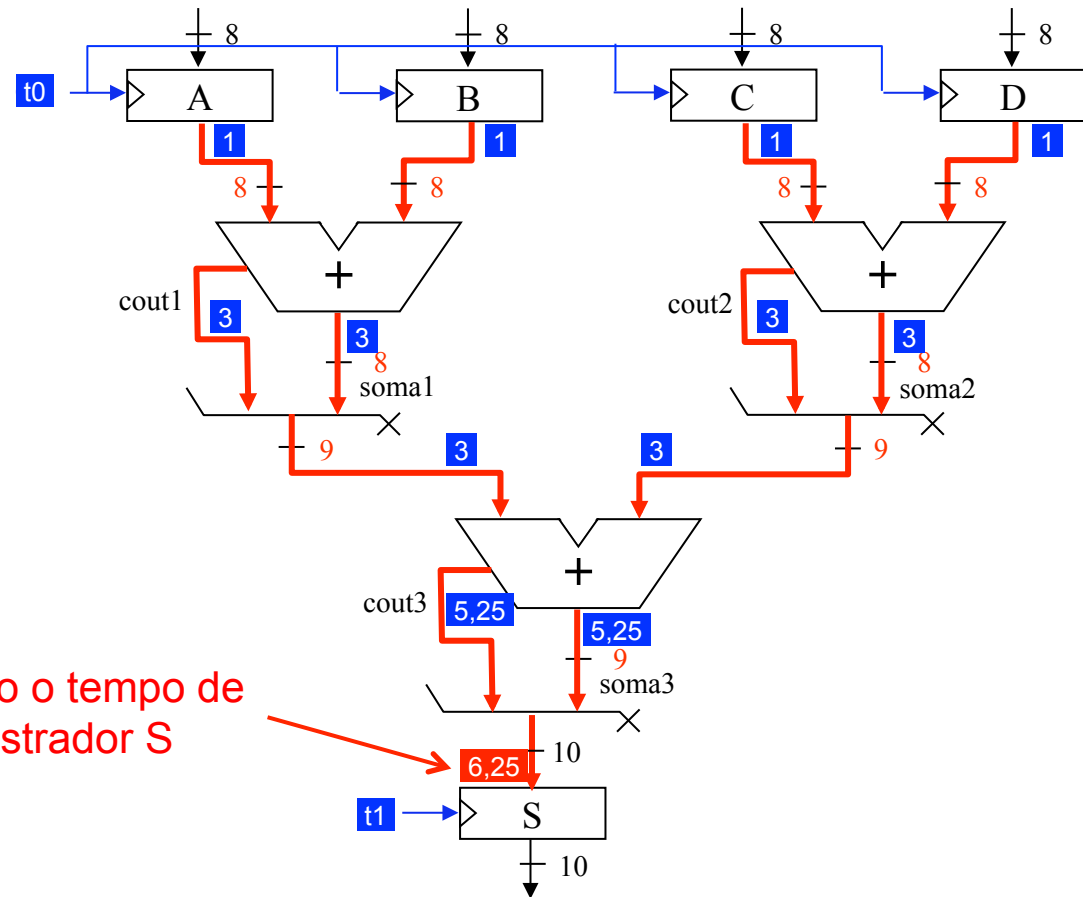
**Logo, atraso crítico
= D = 6,25 ns**

Temporização e Análise de Timing

Análise de *Timing*

Exemplo: $S \leftarrow A + B + C + D$

Quantos Caminhos Críticos há?



Considerando o tempo de setup do registrador S

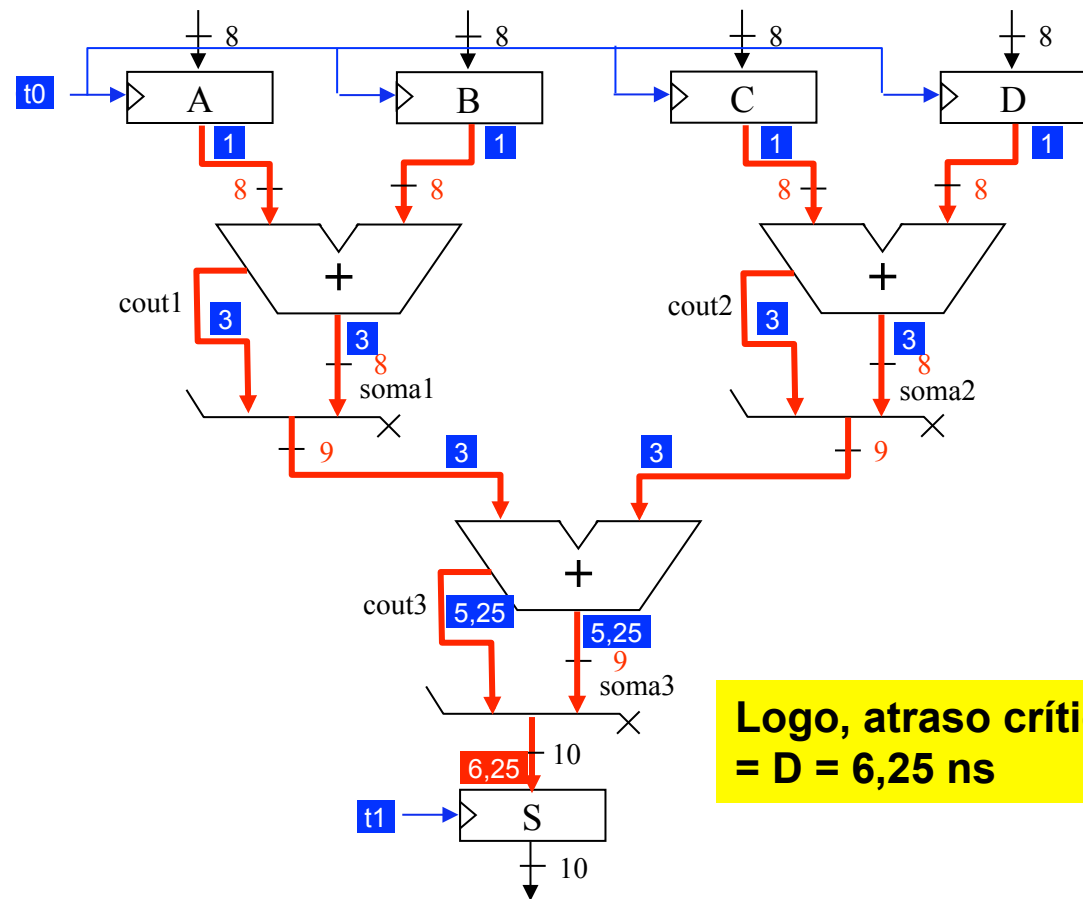
Temporização e Análise de Timing

Análise de *Timing*

Exemplo: $S \leftarrow A + B + C + D$

Todos os 16 caminhos são críticos (com mesmo atraso)

A → soma1 → soma3 → S
A → cout1 → soma3 → S
A → soma1 → cout3 → S
A → cout1 → cout3 → S
B → soma1 → soma3 → S
B → cout1 → soma3 → S
B → soma1 → cout3 → S
B → cout1 → cout3 → S
C → soma2 → soma3 → S
C → cout2 → soma3 → S
C → soma2 → cout3 → S
C → cout2 → cout3 → S
D → soma2 → soma3 → S
D → cout2 → soma3 → S
D → soma2 → cout3 → S
D → cout2 → cout3 → S



**Logo, atraso crítico
= D = 6,25 ns**

Temporização e Análise de Timing

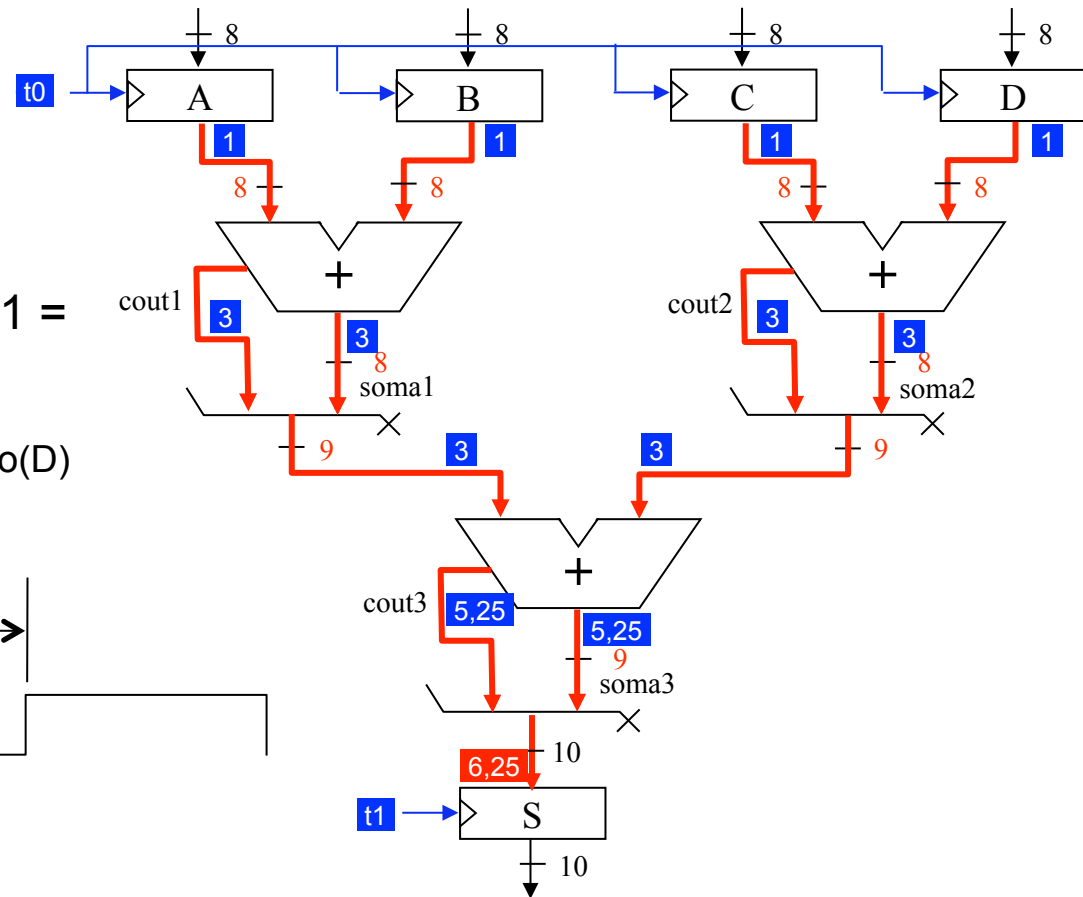
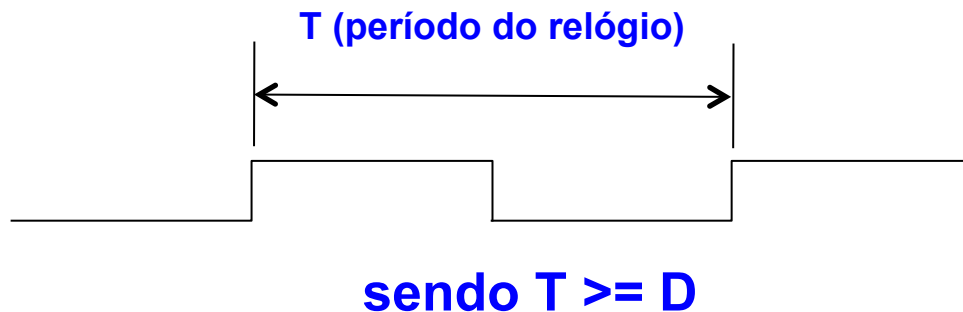
Análise de *Timing*

Exemplo: $S \leftarrow A + B + C + D$

Calculando o atraso crítico diretamente a partir do(s) caminho(s) crítico(s):

$$\begin{aligned} D = T &= t_{co} + t_{d_C} + t_{su}(S) = \\ &= 1 + 8 \times 0,25 + 9 \times 0,25 + 1 = \\ &= 6,25 \text{ ns} \end{aligned}$$

onde $t_{co} = t_{co}(A) = t_{co}(B) = t_{co}(C) = t_{co}(D)$



Leituras da Semana

VAHID, Frank. Digital Design with RTL Design, VHDL and Verilog. 2nd Edition. Wiley, 2010.

ou

VAHID, Frank. Sistemas Digitais: projeto, otimização e HDLs. Porto Alegre: Bookman, 2008. (ISBN 978-85-7780-190-9)

Latches e Flip-flops: Seções 3.1, 3.2 e 3.5.

Banco de Registradores: Seção 4.10

Memórias: Seção 5.6

