

Semana	Data	Conteúdo das Aulas Teóricas	Slides
1	31/7	Apresentação da disciplina. 0. Sistemas Digitais e Nível RT. Tipos de processadores. Nível lógico x nível RT. 1. Componentes do nível RT: unidades funcionais, componentes de interconexão e registradores	1T
2	7/8	1. Componentes do Nível RT: temporização e análise de timing. Atraso de componentes, diagramas de tempos, período mínimo do relógio, atraso crítico, tempo de estabilização dos sinais, caminho crítico.	2T
3	14/8	1. Componentes do Nível RT: Máquinas Sequenciais Síncronas. O modelo BO/BC e Processamento Multiciclo.	3T
4	21/8	2. Processadores Dedicados (Blocos Aceleradores). Método de Projeto no Nível RT. Estudos de caso.	4T
5	28/8	2. Blocos Aceleradores (Processadores Dedicados). Estudos de caso	5T
6	4/9	2. Blocos Aceleradores (Processadores Dedicados). Estudos de caso	6T
7	11/9	3. O Processador MIPS: conjunto de instruções e exemplos de uso (noções de programação assembly).	7T
8	18/9	P1 Primeira avaliação teórica)	-
9	25/9	3. O Processador MIPS monociclo: construção do bloco operativo (incluindo a ULA e seu controle, o banco de registradores e os blocos de memória).	8T
10	2/10	3.O Processador MIPS monociclo: execução das instruções (análise de timing)	9T
11	9/10	3.O Processador MIPS monociclo: construção do bloco de controle e detalhes dos demais componentes.	10T
12	16/10	reservado para Palestras da SECOM	-
13	23/10	4. O Processador MIPS multiciclo: construção do bloco operativo.	11T
14	30/10	4. O Processador MIPS multiciclo: análise de timing (tempos de estabilização dos sinais, atrasos dos caminhos, caminhos críticos e frequência máxima do relógio).	12T
15	6/11	4. O Processador MIPS multiciclo: construção do bloco de controle. 5. Desempenho de processadores: estimativa de tempo de execução.	13T
16	13/11	P2 (Segunda avaliação teórica)	-
17	20/11	reserva (segunda chamada)	
18	27/11	REC (Recuperação)	-
Semana	Data	Conteúdo das Aulas Práticas	Slides
1	2/8	Tecnologias de circuitos integrados e fluxo de projeto em FPGAs	1P
2	9/8	Projeto de sistemas digitais	2P
3	16/8	Descrição de circuitos combinacionais em VHDL	3P
4	23/8	Descrição de circuitos sequenciais em VHDL	4P
5	30/8	Descrição de FSM e RAM em VHDL	5P
6	6/9	Prática de Descrição de FSM e RAM em VHDL (primeira entrega de R)	6P
7	13/9	Testbenchs e padrões de testes	7P
8	20/9	Prática de síntese de circuitos em VHDL – componentes do MIPS	8P
9	27/9	Desenvolvimento de sistemas digitais	9P
10	4/10	Prática de Desenvolvimento de sistemas digitais	10P
11	11/10	Descrição de sistemas em chip com SOPC (segunda entrega de R)	11P
12	18/10	Prática de Descrição de sistemas em chip com SOPC	12P
13	25/10	Integração do sistema digital ao SoC	13P
14	1/11	Prática de Integração do sistema digital ao SoC	14P
15	8/11	Acesso ao sistema digital via software	15P
-	15/11	Feriado - Proclamação da República	-
16	22/11	Prática de Acesso ao sistema digital via software (última entrega de R)	16P
17	29/11	Reservado para possíveis defesas e apresentações	-