



Universidade Federal de Santa Catarina
Centro Tecnológico
Departamento de Informática e Estatística
Ciências da Computação & Engenharia Eletrônica



Sistemas Digitais

INE 5406

Aula 3-T

1. Componentes do Nível RT: Máquinas Sequenciais Síncronas. Processamento Multiciclo e o modelo BO/BC

Profs. José Luís Güntzel e Cristina Meinhardt
{j.guntzel, cristina.meinhardt}@ufsc.br

Máquinas Sequenciais Síncronas

Suponha que necessita-se de um hardware dedicado para realizar o seguinte cálculo:

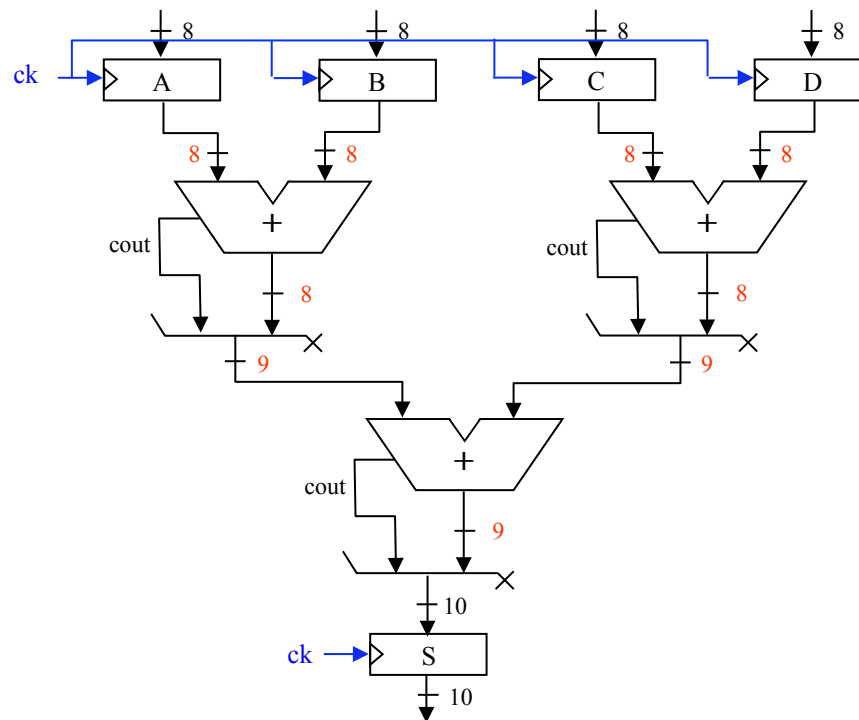
$$S \leftarrow A + B + C + D$$

Assumir que as variáveis A, B, C e D sejam números inteiros sem sinal, representados em binário com 8 bits, **estando disponíveis ao mesmo tempo.**

- Como as variáveis de entrada estão disponíveis ao mesmo tempo, pode ser vantajoso executar este cálculo em um ciclo de relógio.
- Para reduzir o período do relógio, é importante explorar o paralelismo que o cálculo pode proporcionar.

Máquinas Sequenciais Síncronas

Solução Monociclo (que evita ocorrência de *overflow* e tem custo mínimo)



Pontos Positivos:

- Jamais ocorre overflow.
- Este esquemático deixa claro como é gerado o bit mais significativo da saída dos somadores.
- Somadores dimensionados de modo a economizar recursos (2 somadores p/ números com 8 bits e 1 somador para números de 9 bits) e minimizar o atraso crítico!

Máquinas Sequenciais Síncronas

Suponha que necessita-se de um hardware dedicado para realizar o seguinte cálculo:

$$S \leftarrow A + B + C + D$$

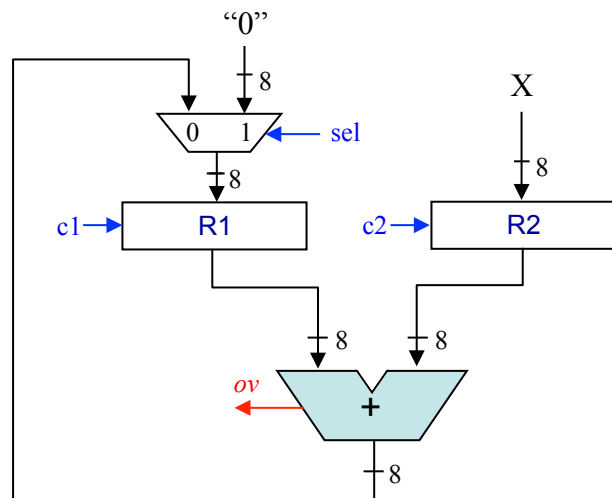
Assumir que as variáveis A, B, C e D sejam números inteiros sem sinal, representados em binário com 8 bits, **sendo fornecidas uma após a outra, em ciclos de relógio consecutivos,**

- Como as variáveis de entrada são fornecidas uma após a outra (i.e., de maneira sequencial), não há vantagem em realizar este cálculo em um ciclo de relógio, pois seria necessário esperar a chegada de todas as variáveis.
- Então, projeta-se um bloco operativo para execução sequencial, buscando minimizar o custo.

Máquinas Sequenciais Síncronas

1ª Solução Multiciclo:

ULA dedicada que realiza o cálculo de maneira sequencial, e detecta *overflow*



Neste esquemático RT, o relógio está omitido...

$$S \leftarrow A + B + C + D$$

Execução
sequencial

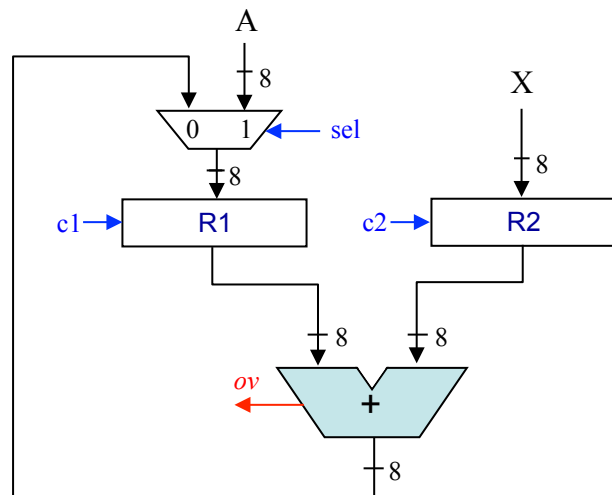
1. $R1 \leftarrow 0$; $R2 \leftarrow X$; // A deve estar estável em X
2. $R1 \leftarrow R1 + R2$; $R2 \leftarrow X$; // B deve estar estável em X
3. $R1 \leftarrow R1 + R2$; $R2 \leftarrow X$; // C deve estar estável em X
4. $R1 \leftarrow R1 + R2$; $R2 \leftarrow X$; // D deve estar estável em X
5. $R1 \leftarrow R1 + R2$; // O resultado final S estará em R1

- Cada linha é executada em um ciclo de relógio
- As operações em uma mesma linha são feitas em paralelo
- Um bloco de controle (omitido) gera os sinais “sel”, “c1” e “c2” para viabilizar a operação sequencial (multiciclo)
- Ao término da execução, o resultado estará em R1 (logo, R1 faz o papel de S)

Máquinas Sequenciais Síncronas

2ª Solução Multiciclo:

ULA dedicada que realiza o cálculo de maneira sequencial, e detecta *overflow*



$$S \leftarrow A + B + C + D$$

Execução
sequencial

1. $R1 \leftarrow A$; $R2 \leftarrow X$; // B deve estar estável em X
2. $R1 \leftarrow R1 + R2$; $R2 \leftarrow X$; // C deve estar estável em X
3. $R1 \leftarrow R1 + R2$; $R2 \leftarrow X$; // D deve estar estável em X
4. $R1 \leftarrow R1 + R2$; // O resultado final S estará em R1

Neste esquemático RT, o relógio está omitido...

- Funcionamento similar ao da 1ª solução, porém necessita de um ciclo de relógio a menos (pois possui uma entrada que permite inicializar R1 com um valor $\neq 0$)

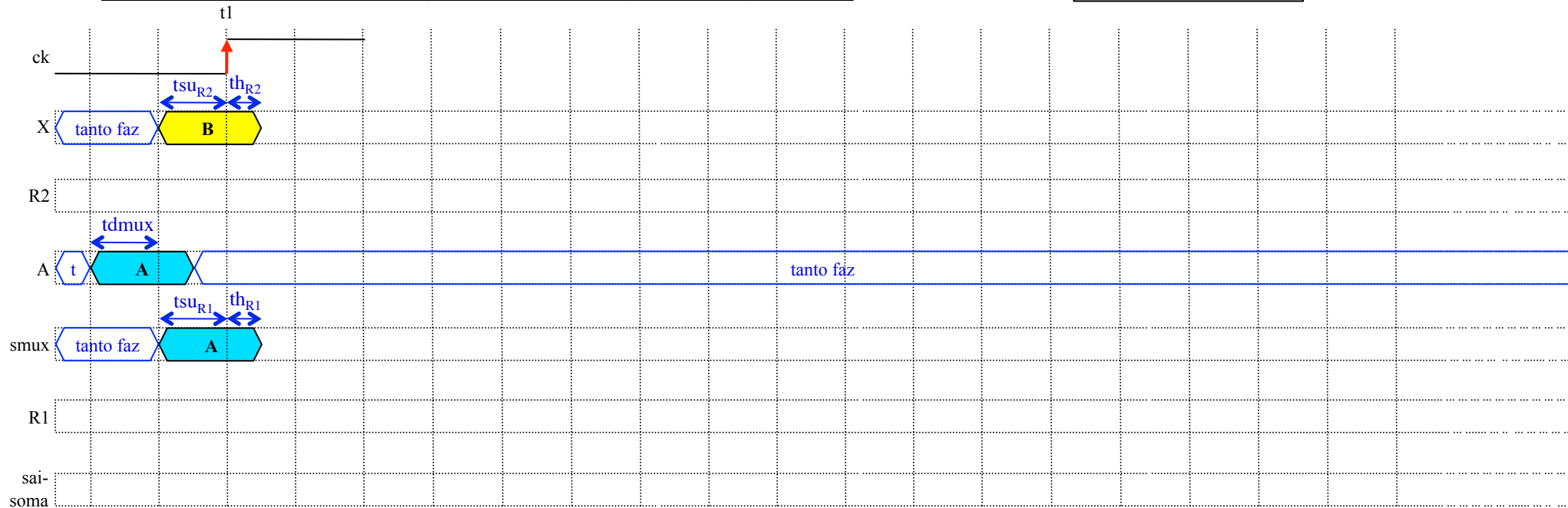
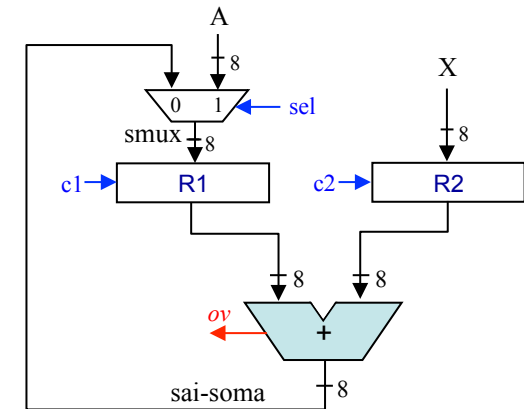
Máquinas Sequenciais Síncronas

2ª Solução: Análise do Funcionamento

1. $R1 \leftarrow A$; $R2 \leftarrow X$; // B deve estar estável em X
2. $R1 \leftarrow R1 + R2$; $R2 \leftarrow X$; // C deve estar estável em X
3. $R1 \leftarrow R1 + R2$; $R2 \leftarrow X$; // D deve estar estável em X
4. $R1 \leftarrow R1 + R2$; // O resultado final S estará em R1

Componente	Característica	Símbolo	Valor
Registadores R1, R2	tempo de setup	tsu	1 ns
Registadores R1, R2	tempo de hold	th	0,5 ns
Registadores R1, R2	tempo de carga	tco	1 ns
Somador completo (full adder)	atraso	tds	0,25 ns
Mux 2:1	atraso	tdmux	1 ns

E supondo que "sel" tenha atraso=0



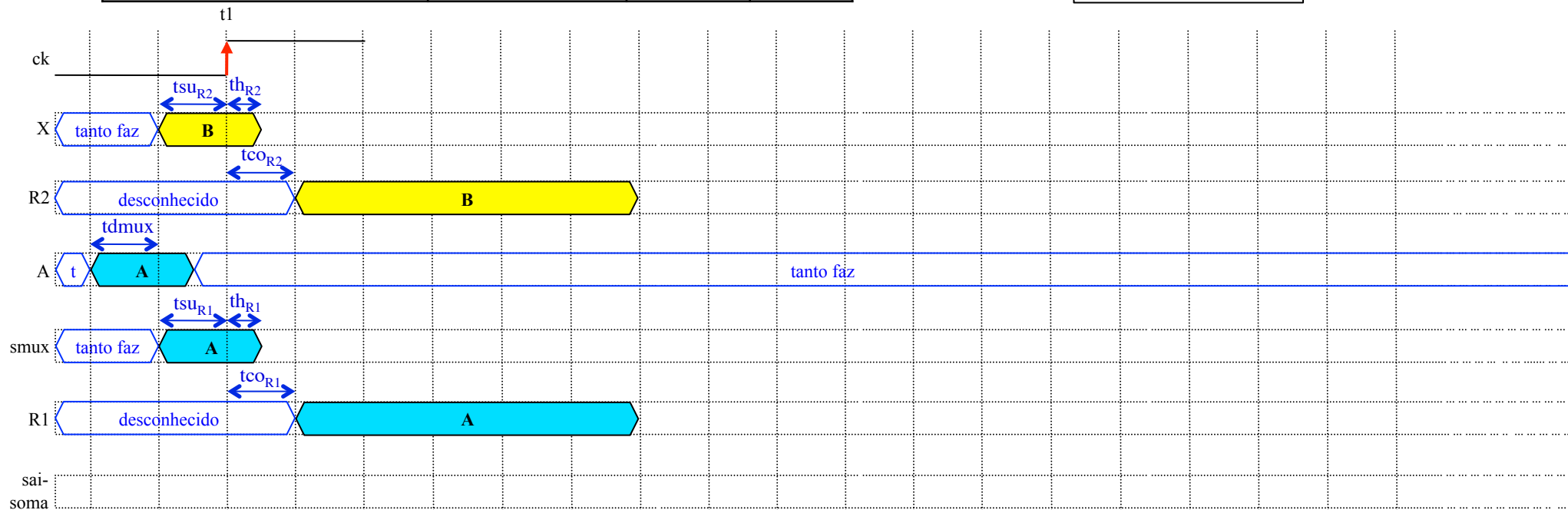
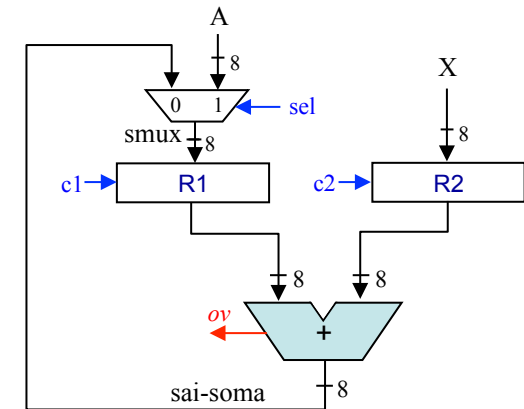
Máquinas Sequenciais Síncronas

2ª Solução: Análise do Funcionamento

1. $R1 \leftarrow A$; $R2 \leftarrow X$; // B deve estar estável em X
2. $R1 \leftarrow R1 + R2$; $R2 \leftarrow X$; // C deve estar estável em X
3. $R1 \leftarrow R1 + R2$; $R2 \leftarrow X$; // D deve estar estável em X
4. $R1 \leftarrow R1 + R2$; // O resultado final S estará em R1

Componente	Característica	Símbolo	Valor
Registadores R1, R2	tempo de setup	t_{su}	1 ns
Registadores R1, R2	tempo de hold	t_h	0,5 ns
Registadores R1, R2	tempo de carga	t_{co}	1 ns
Somador completo (full adder)	atraso	t_{ds}	0,25 ns
Mux 2:1	atraso	t_{dmux}	1 ns

E supondo que "sel" tenha atraso=0



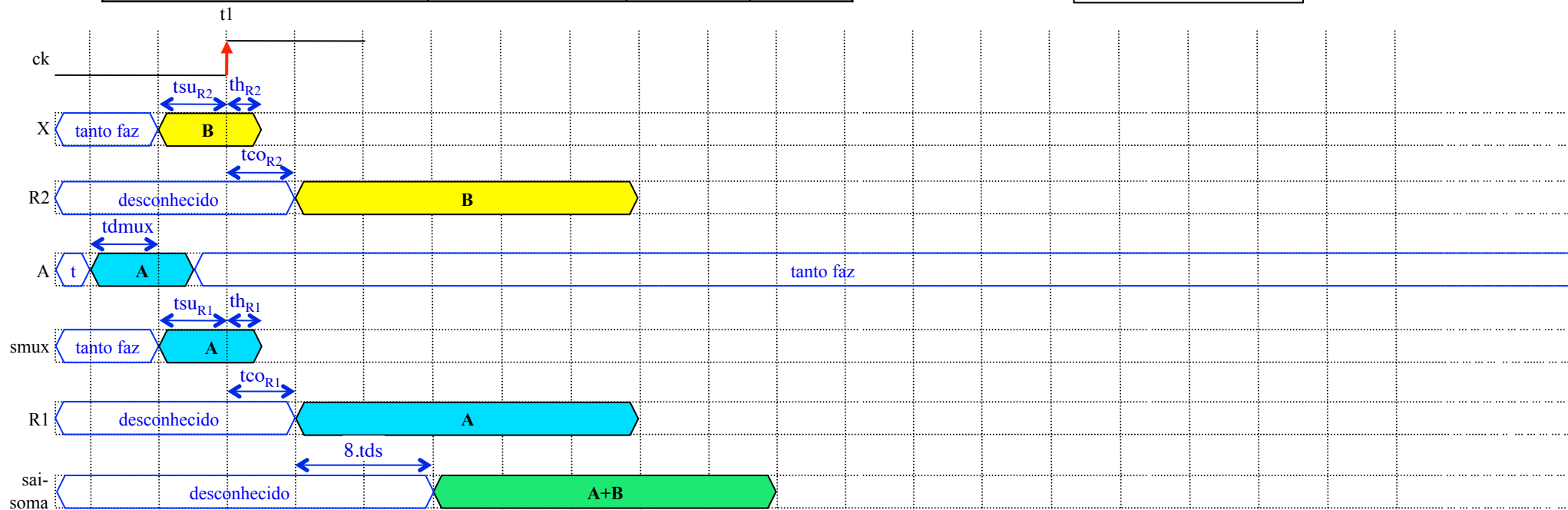
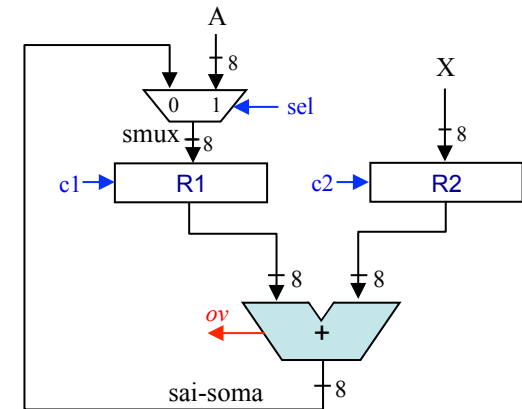
Máquinas Sequenciais Síncronas

2ª Solução: Análise do Funcionamento

1. $R1 \leftarrow A$; $R2 \leftarrow X$; // B deve estar estável em X
2. $R1 \leftarrow R1 + R2$; $R2 \leftarrow X$; // C deve estar estável em X
3. $R1 \leftarrow R1 + R2$; $R2 \leftarrow X$; // D deve estar estável em X
4. $R1 \leftarrow R1 + R2$; // O resultado final S estará em R1

Componente	Característica	Símbolo	Valor
Registadores R1, R2	tempo de setup	t_{su}	1 ns
Registadores R1, R2	tempo de hold	t_h	0,5 ns
Registadores R1, R2	tempo de carga	t_{co}	1 ns
Somador completo (full adder)	atraso	t_{ds}	0,25 ns
Mux 2:1	atraso	t_{dmux}	1 ns

E supondo que "sel" tenha atraso=0



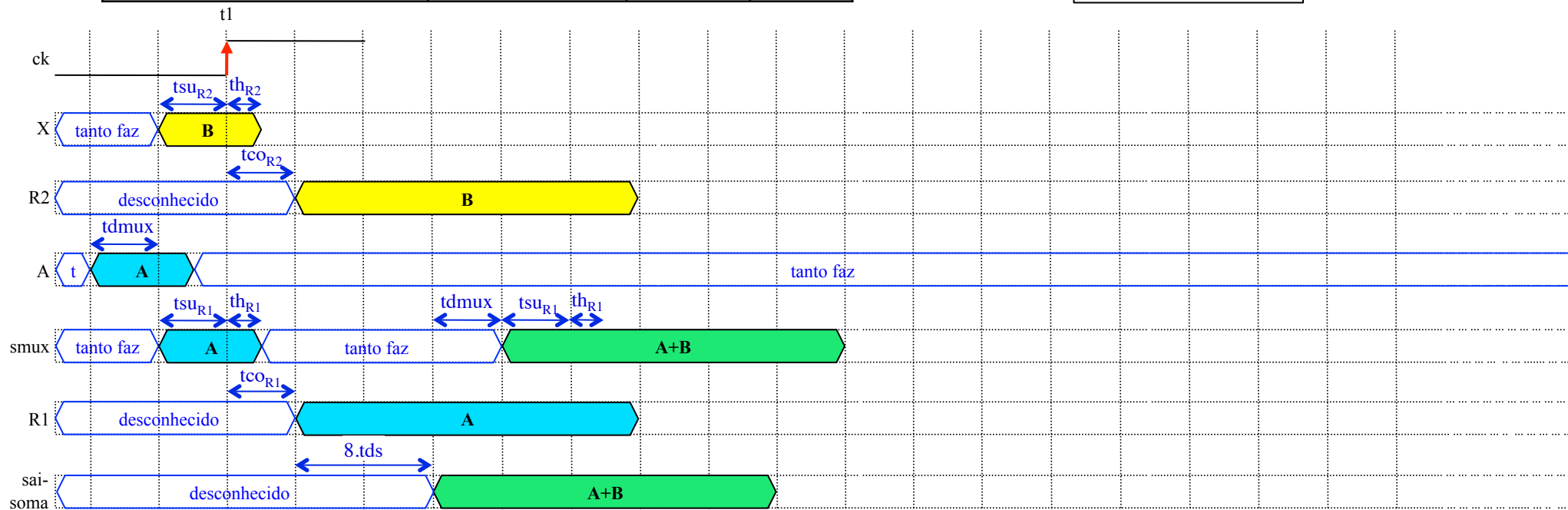
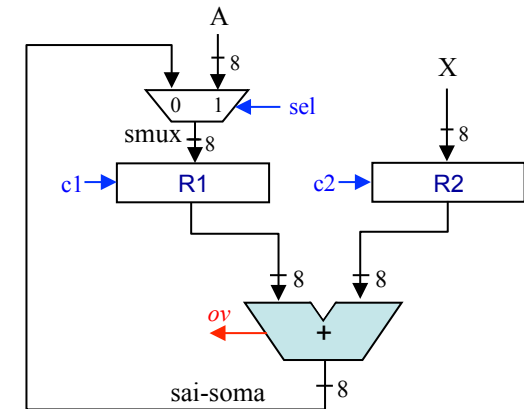
Máquinas Sequenciais Síncronas

2ª Solução: Análise do Funcionamento

1. $R1 \leftarrow A$; $R2 \leftarrow X$; // B deve estar estável em X
2. $R1 \leftarrow R1 + R2$; $R2 \leftarrow X$; // C deve estar estável em X
3. $R1 \leftarrow R1 + R2$; $R2 \leftarrow X$; // D deve estar estável em X
4. $R1 \leftarrow R1 + R2$; // O resultado final S estará em R1

Componente	Característica	Símbolo	Valor
Registadores R1, R2	tempo de setup	t_{su}	1 ns
Registadores R1, R2	tempo de hold	t_h	0,5 ns
Registadores R1, R2	tempo de carga	t_{co}	1 ns
Somador completo (full adder)	atraso	t_{ds}	0,25 ns
Mux 2:1	atraso	t_{dmux}	1 ns

E supondo que "sel" tenha atraso=0



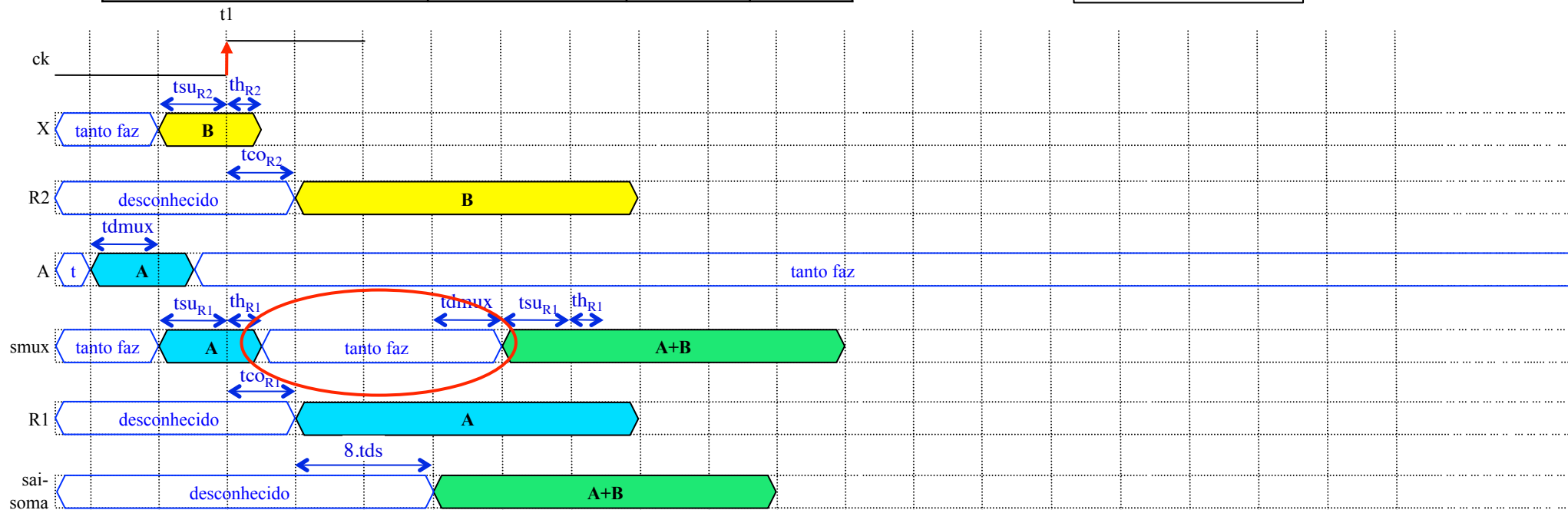
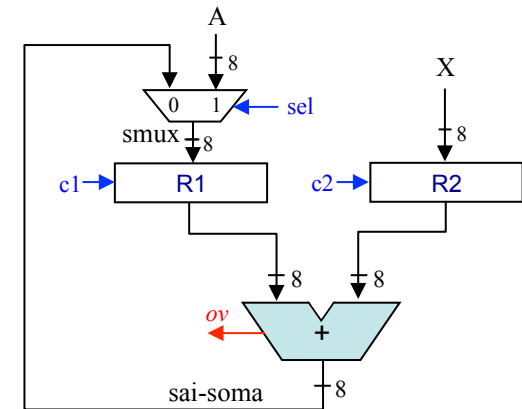
Máquinas Sequenciais Síncronas

2ª Solução: Análise do Funcionamento

1. $R1 \leftarrow A$; $R2 \leftarrow X$; // B deve estar estável em X
2. $R1 \leftarrow R1 + R2$; $R2 \leftarrow X$; // C deve estar estável em X
3. $R1 \leftarrow R1 + R2$; $R2 \leftarrow X$; // D deve estar estável em X
4. $R1 \leftarrow R1 + R2$; // O resultado final S estará em R1

Componente	Característica	Símbolo	Valor
Registadores R1, R2	tempo de setup	tsu	1 ns
Registadores R1, R2	tempo de hold	th	0,5 ns
Registadores R1, R2	tempo de carga	tco	1 ns
Somador completo (full adder)	atraso	tds	0,25 ns
Mux 2:1	atraso	tdmux	1 ns

E supondo que "sel" tenha atraso=0



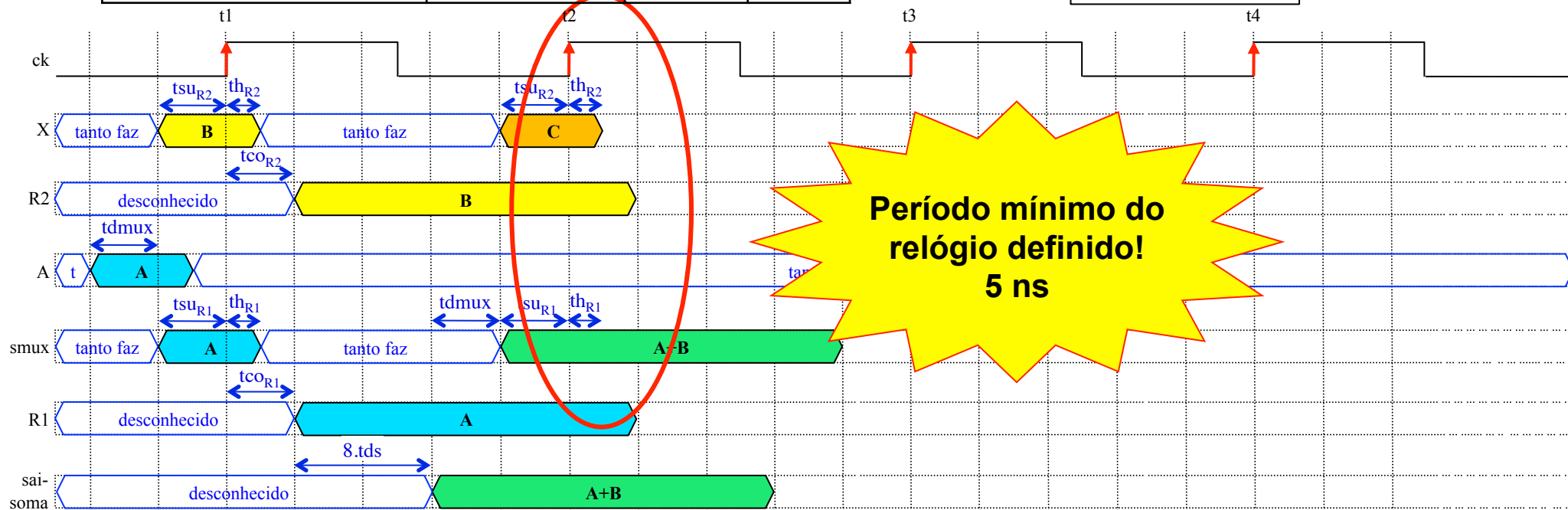
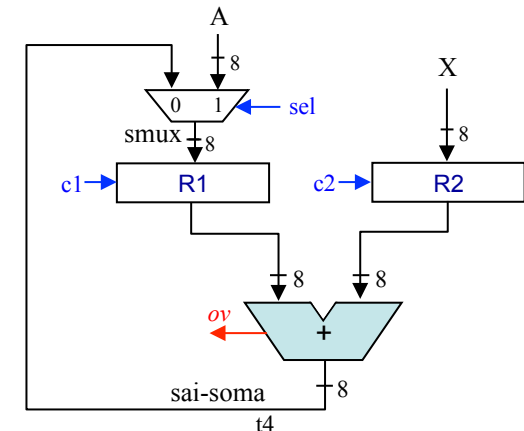
Máquinas Sequenciais Síncronas

2ª Solução: Análise do Funcionamento

1. $R1 \leftarrow A$; $R2 \leftarrow X$; // B deve estar estável em X
2. $R1 \leftarrow R1 + R2$; $R2 \leftarrow X$; // C deve estar estável em X
3. $R1 \leftarrow R1 + R2$; $R2 \leftarrow X$; // D deve estar estável em X
4. $R1 \leftarrow R1 + R2$; // O resultado final S estará em R1

Componente	Característica	Símbolo	Valor
Registadores R1, R2	tempo de setup	tsu	1 ns
Registadores R1, R2	tempo de hold	th	0,5 ns
Registadores R1, R2	tempo de carga	tco	1 ns
Somador completo (full adder)	atraso	tds	0,25 ns
Mux 2:1	atraso	tdmux	1 ns

E supondo que "sel" tenha atraso=0



Período mínimo do relógio definido! 5 ns

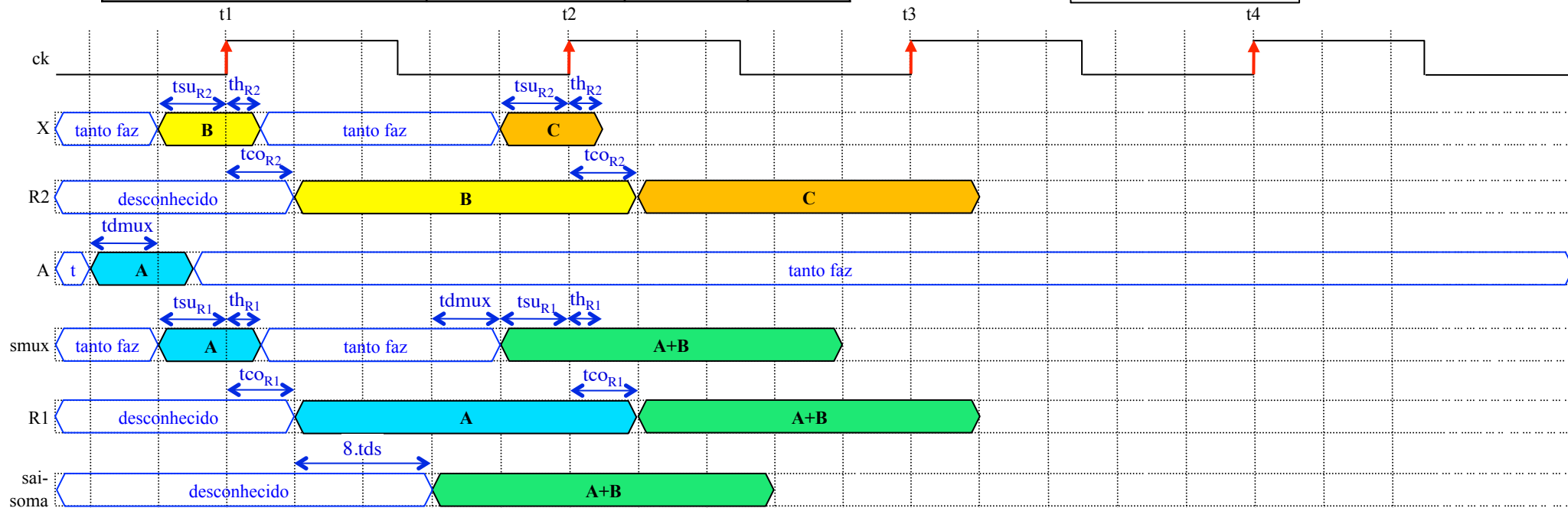
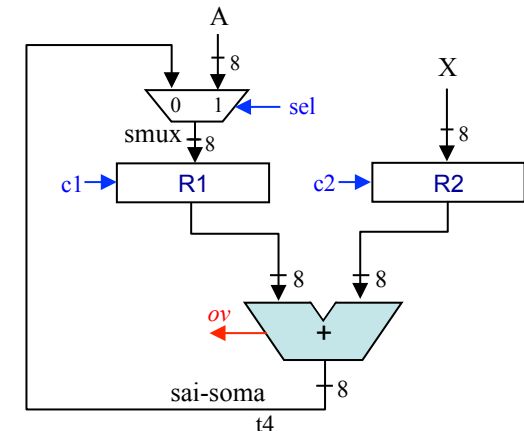
Máquinas Sequenciais Síncronas

2ª Solução: Análise do Funcionamento

1. $R1 \leftarrow A$; $R2 \leftarrow X$; // B deve estar estável em X
2. $R1 \leftarrow R1 + R2$; $R2 \leftarrow X$; // C deve estar estável em X
3. $R1 \leftarrow R1 + R2$; $R2 \leftarrow X$; // D deve estar estável em X
4. $R1 \leftarrow R1 + R2$; // O resultado final S estará em R1

Componente	Característica	Símbolo	Valor
Registadores R1, R2	tempo de setup	t_{su}	1 ns
Registadores R1, R2	tempo de hold	t_h	0,5 ns
Registadores R1, R2	tempo de carga	t_{co}	1 ns
Somador completo (full adder)	atraso	t_{ds}	0,25 ns
Mux 2:1	atraso	t_{dmux}	1 ns

E supondo que "sel" tenha atraso=0



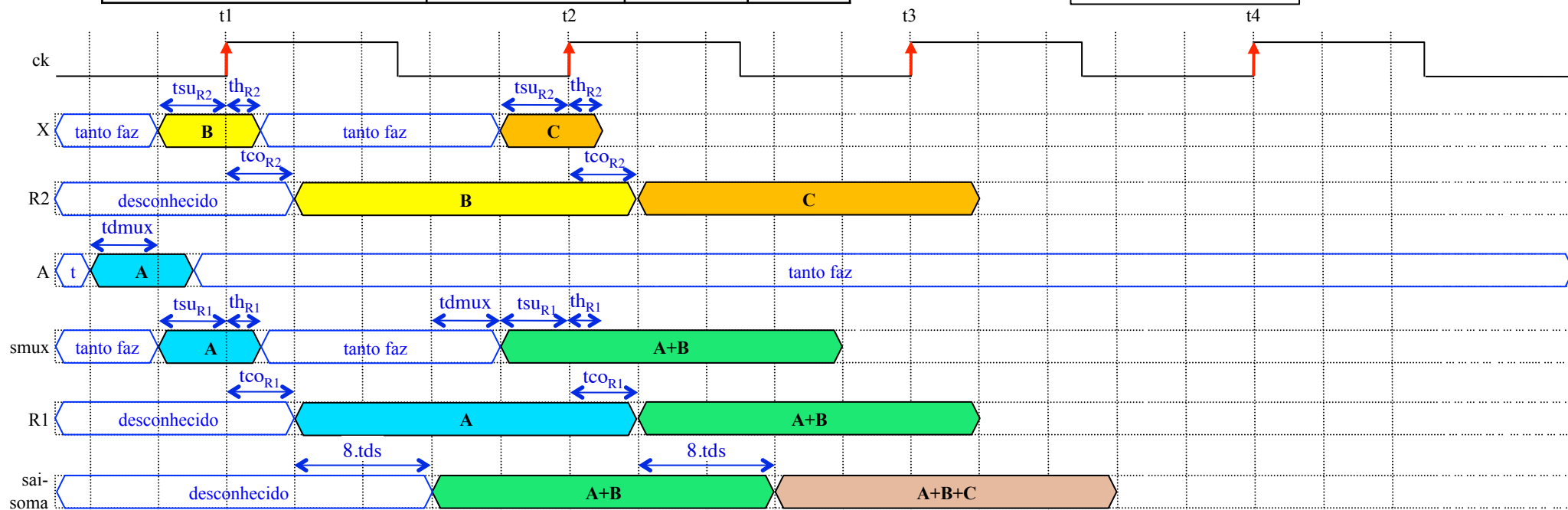
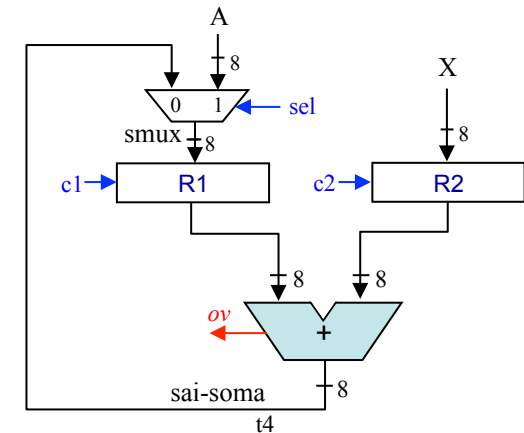
Máquinas Sequenciais Síncronas

2ª Solução: Análise do Funcionamento

1. $R1 \leftarrow A$; $R2 \leftarrow X$; // B deve estar estável em X
2. $R1 \leftarrow R1 + R2$; $R2 \leftarrow X$; // C deve estar estável em X
3. $R1 \leftarrow R1 + R2$; $R2 \leftarrow X$; // D deve estar estável em X
4. $R1 \leftarrow R1 + R2$; // O resultado final S estará em R1

Componente	Característica	Símbolo	Valor
Registadores R1, R2	tempo de setup	t_{su}	1 ns
Registadores R1, R2	tempo de hold	t_h	0,5 ns
Registadores R1, R2	tempo de carga	t_{co}	1 ns
Somador completo (full adder)	atraso	t_{ds}	0,25 ns
Mux 2:1	atraso	t_{dmux}	1 ns

E supondo que "sel" tenha atraso=0



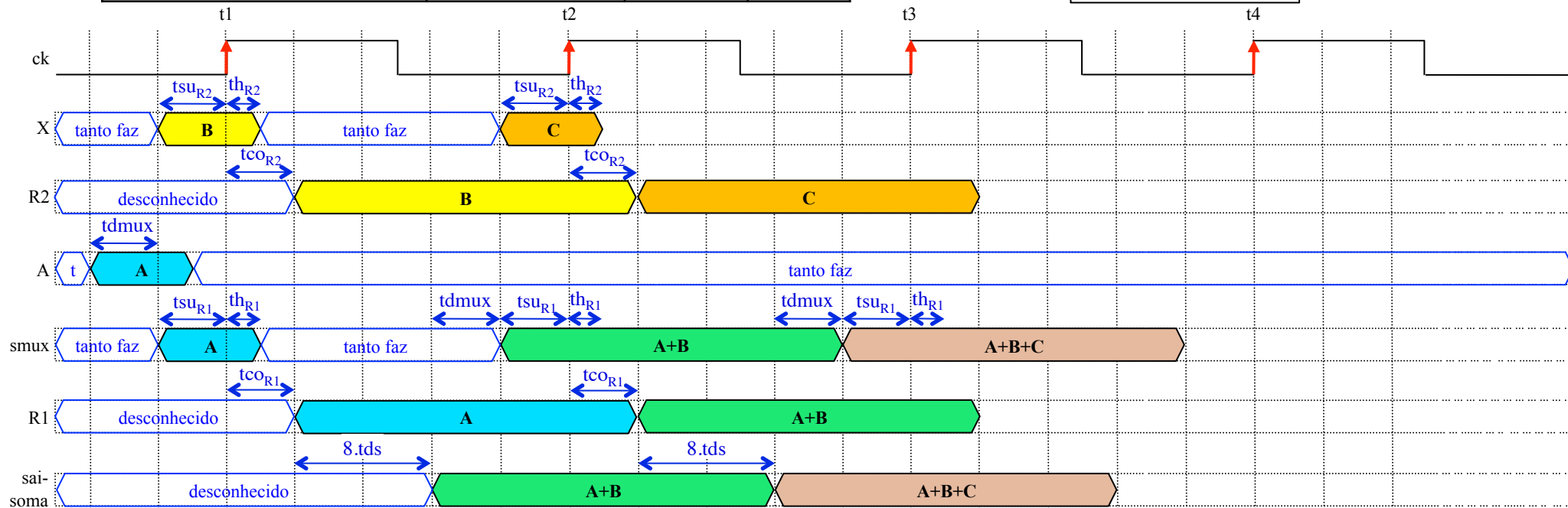
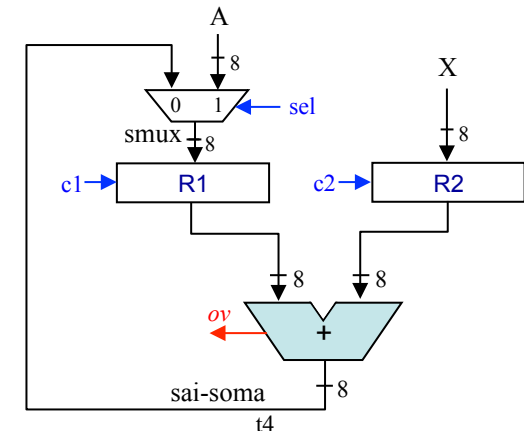
Máquinas Sequenciais Síncronas

2ª Solução: Análise do Funcionamento

1. $R1 \leftarrow A$; $R2 \leftarrow X$; // B deve estar estável em X
2. $R1 \leftarrow R1 + R2$; $R2 \leftarrow X$; // C deve estar estável em X
3. $R1 \leftarrow R1 + R2$; $R2 \leftarrow X$; // D deve estar estável em X
4. $R1 \leftarrow R1 + R2$; // O resultado final S estará em R1

Componente	Característica	Símbolo	Valor
Registadores R1, R2	tempo de setup	t_{su}	1 ns
Registadores R1, R2	tempo de hold	t_h	0,5 ns
Registadores R1, R2	tempo de carga	t_{co}	1 ns
Somador completo (full adder)	atraso	t_{ds}	0,25 ns
Mux 2:1	atraso	t_{dmux}	1 ns

E supondo que "sel" tenha atraso=0



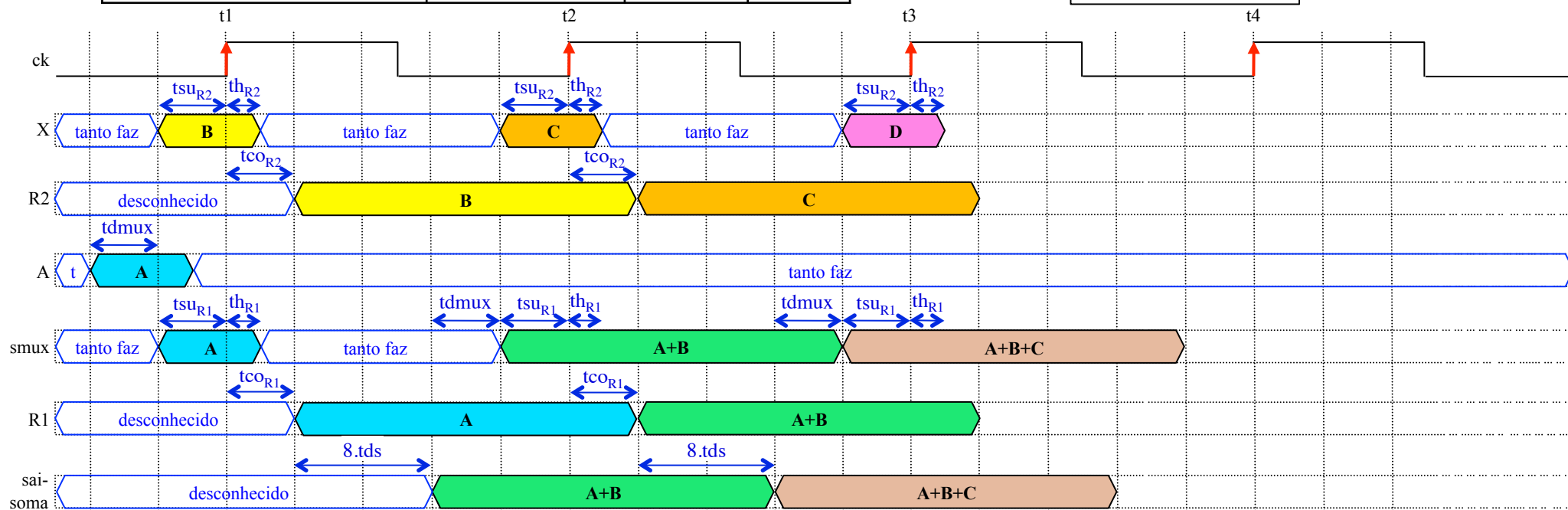
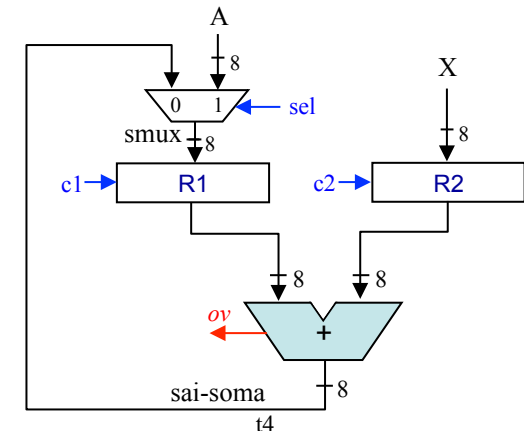
Máquinas Sequenciais Síncronas

2ª Solução: Análise do Funcionamento

1. $R1 \leftarrow A$; $R2 \leftarrow X$; // B deve estar estável em X
2. $R1 \leftarrow R1 + R2$; $R2 \leftarrow X$; // C deve estar estável em X
3. $R1 \leftarrow R1 + R2$; $R2 \leftarrow X$; // D deve estar estável em X
4. $R1 \leftarrow R1 + R2$; // O resultado final S estará em R1

Componente	Característica	Símbolo	Valor
Registadores R1, R2	tempo de setup	tsu	1 ns
Registadores R1, R2	tempo de hold	th	0,5 ns
Registadores R1, R2	tempo de carga	tco	1 ns
Somador completo (full adder)	atraso	tds	0,25 ns
Mux 2:1	atraso	tdmux	1 ns

E supondo que "sel" tenha atraso=0



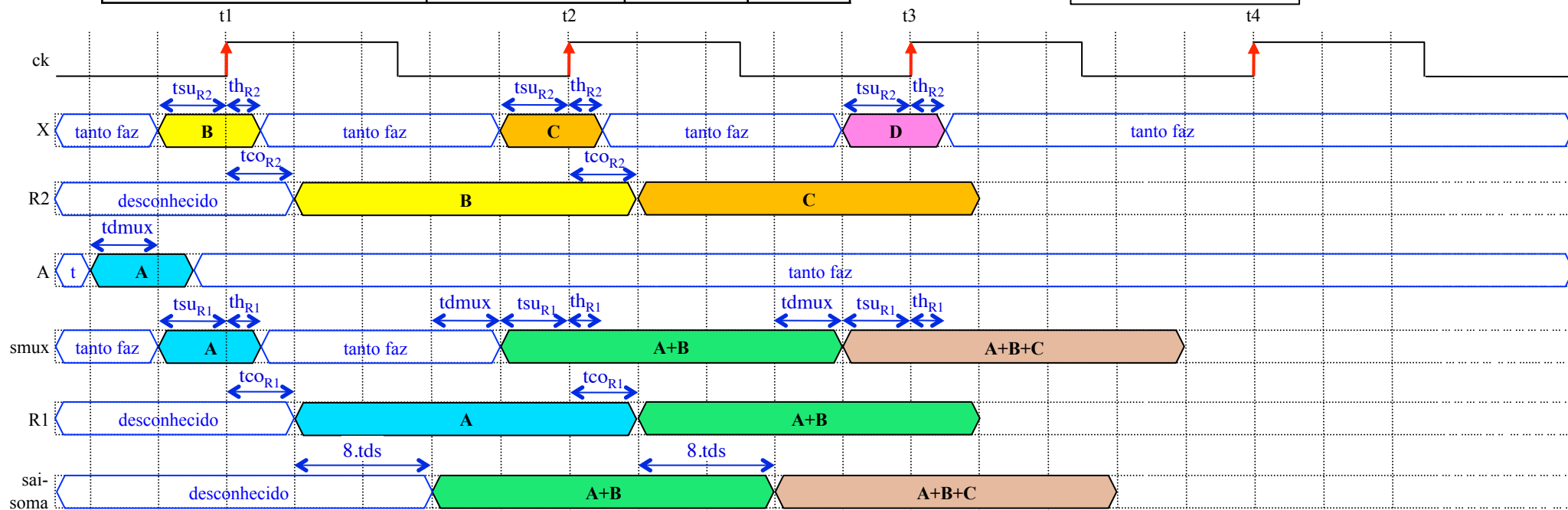
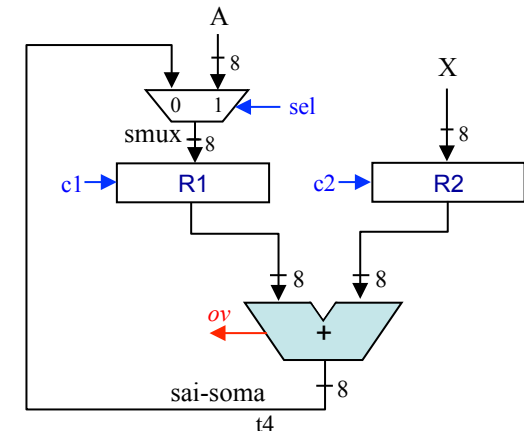
Máquinas Sequenciais Síncronas

2ª Solução: Análise do Funcionamento

1. $R1 \leftarrow A$; $R2 \leftarrow X$; // B deve estar estável em X
2. $R1 \leftarrow R1 + R2$; $R2 \leftarrow X$; // C deve estar estável em X
3. $R1 \leftarrow R1 + R2$; $R2 \leftarrow X$; // D deve estar estável em X
4. $R1 \leftarrow R1 + R2$; // O resultado final S estará em R1

Componente	Característica	Símbolo	Valor
Registadores R1, R2	tempo de setup	tsu	1 ns
Registadores R1, R2	tempo de hold	th	0,5 ns
Registadores R1, R2	tempo de carga	tco	1 ns
Somador completo (full adder)	atraso	tds	0,25 ns
Mux 2:1	atraso	tdmux	1 ns

E supondo que "sel" tenha atraso=0



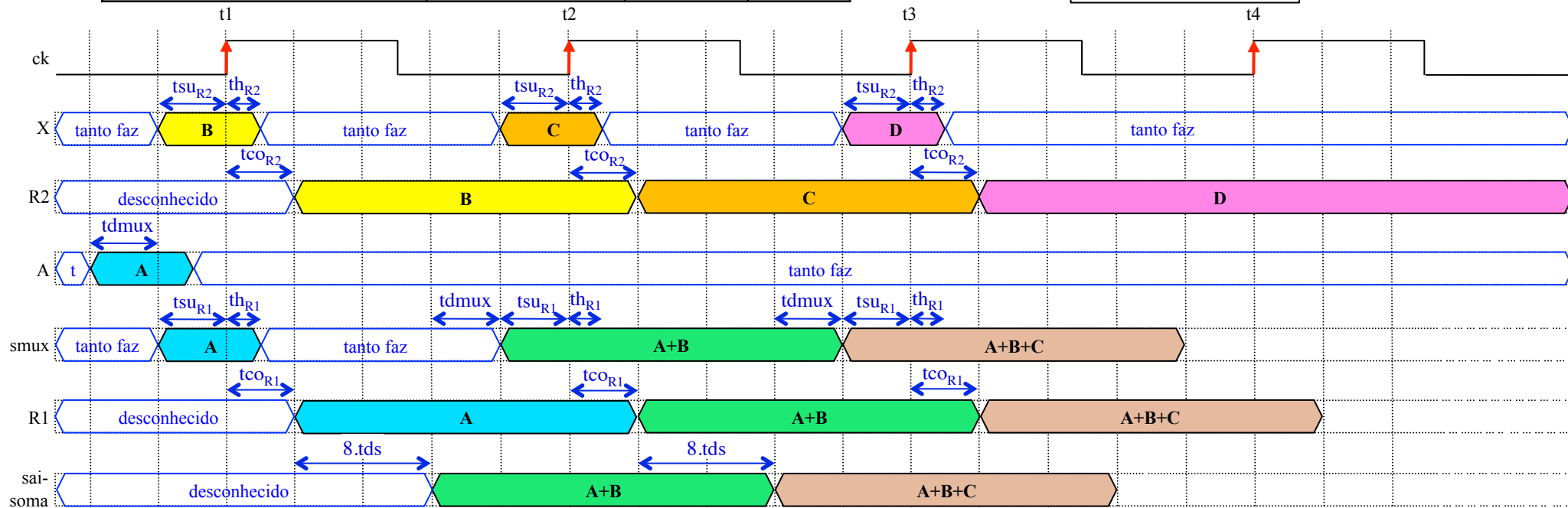
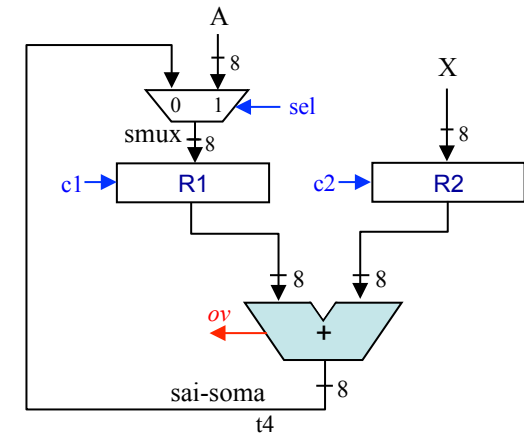
Máquinas Sequenciais Síncronas

2ª Solução: Análise do Funcionamento

1. $R1 \leftarrow A$; $R2 \leftarrow X$; // B deve estar estável em X
2. $R1 \leftarrow R1 + R2$; $R2 \leftarrow X$; // C deve estar estável em X
3. $R1 \leftarrow R1 + R2$; $R2 \leftarrow X$; // D deve estar estável em X
4. $R1 \leftarrow R1 + R2$; // O resultado final S estará em R1

Componente	Característica	Símbolo	Valor
Registadores R1, R2	tempo de setup	tsu	1 ns
Registadores R1, R2	tempo de hold	th	0,5 ns
Registadores R1, R2	tempo de carga	tco	1 ns
Somador completo (full adder)		tds	0,25 ns
Mux 2:1	atraso	tdmux	1 ns

E supondo que "sel" tenha atraso=0



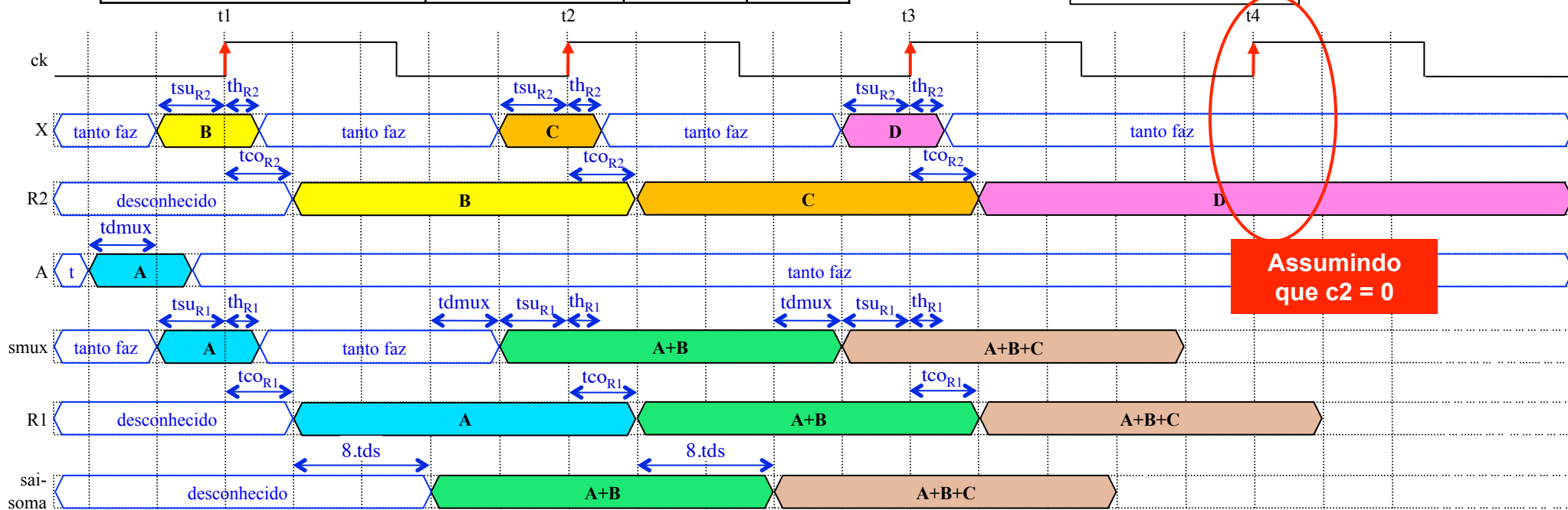
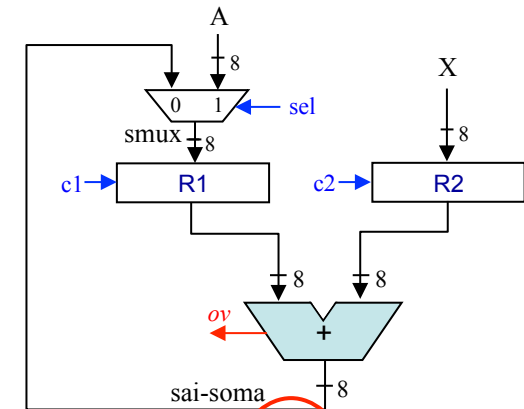
Máquinas Sequenciais Síncronas

2ª Solução: Análise do Funcionamento

1. $R1 \leftarrow A$; $R2 \leftarrow X$; // B deve estar estável em X
2. $R1 \leftarrow R1 + R2$; $R2 \leftarrow X$; // C deve estar estável em X
3. $R1 \leftarrow R1 + R2$; $R2 \leftarrow X$; // D deve estar estável em X
4. $R1 \leftarrow R1 + R2$; // O resultado final S estará em R1

Componente	Característica	Símbolo	Valor
Registadores R1, R2	tempo de setup	tsu	1 ns
Registadores R1, R2	tempo de hold	th	0,5 ns
Registadores R1, R2	tempo de carga	tco	1 ns
Somador completo (full adder)		tds	0,25 ns
Mux 2:1	atraso	tdmux	1 ns

E supondo que "sel" tenha atraso=0



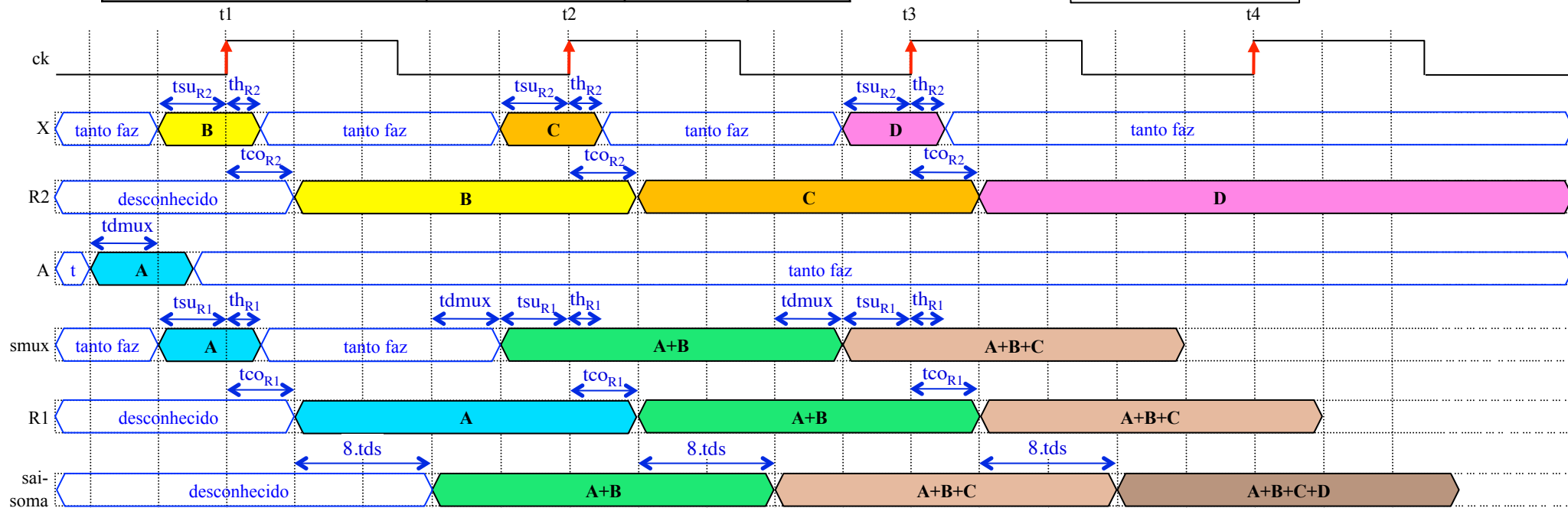
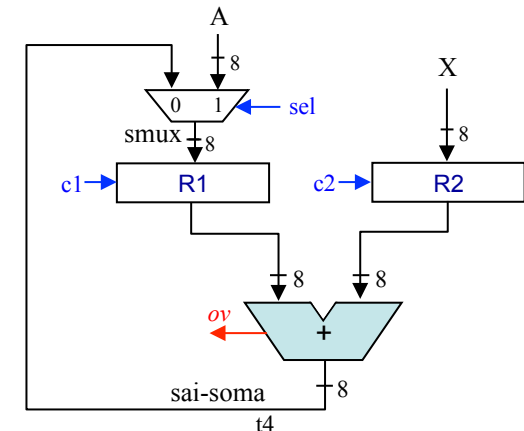
Máquinas Sequenciais Síncronas

2ª Solução: Análise do Funcionamento

1. $R1 \leftarrow A$; $R2 \leftarrow X$; // B deve estar estável em X
2. $R1 \leftarrow R1 + R2$; $R2 \leftarrow X$; // C deve estar estável em X
3. $R1 \leftarrow R1 + R2$; $R2 \leftarrow X$; // D deve estar estável em X
4. $R1 \leftarrow R1 + R2$; // O resultado final S estará em R1

Componente	Característica	Símbolo	Valor
Registadores R1, R2	tempo de setup	tsu	1 ns
Registadores R1, R2	tempo de hold	th	0,5 ns
Registadores R1, R2	tempo de carga	tco	1 ns
Somador completo (full adder)		tds	0,25 ns
Mux 2:1	atraso	tdmux	1 ns

E supondo que "sel" tenha atraso=0



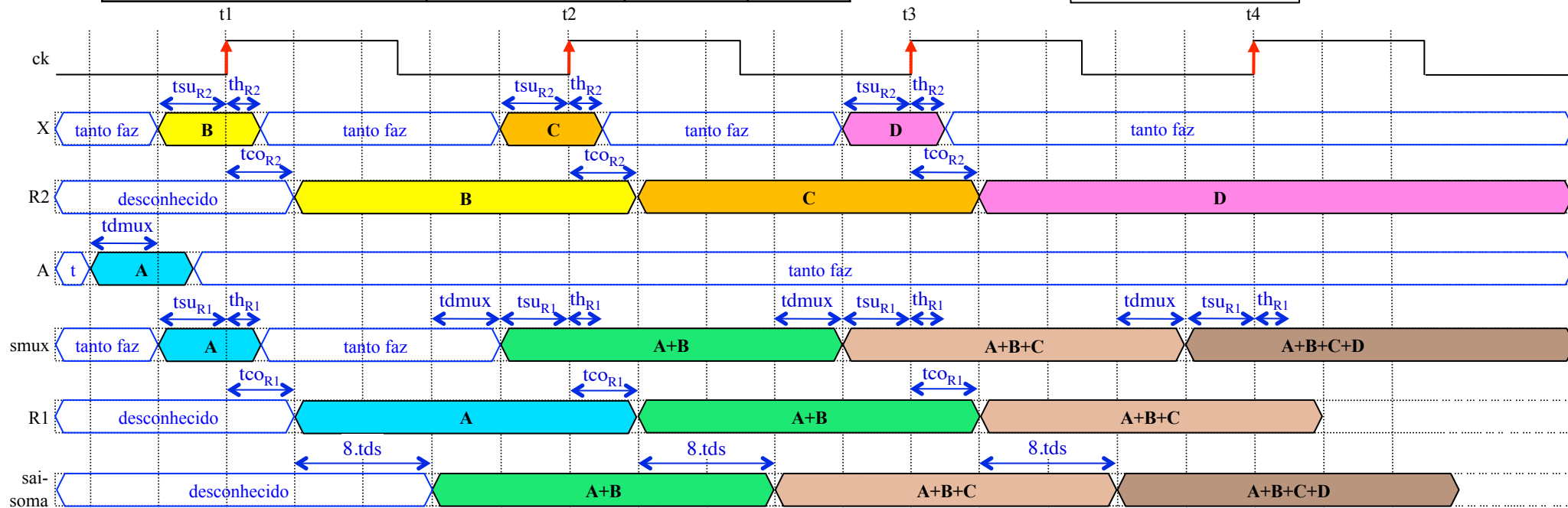
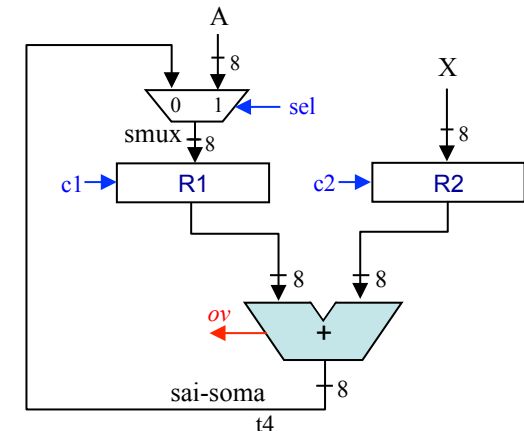
Máquinas Sequenciais Síncronas

2ª Solução: Análise do Funcionamento

1. $R1 \leftarrow A$; $R2 \leftarrow X$; // B deve estar estável em X
2. $R1 \leftarrow R1 + R2$; $R2 \leftarrow X$; // C deve estar estável em X
3. $R1 \leftarrow R1 + R2$; $R2 \leftarrow X$; // D deve estar estável em X
4. $R1 \leftarrow R1 + R2$; // O resultado final S estará em R1

Componente	Característica	Símbolo	Valor
Registadores R1, R2	tempo de setup	tsu	1 ns
Registadores R1, R2	tempo de hold	th	0,5 ns
Registadores R1, R2	tempo de carga	tco	1 ns
Somador completo (full adder)		tds	0,25 ns
Mux 2:1	atraso	tdmux	1 ns

E supondo que "sel" tenha atraso=0



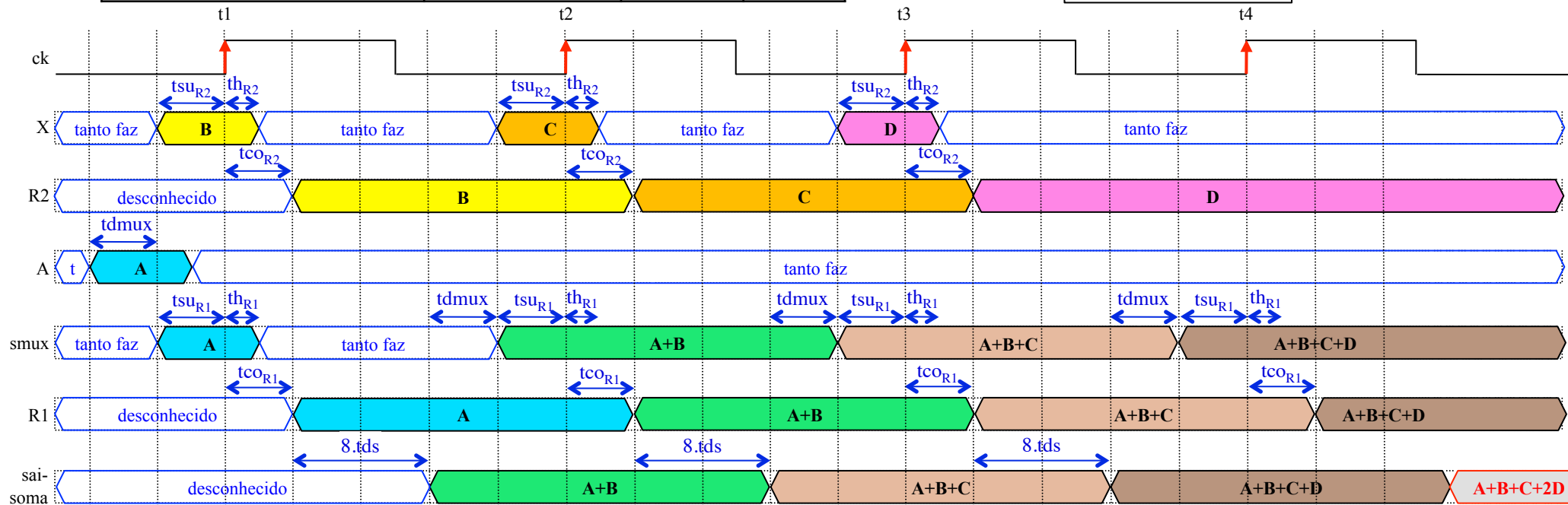
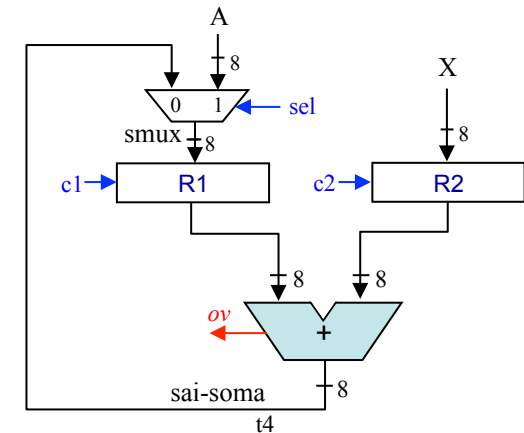
Máquinas Sequenciais Síncronas

2ª Solução: Análise do Funcionamento

1. $R1 \leftarrow A$; $R2 \leftarrow X$; // B deve estar estável em X
2. $R1 \leftarrow R1 + R2$; $R2 \leftarrow X$; // C deve estar estável em X
3. $R1 \leftarrow R1 + R2$; $R2 \leftarrow X$; // D deve estar estável em X
4. $R1 \leftarrow R1 + R2$; // O resultado final S estará em R1

Componente	Característica	Símbolo	Valor
Registadores R1, R2	tempo de setup	tsu	1 ns
Registadores R1, R2	tempo de hold	th	0,5 ns
Registadores R1, R2	tempo de carga	tco	1 ns
Somador completo (full adder)		tds	0,25 ns
Mux 2:1	atraso	tdmux	1 ns

E supondo que "sel" tenha atraso=0

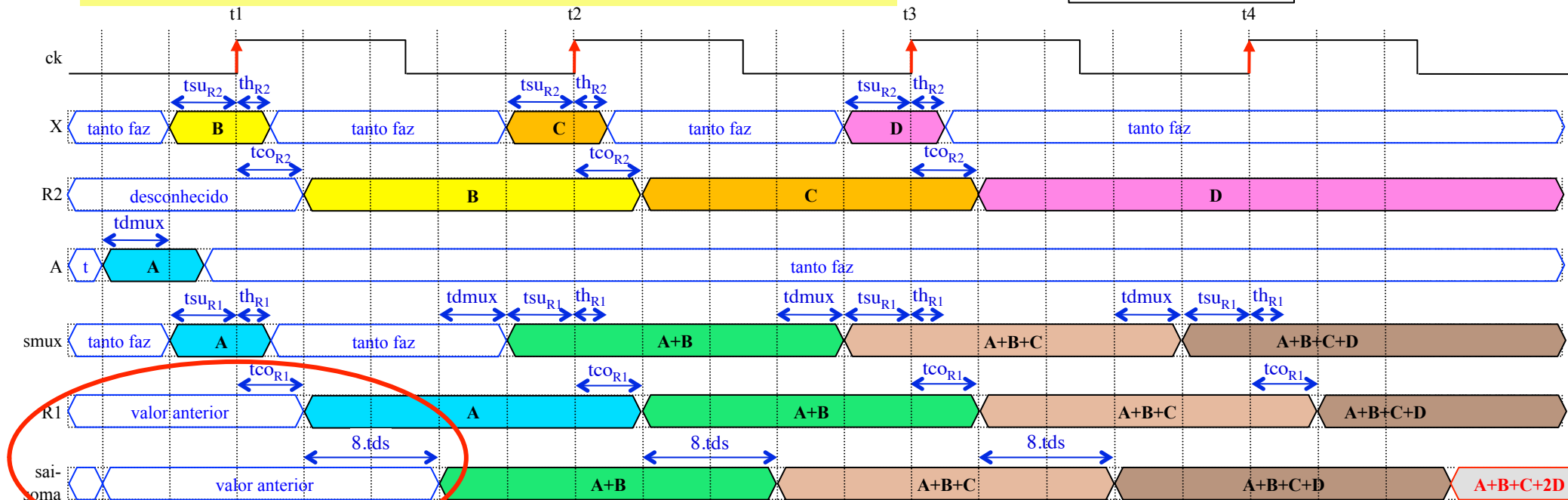
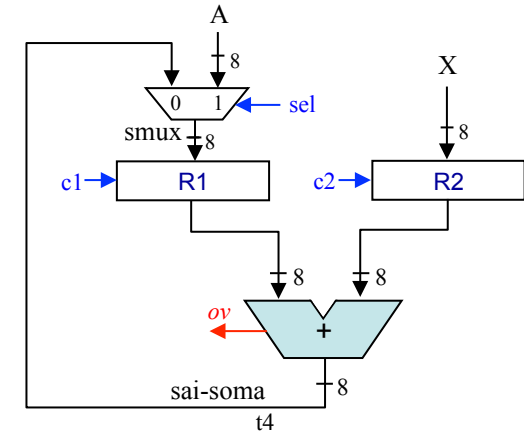


Máquinas Sequenciais Síncronas

2ª Solução: Análise do Funcionamento

Um novo cálculo só pode iniciar em t5

1. $R1 \leftarrow A$; $R2 \leftarrow X$; // B deve estar estável em X
2. $R1 \leftarrow R1 + R2$; $R2 \leftarrow X$; // C deve estar estável em X
3. $R1 \leftarrow R1 + R2$; $R2 \leftarrow X$; // D deve estar estável em X
4. $R1 \leftarrow R1 + R2$; // O resultado final S estará em R1
5. $R1 \leftarrow A$; $R2 \leftarrow X$; // B deve estar estável em X
6. $R1 \leftarrow R1 + R2$; $R2 \leftarrow X$; // C deve estar estável em X

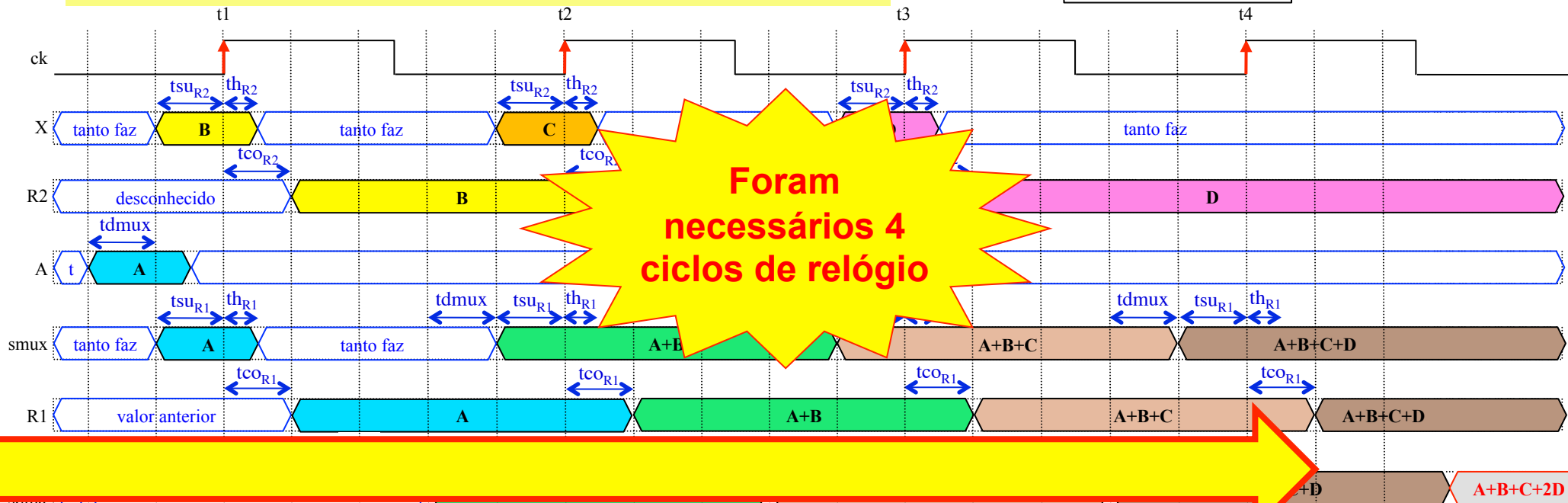
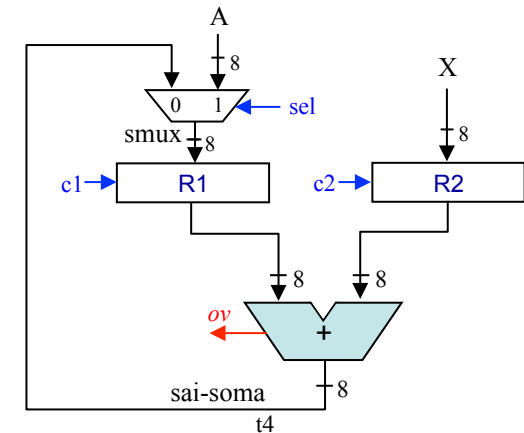


Máquinas Sequenciais Síncronas

2ª Solução: Análise do Funcionamento

Um novo cálculo só pode iniciar em t_5

1. $R1 \leftarrow A$; $R2 \leftarrow X$; // B deve estar estável em X
2. $R1 \leftarrow R1 + R2$; $R2 \leftarrow X$; // C deve estar estável em X
3. $R1 \leftarrow R1 + R2$; $R2 \leftarrow X$; // D deve estar estável em X
4. $R1 \leftarrow R1 + R2$; // O resultado final S estará em R1
5. $R1 \leftarrow A$; $R2 \leftarrow X$; // B deve estar estável em X
6. $R1 \leftarrow R1 + R2$; $R2 \leftarrow X$; // C deve estar estável em X

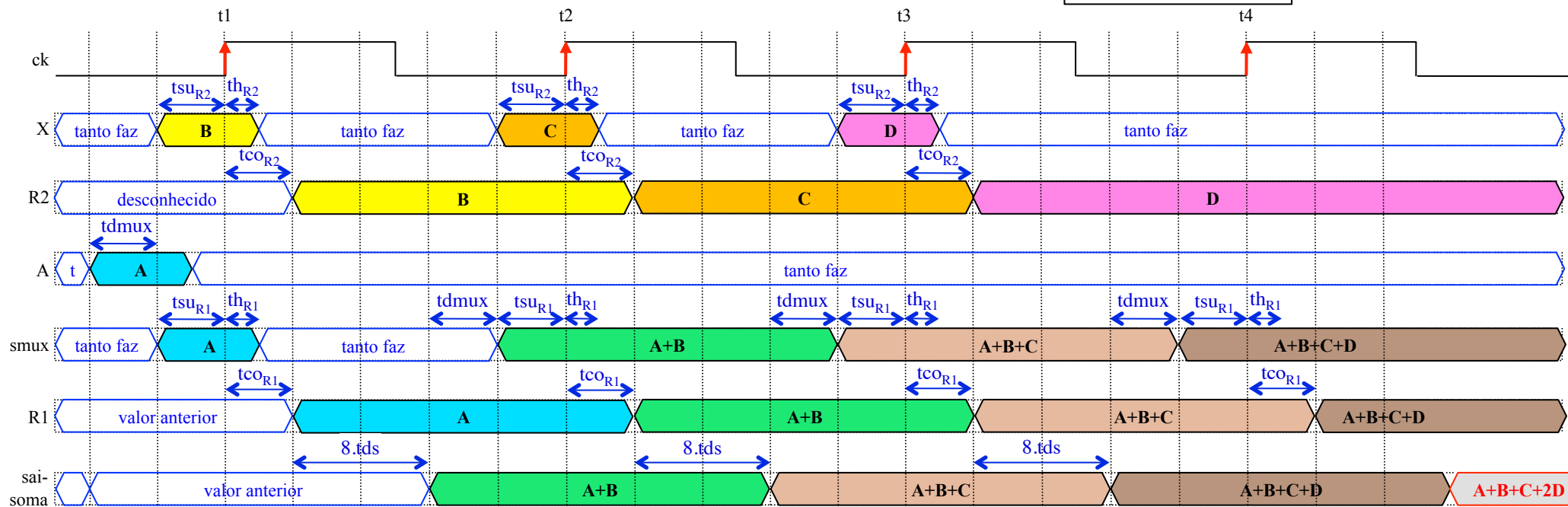
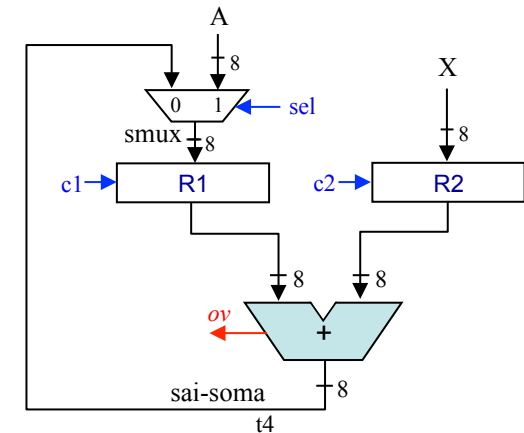


2ª Solução: Análise do Funcionamento

Estas formas de onda assumiram que:

- sel=1 na borda t1 e sel=0 nas bordas t2, t3 e t4
- c1=1 nas bordas t1 a t4
- c2=1 nas bordas t1, t2, t3 (e c2=0 na borda t4)

A geração destes sinais é responsabilidade do bloco de controle.



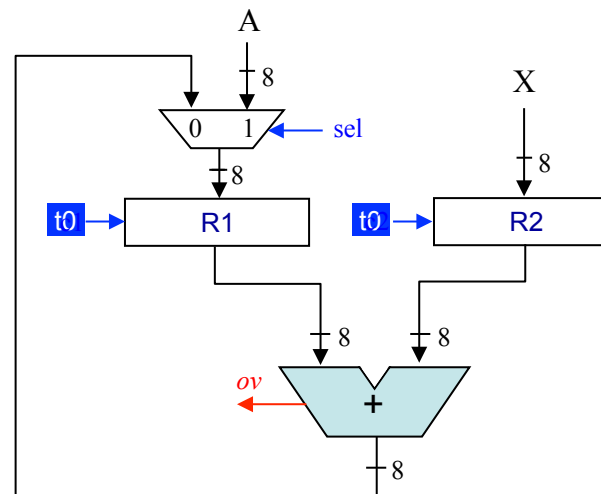
Máquinas Sequenciais Síncronas

Tempos de Estabilização

Supondo as seguintes características temporais dos componentes

Componente	Característica	Símbolo	Valor
Registradores R1, R2	tempo de setup	tsu	1 ns
Registradores R1, R2	tempo de hold	th	0,5 ns
Registradores R1, R2	tempo de carga	tco	1 ns
Somador completo (<i>full adder</i>)	atraso	tds	0,25 ns
Mux 2:1	atraso	tdmux	1 ns
Sinal de controle (sel)	atraso	tdcontrol	0 ns

A análise inicia assumindo-se uma primeira borda de relógio (t_0) aplicada a R1 e R2

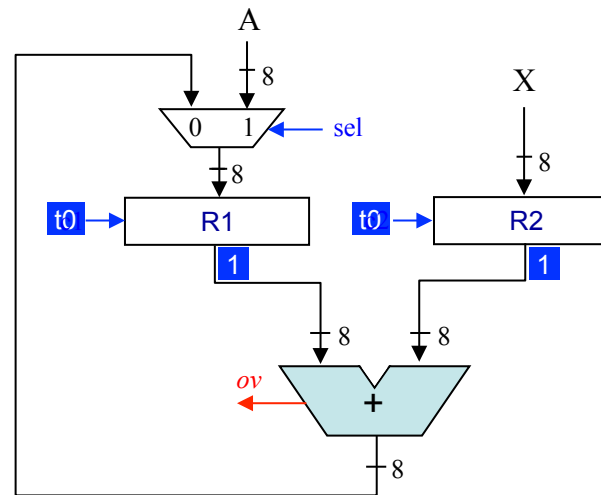


Máquinas Sequenciais Síncronas

Tempos de Estabilização

Supondo as seguintes características temporais dos componentes

Componente	Característica	Símbolo	Valor
Registradores R1, R2	tempo de setup	tsu	1 ns
Registradores R1, R2	tempo de hold	th	0,5 ns
Registradores R1, R2	tempo de carga	tco	1 ns
Somador completo (<i>full adder</i>)	atraso	tds	0,25 ns
Mux 2:1	atraso	tdmux	1 ns
Sinal de controle (sel)	atraso	tdcontrol	0 ns

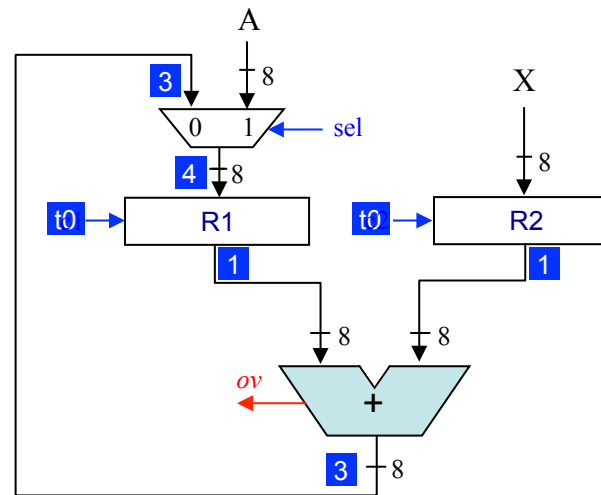


Máquinas Sequenciais Síncronas

Tempos de Estabilização

Supondo as seguintes características temporais dos componentes

Componente	Característica	Símbolo	Valor
Registradores R1, R2	tempo de setup	tsu	1 ns
Registradores R1, R2	tempo de hold	th	0,5 ns
Registradores R1, R2	tempo de carga	tco	1 ns
Somador completo (<i>full adder</i>)	atraso	tds	0,25 ns
Mux 2:1	atraso	tdmux	1 ns
Sinal de controle (sel)	atraso	tdcontrol	0 ns



Máquinas Sequenciais Síncronas

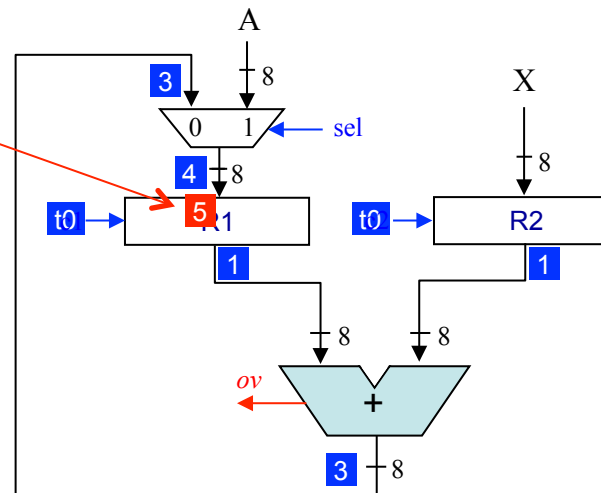
Tempos de Estabilização

Supondo as seguintes características temporais dos componentes

Componente	Característica	Símbolo	Valor
Registradores R1, R2	tempo de setup	tsu	1 ns
Registradores R1, R2	tempo de hold	th	0,5 ns
Registradores R1, R2	tempo de carga	tco	1 ns
Somador completo (<i>full adder</i>)	atraso	tds	0,25 ns
Mux 2:1	atraso	tdmux	1 ns
Sinal de controle (sel)	atraso	tdcontrol	0 ns

Considerando o tempo de setup do registrador R1

Logo, atraso crítico = $D = 5$ ns



Máquinas Sequenciais Síncronas

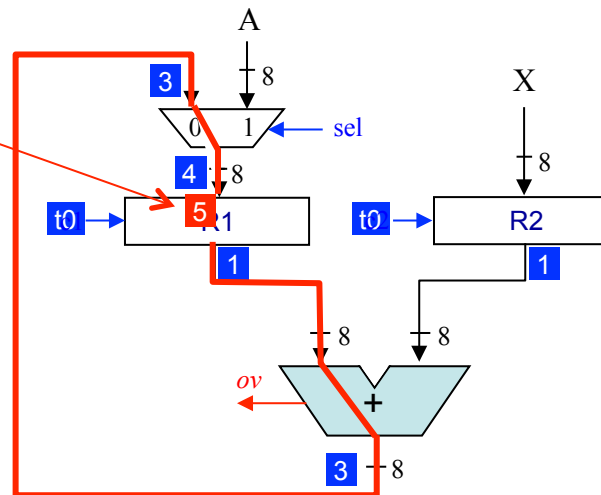
Caminho Crítico e Atraso Crítico

Supondo as seguintes características temporais dos componentes

Componente	Característica	Símbolo	Valor
Registradores R1, R2	tempo de setup	tsu	1 ns
Registradores R1, R2	tempo de hold	th	0,5 ns
Registradores R1, R2	tempo de carga	tco	1 ns
Somador completo (<i>full adder</i>)	atraso	tds	0,25 ns
Mux 2:1	atraso	tdmux	1 ns
Sinal de controle (sel)	atraso	tdcontrol	0 ns

Considerando o tempo de setup do registrador R1

Logo, atraso crítico = $D = 5$ ns

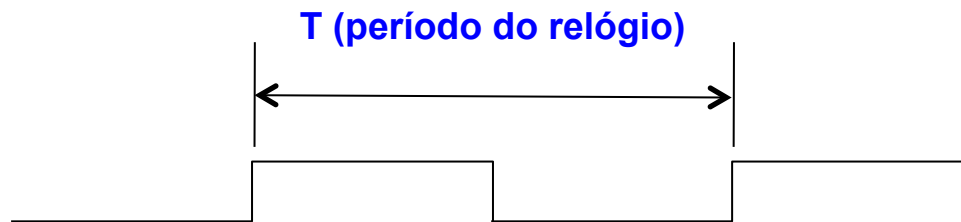
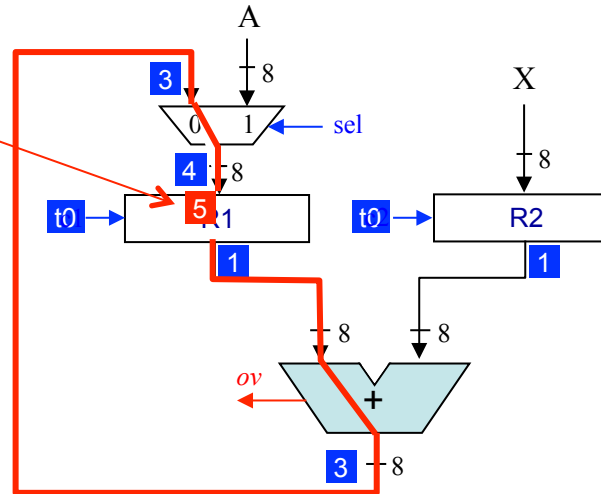


Máquinas Sequenciais Síncronas

Estimativa do Período (Mínimo) do Relógio

Considerando o tempo de setup do registrador R1

Logo, atraso crítico = $D = 5 \text{ ns}$



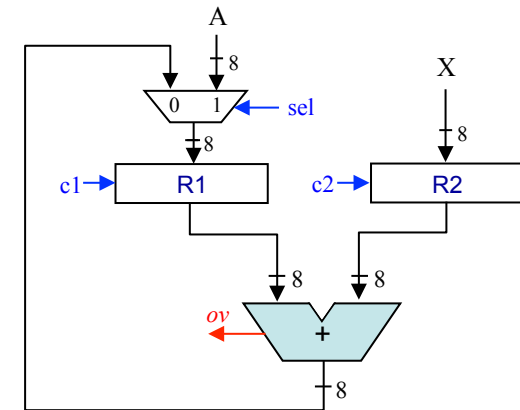
sendo $T \geq D$

Máquinas Sequenciais Síncronas

Tempo de Execução

No exemplo em questão, o processamento requer 4 ciclos de relógio, com $T \geq D = 5 \text{ ns}$.

1. $R1 \leftarrow A; R2 \leftarrow X; //$ B deve estar estável em X
2. $R1 \leftarrow R1 + R2; R2 \leftarrow X; //$ C deve estar estável em X
3. $R1 \leftarrow R1 + R2; R2 \leftarrow X; //$ D deve estar estável em X
4. $R1 \leftarrow R1 + R2; //$ O resultado final S estará em R1



$$\text{Tempo de execução} = n^{\circ} \text{ ciclos} \times T$$

Onde:

n° de ciclos que o processamento demora

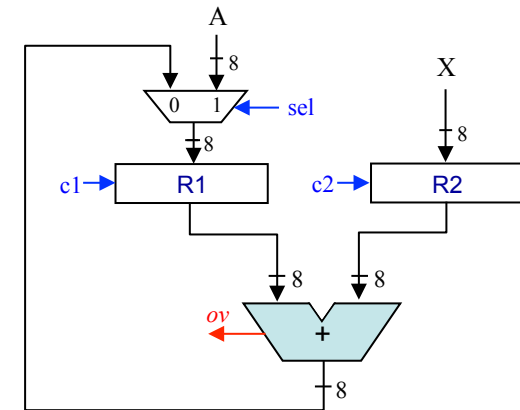
T = período do relógio, ($f = 1/T$ é a frequência do relógio)

Máquinas Sequenciais Síncronas

Tempo de Execução

No exemplo em questão, o processamento requer 4 ciclos de relógio, com $T \geq D = 5 \text{ ns}$.

1. $R1 \leftarrow A$; $R2 \leftarrow X$; // B deve estar estável em X
2. $R1 \leftarrow R1 + R2$; $R2 \leftarrow X$; // C deve estar estável em X
3. $R1 \leftarrow R1 + R2$; $R2 \leftarrow X$; // D deve estar estável em X
4. $R1 \leftarrow R1 + R2$; // O resultado final S estará em R1



$$\begin{aligned}\text{Tempo de execução} &= n^{\circ} \text{ ciclos} \times T = \\ &= 4 \times 5 \text{ ns} = 20 \text{ ns}\end{aligned}$$

Máquinas Sequenciais Síncronas

Comparação com Versão Monociclo

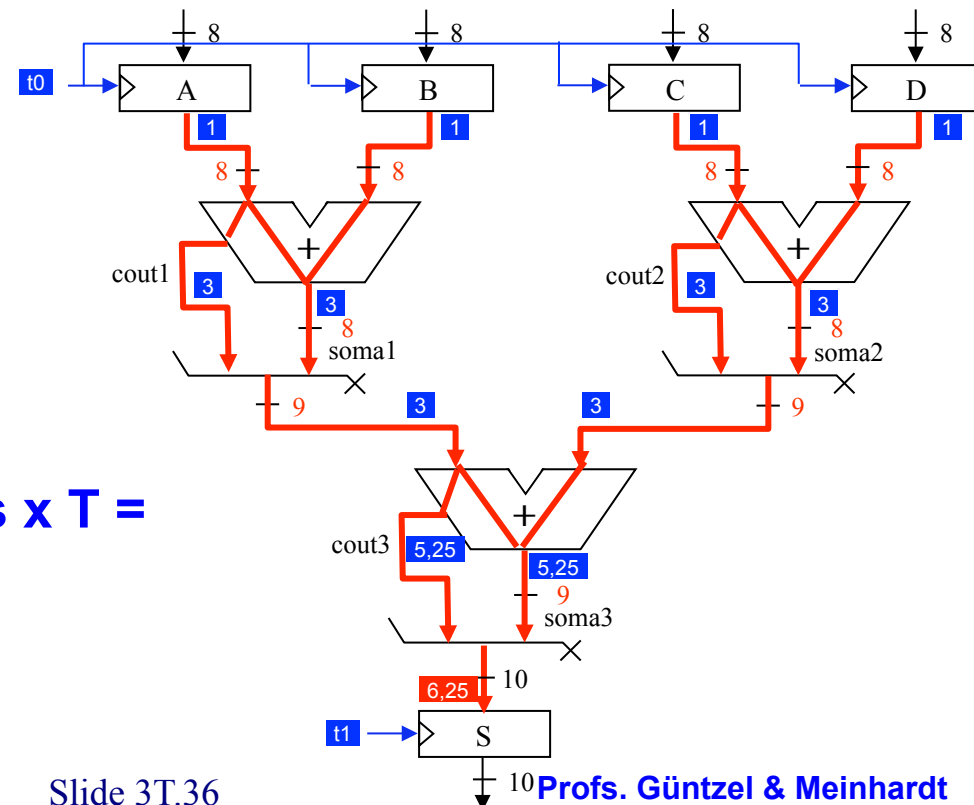
Componente	Característica	Símbolo	Valor
Registadores A, B, C, D, S	tempo de setup	tsu	1 ns
Registadores A, B, C, D, S	tempo de hold	th	0,5 ns
Registadores A, B, C, D, S	tempo de carga	tco	1 ns
Somador completo (<i>full adder</i>)	atraso	tds	0,25 ns
Sinal de controle (sel)	atraso	tdcontrol	0 ns

Nesta versão monociclo, não há

Calculando o atraso crítico diretamente a partir do(s) caminho(s) crítico(s):

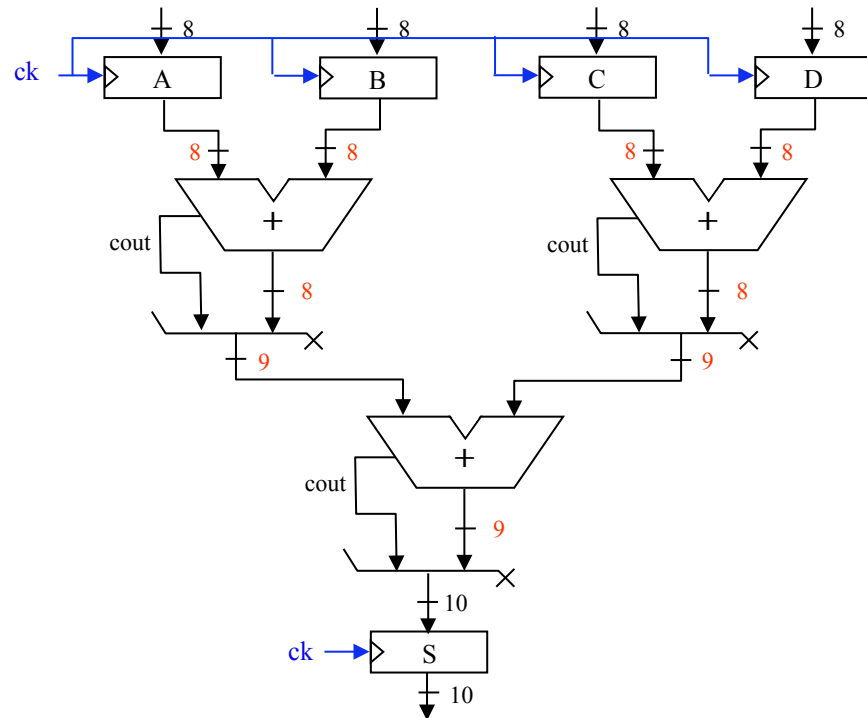
$$\begin{aligned}
 D = T &= t_{co} + t_{dC} + t_{su}(S) = \\
 &= 1 + 8 \times 0,25 + 9 \times 0,25 + 1 = \\
 &= \mathbf{6,25 \text{ ns}}
 \end{aligned}$$

$$\begin{aligned}
 \text{Tempo de execução} &= n^{\circ} \text{ ciclos} \times T = \\
 &= 1 \times 6,25 \text{ ns} = \mathbf{6,25 \text{ ns}}
 \end{aligned}$$

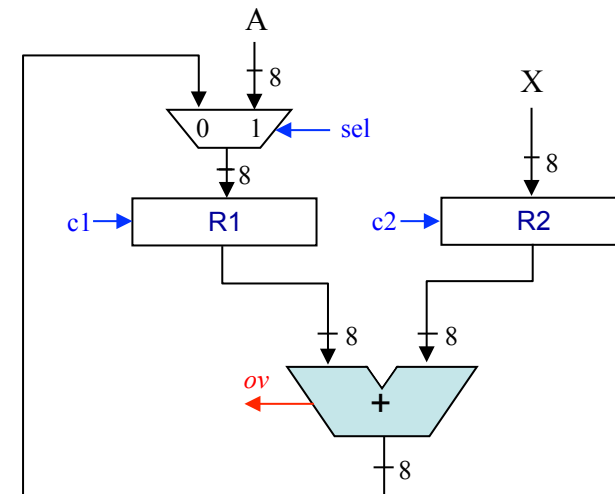


Máquinas Sequenciais Síncronas

Tempo de Execução: Multiciclo x Monociclo



Tempo de execução = 6,25 ns

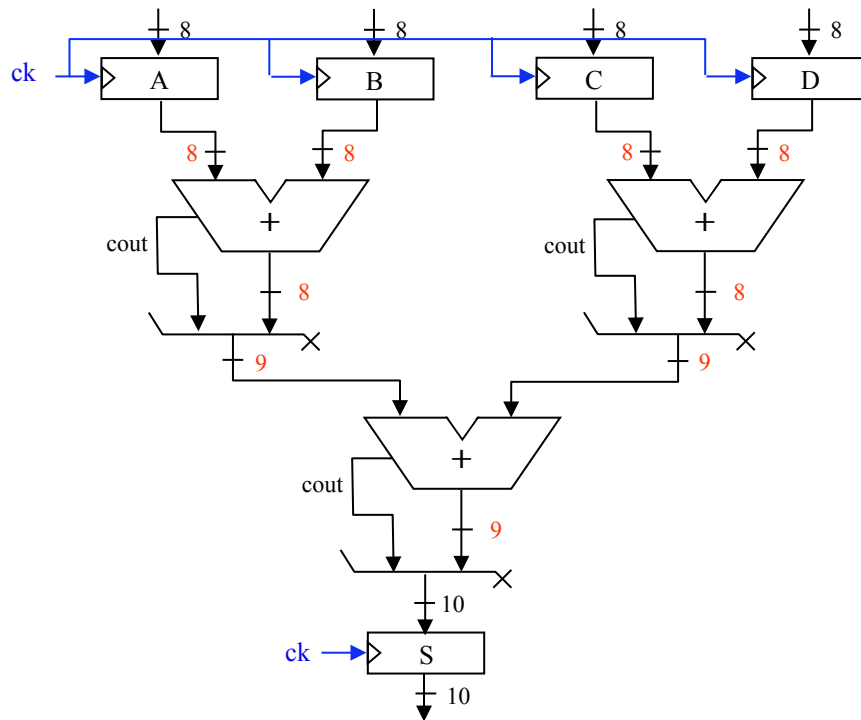


Tempo de execução = 20 ns

Tempo de execução(multiciclo) / Tempo de execução(monociclo) = $20/6,25 = 3,2$
Versão monociclo é 220% mais rápida do que versão multiciclo

Máquinas Sequenciais Síncronas

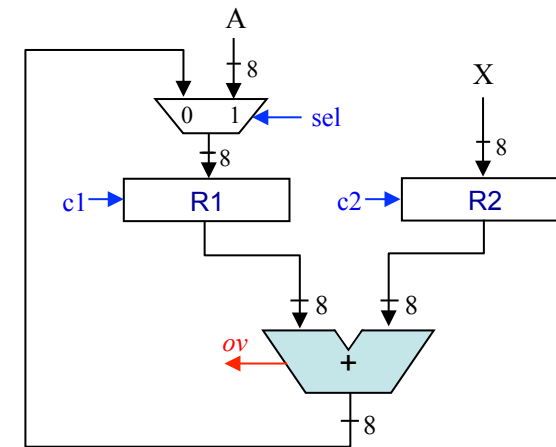
Custo do Hardware: Multiciclo x Monociclo



$$\begin{aligned} \text{Custo} &= 4 \times 18 \times 8 + 2 \times 24 \times 8 + 1 \times 24 \times 9 + \\ &\quad 1 \times 18 \times 10 = \\ &= 704 + 384 + 216 + 220 = \mathbf{1356 \text{ transistores}} \end{aligned}$$

Componente RT	Custo, nº de trans
Somador	24n
Mux 2:1	4n
Reg. com carga paralela	18n
Reg. com carga paralela controlada	22n

onde $n = \text{nº de bits}$

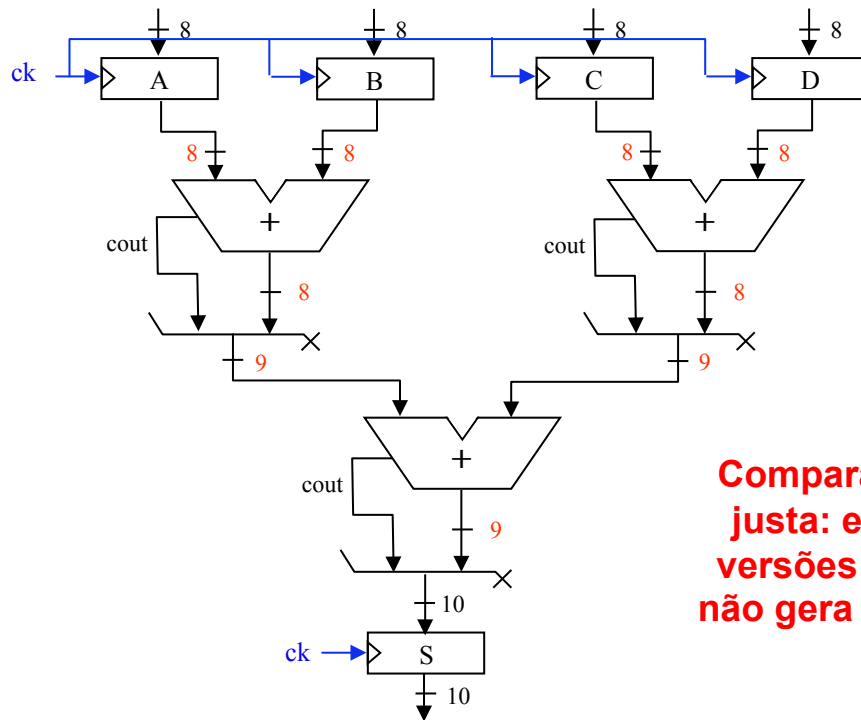


$$\begin{aligned} \text{Custo} &= 8 \times (2 \times 22 + 1 \times 24 + 1 \times 4) = \\ &= 352 + 192 + 32 = \mathbf{576 \text{ transistores}} \end{aligned}$$

Porém, falta o custo do B.C.

Máquinas Sequenciais Síncronas

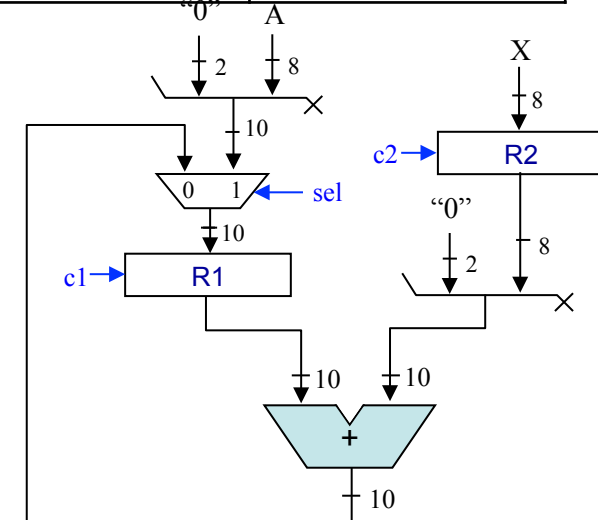
Custo do Hardware: Multiciclo x Monociclo (2)



Componente RT	Custo, nº de trans
Somador	24n
Mux 2:1	4n
Reg. com carga paralela	18n
Reg. com carga paralela controlada	22n

onde n = nº de bits

Comparação mais justa: em ambas versões A+B+C+D não gera overflow ...



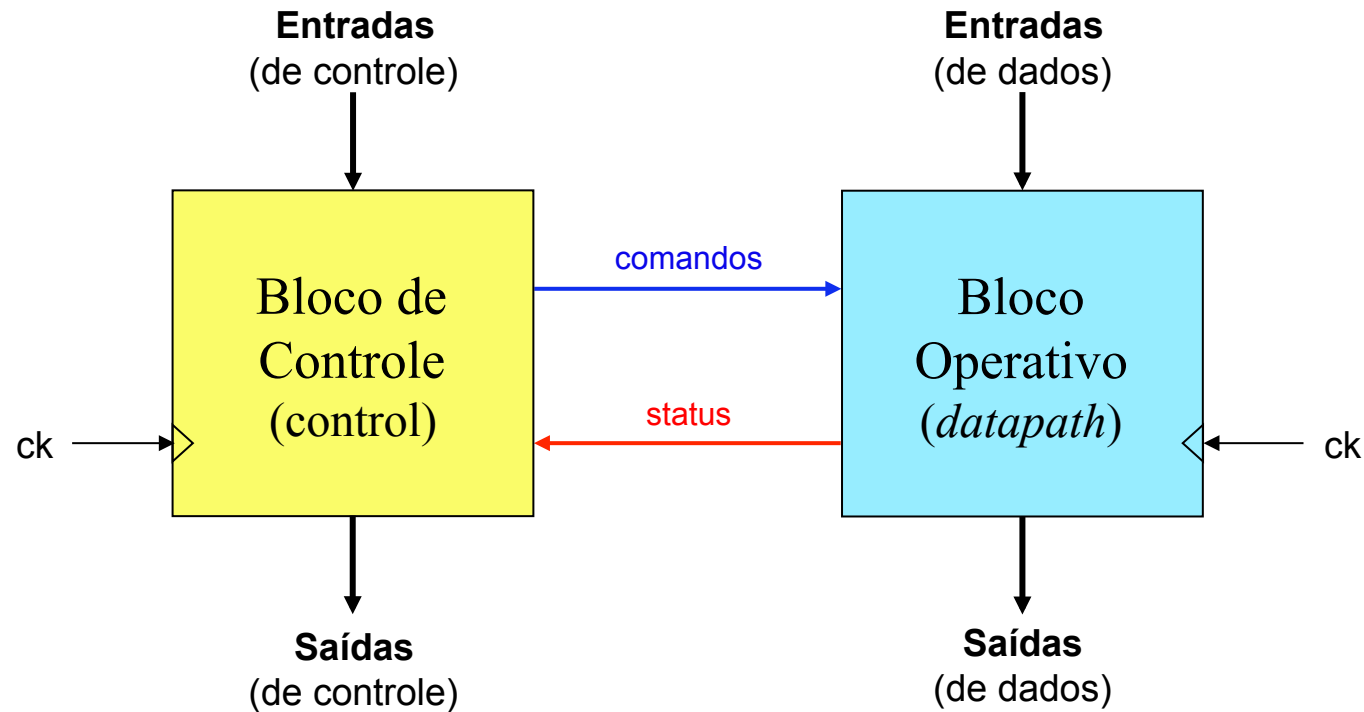
$$\begin{aligned} \text{Custo} &= 4 \times 18 \times 8 + 2 \times 24 \times 8 + 1 \times 24 \times 9 + \\ &\quad 1 \times 18 \times 10 = \\ &= 704 + 384 + 216 + 220 = \mathbf{1356 \text{ transistores}} \end{aligned}$$

$$\begin{aligned} \text{Custo} &= 8 \times 22 + 10 \times (1 \times 22 + 1 \times 24 + 1 \times 4) = \\ &= 352 + 192 + 32 = \mathbf{676 \text{ transistores}} \end{aligned}$$

Porém, ainda falta o custo do B.C.

Máquinas Sequenciais Síncronas

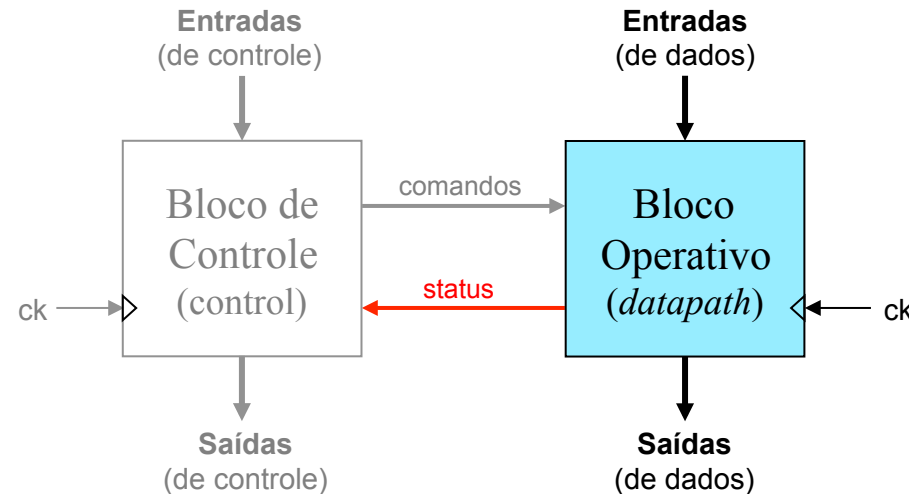
O Modelo Bloco Operativo / Bloco de Controle



- Este é um modelo simples de sistemas digitais, porém didático e aplicável na maioria dos casos.

Máquinas Sequenciais Síncronas

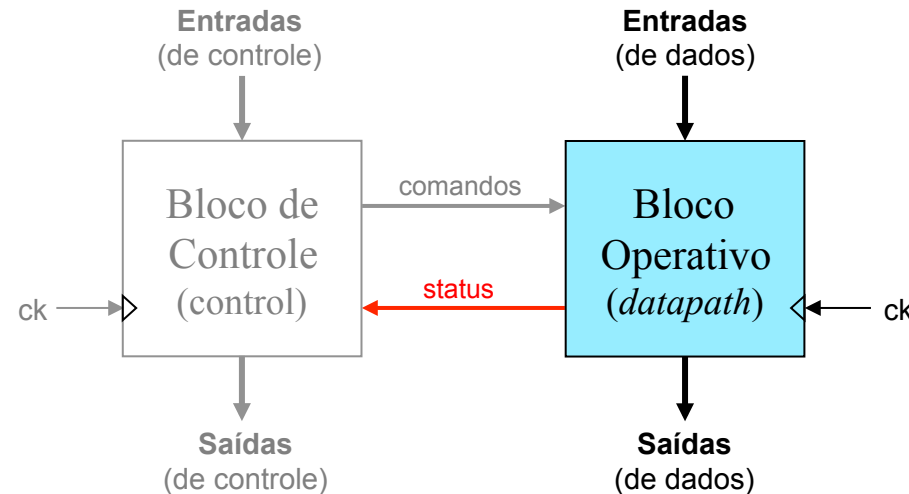
Bloco Operativo: funções



- Realiza transformações sobre dados, geralmente provenientes do ambiente externo
- As transformações são realizadas em um ou mais passos, cada passo demorando um ciclo de relógio
- Gera sinais de “status” que são usados pelo Bloco de Controle para definir a sequência de operações a serem realizadas (às vezes são chamados de “*flags*”)

Máquinas Sequenciais Síncronas

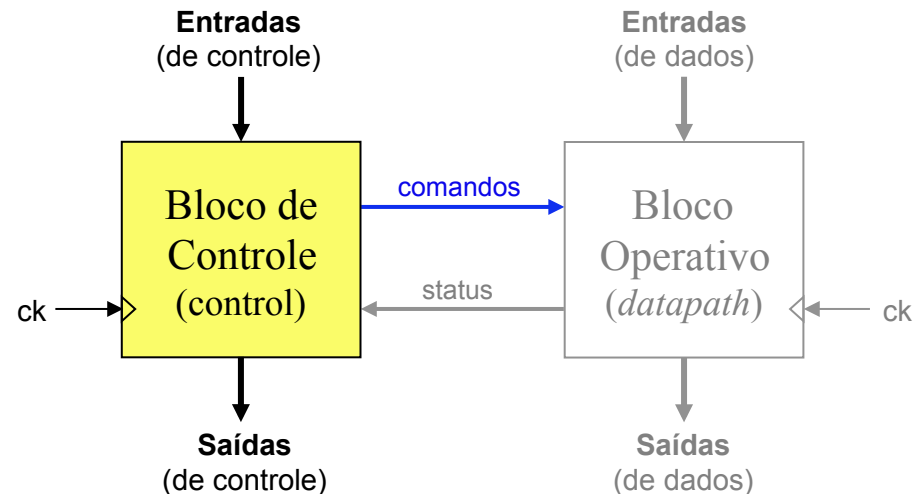
Bloco Operativo: componentes



- Unidades Funcionais (UFs): somadores, subtratores, deslocadores, multiplicadores, UFs combinadas (somadores/subtratores, ULAs)
- Elementos de armazenamento: registradores ou banco de registradores, memórias (SRAM)
- Rede de interconexão: fios, multiplexadores, barramentos + *buffers tri-state*

Máquinas Sequenciais Síncronas

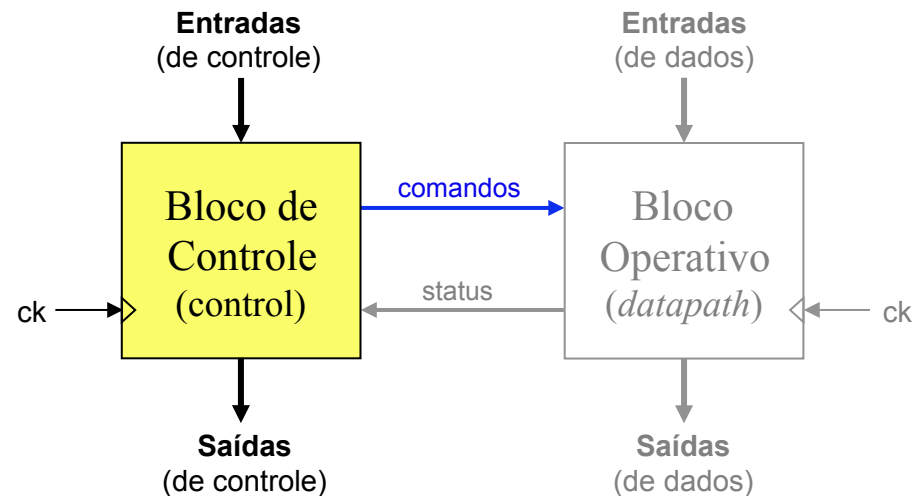
Bloco de Controle: funções



- Gera comandos, que são sinais de controle na ordem necessária para que o bloco operativo realize os passos desejados
- Recebe sinais de controle do ambiente externo: opcode, no caso de CPUs, sinais específicos (por exemplo, “iniciar”), no caso de CPUs dedicadas e de blocos aceleradores
- Pode gerar uma ou mais saídas de controle para se comunicar com outros sistemas digitais (p. ex.: “done”, “bus request”, “ack”)

Máquinas Sequenciais Síncronas

Bloco de Controle: componentes



- Em um esquema monociclo: é um bloco combinacional
- Em um esquema multiciclo: é uma máquina de estados (FSM – Finite State Machine)

Máquinas Sequenciais Síncronas

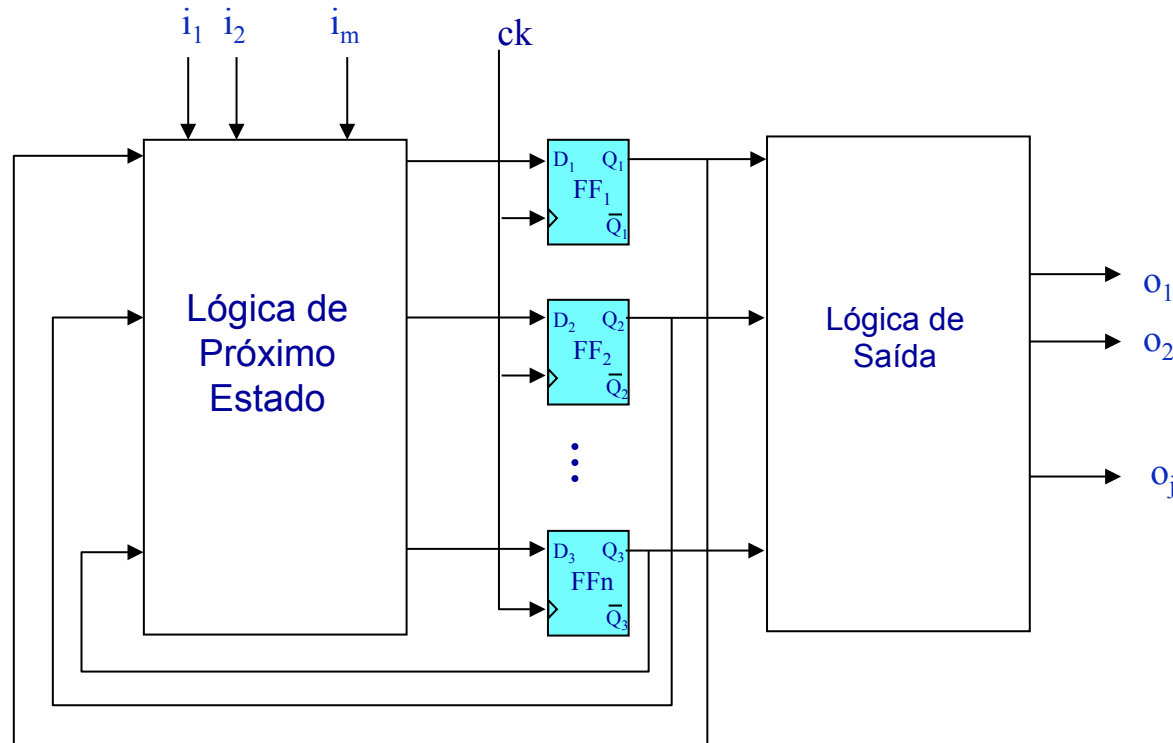
Máquinas de Estados Finitos (FSM)

- Podem ser síncronas (cadenciadas por um sinal monótono chamado relógio ou *clock*) ou assíncronas (sem relógio).
- Máquina Sequenciais Síncronas são mais utilizadas porque:
 - São mais fáceis de projetar e de validar.
 - Têm operação mais segura, são mais robustas.
- Há dois modelos: Moore e Mealy.
- Registradores podem ser vistos como Máquina Sequenciais Síncronas.

Máquinas Sequenciais Síncronas

Modelo de Moore

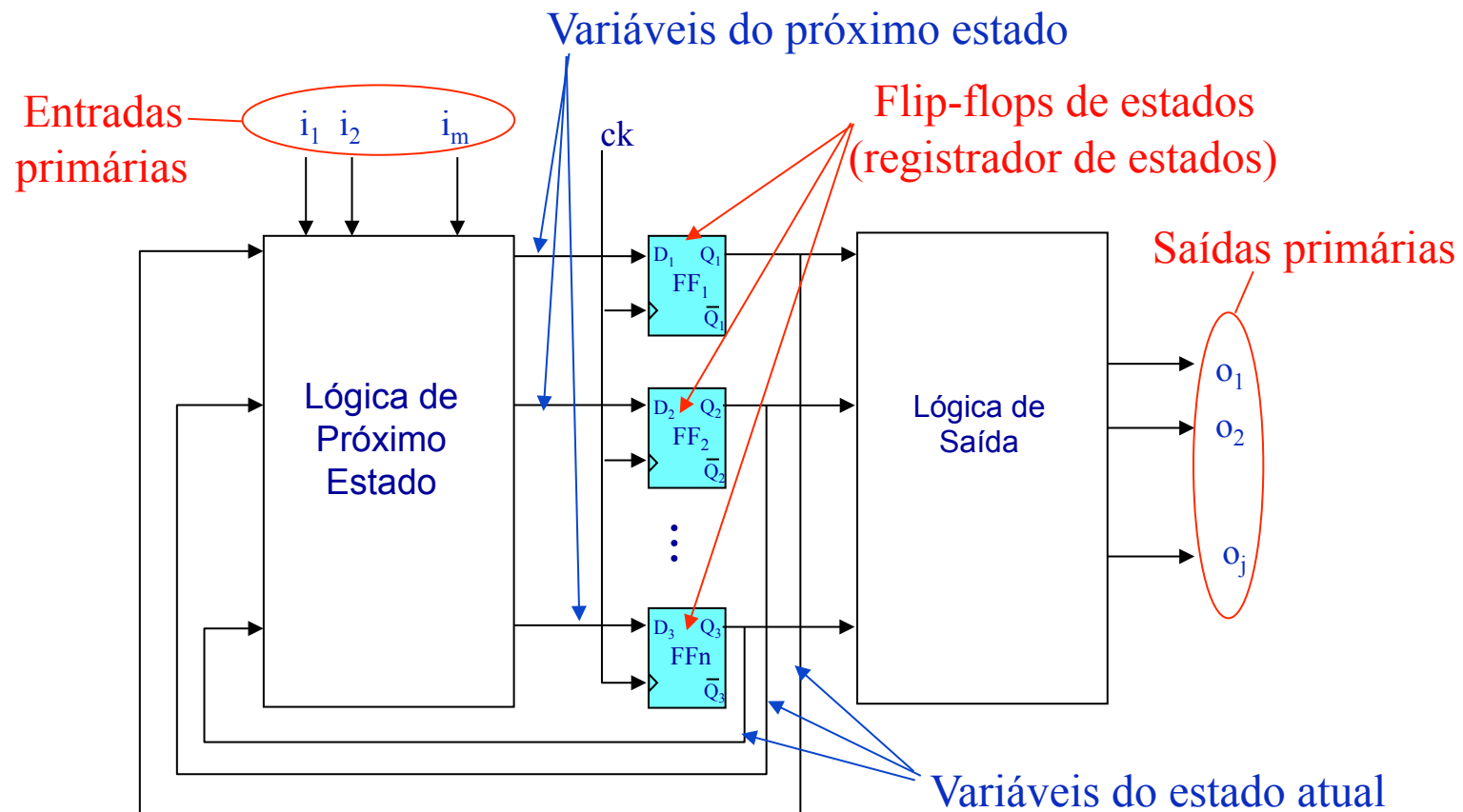
Característica principal: as saídas dependem apenas do estado atual.



Máquinas Sequenciais Síncronas

Modelo de Moore

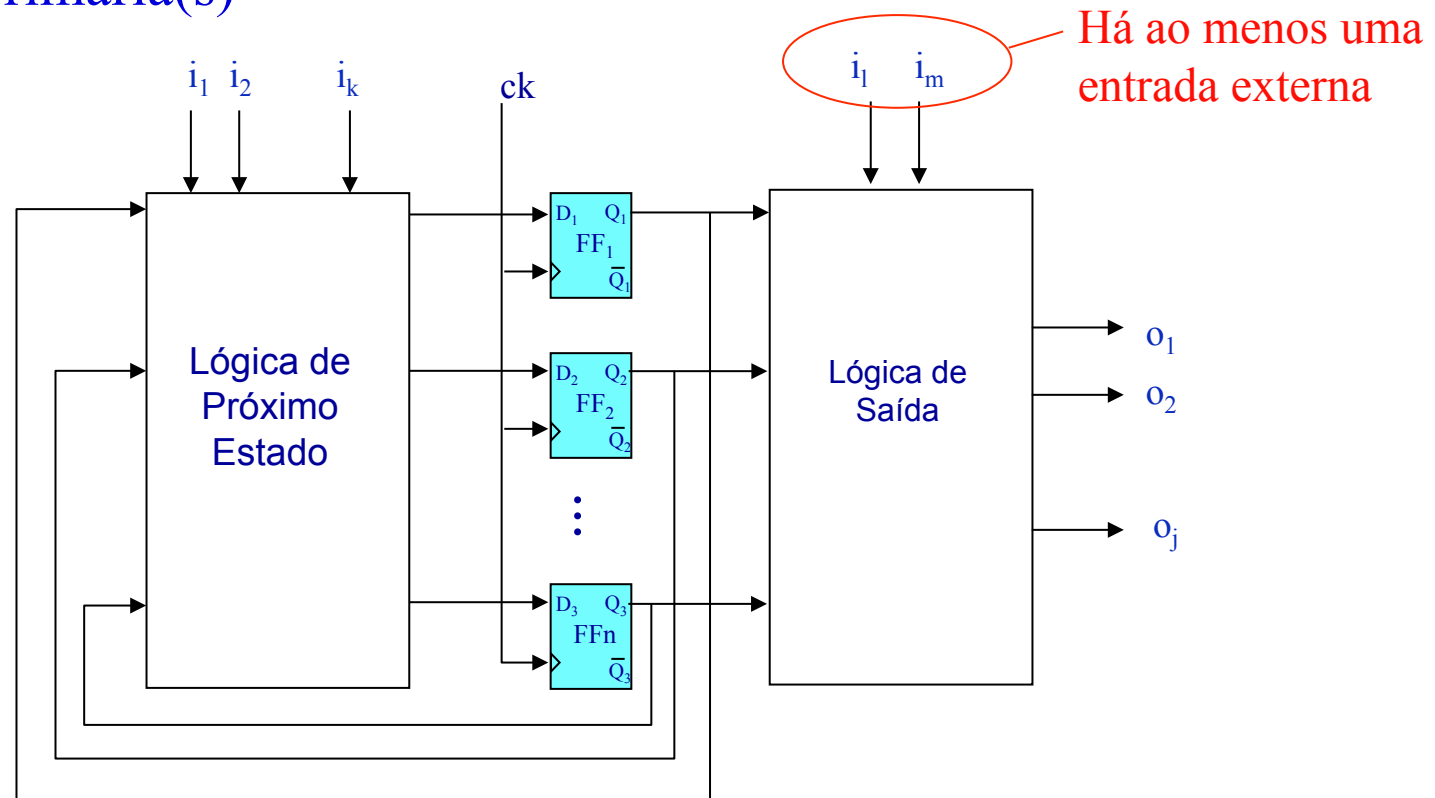
Característica principal: as saídas dependem apenas do estado atual.



Máquinas Sequenciais Síncronas

Modelo de Mealy

Característica principal: as saídas dependem do estado atual e de entrada(s) primária(s)



Máquinas Sequenciais Síncronas

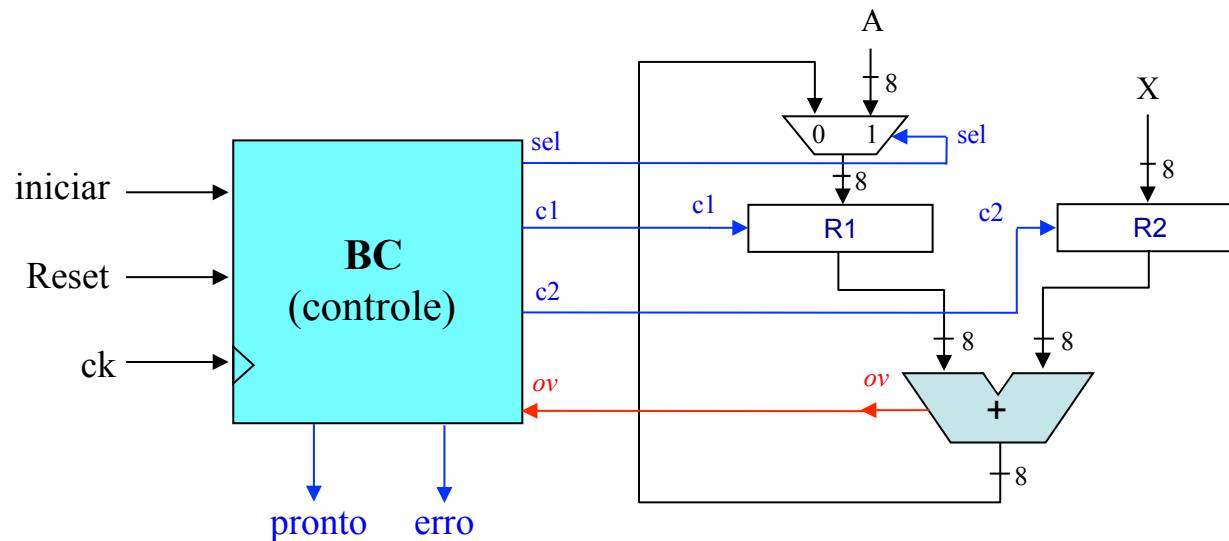
Síntese de Circuitos Sequenciais

Roteiro para a Síntese (=Projeto)

1. Determinar quantos estados são necessários (e o n° de variáveis de estado)
2. Construir o diagrama de estados, observando com cuidado o comportamento solicitado para a FSM e adotando um modelo de FSM (Moore ou Mealy):
 - Determinar as transições entre estados necessárias
 - Selecionar um estado para servir como estado inicial
3. Construir a tabela de próximo estado e a tabela das saídas
4. Escolher uma codificação para os estados e definir o tipo de flip-flops para compor o registrador de estados.
5. Sintetizar (projetar) os circuitos combinacionais: lógica de próximo estado e lógica de saída.

Máquinas Sequenciais Síncronas

Projetando o Bloco de Controle para a Solução 2.1



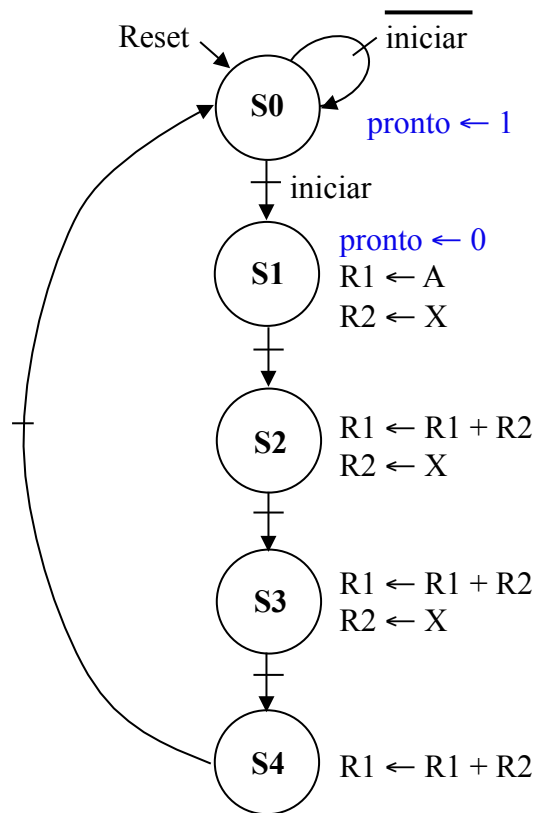
Obs: embora omitido, ck também sincroniza as cargas de R1 e R2.

Descrever o comportamento do BC usando uma máquina de estados (FSM)

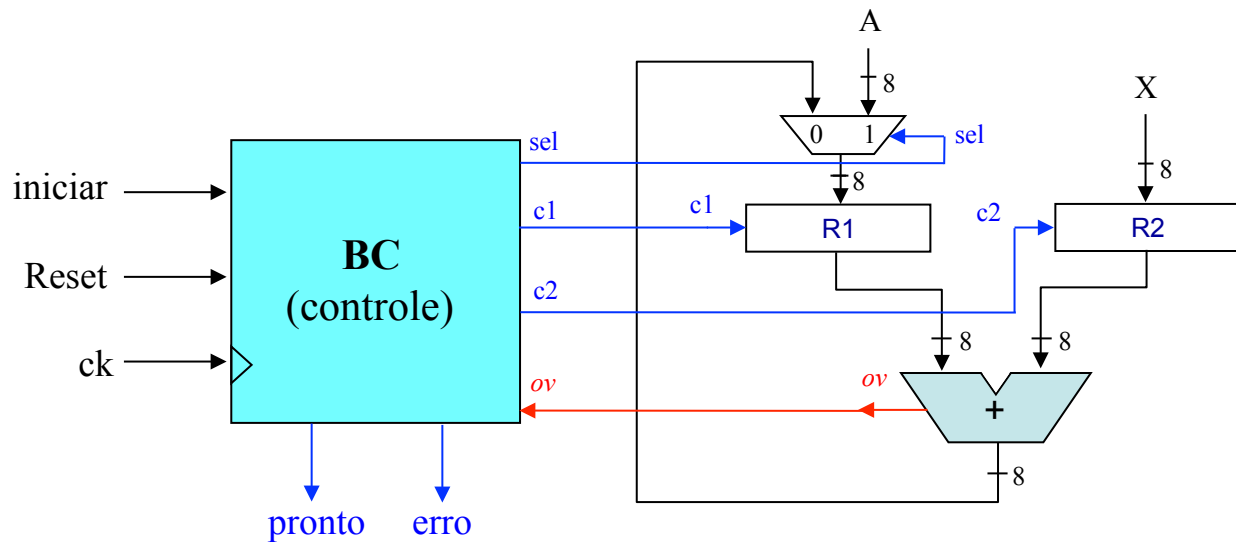
Máquinas Sequenciais Síncronas

Projetando o Bloco de Controle para a Solução 2.1

FSMD (= FSM c/ Dados)



1. $R1 \leftarrow A$; $R2 \leftarrow X$; // B deve estar estável em X
2. $R1 \leftarrow R1 + R2$; $R2 \leftarrow X$; // C deve estar estável em X
3. $R1 \leftarrow R1 + R2$; $R2 \leftarrow X$; // D deve estar estável em X
4. $R1 \leftarrow R1 + R2$; // O resultado final S estará em R1
// "iniciar" é o sinal de entrada que ordena o início do cálculo
// "pronto" é o sinal que avisa que o cálculo terminou...

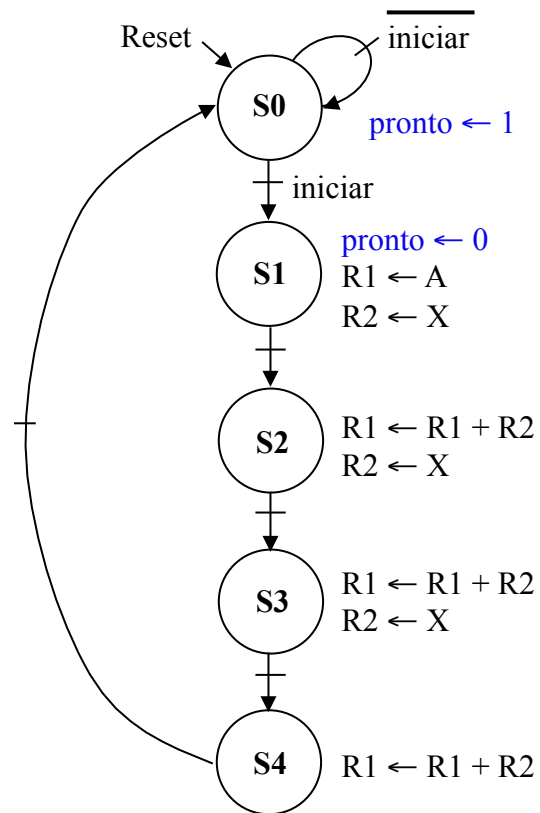


Obs: embora omitido, ck sincroniza as cargas de R1 e R2.

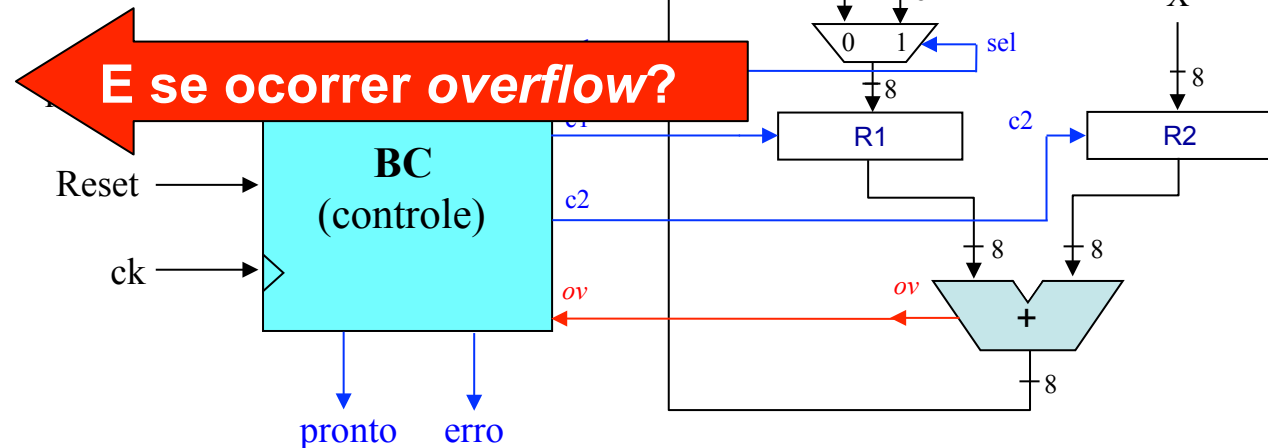
Máquinas Sequenciais Síncronas

Projetando o Bloco de Controle para a Solução 2.1

FSMD (= FSM c/ Dados)



1. $R1 \leftarrow A$; $R2 \leftarrow X$; // B deve estar estável em X
2. $R1 \leftarrow R1 + R2$; $R2 \leftarrow X$; // C deve estar estável em X
3. $R1 \leftarrow R1 + R2$; $R2 \leftarrow X$; // D deve estar estável em X
4. $R1 \leftarrow R1 + R2$; // O resultado final S estará em R1
// "iniciar" é o sinal de entrada que ordena o início do cálculo
// "pronto" é o sinal que avisa que o cálculo terminou...

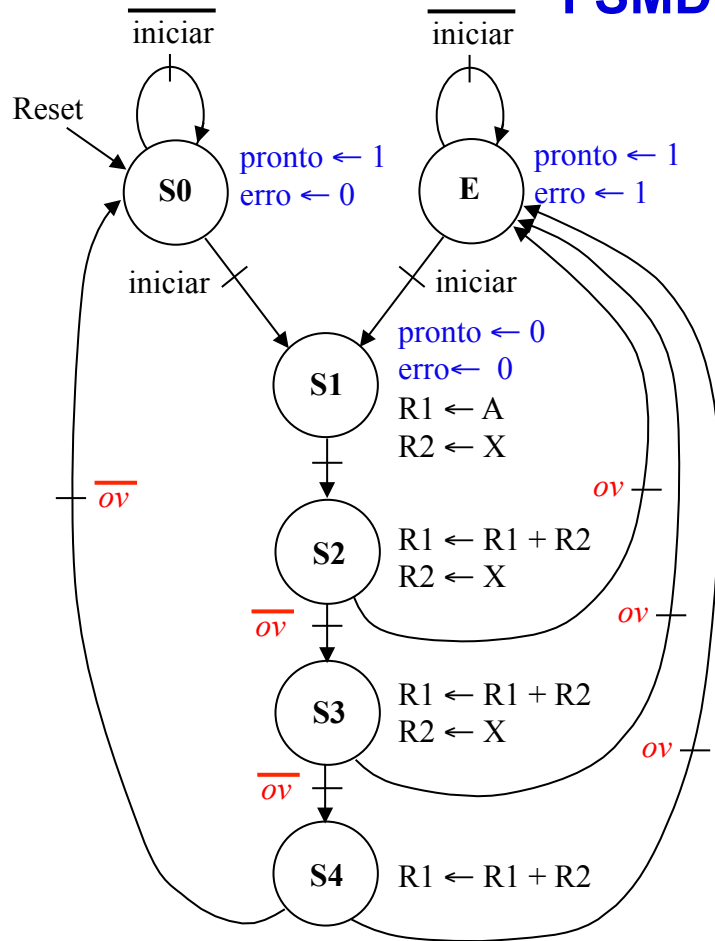


Obs: embora omitido, ck sincroniza as cargas de R1 e R2.

Máquinas Sequenciais Síncronas

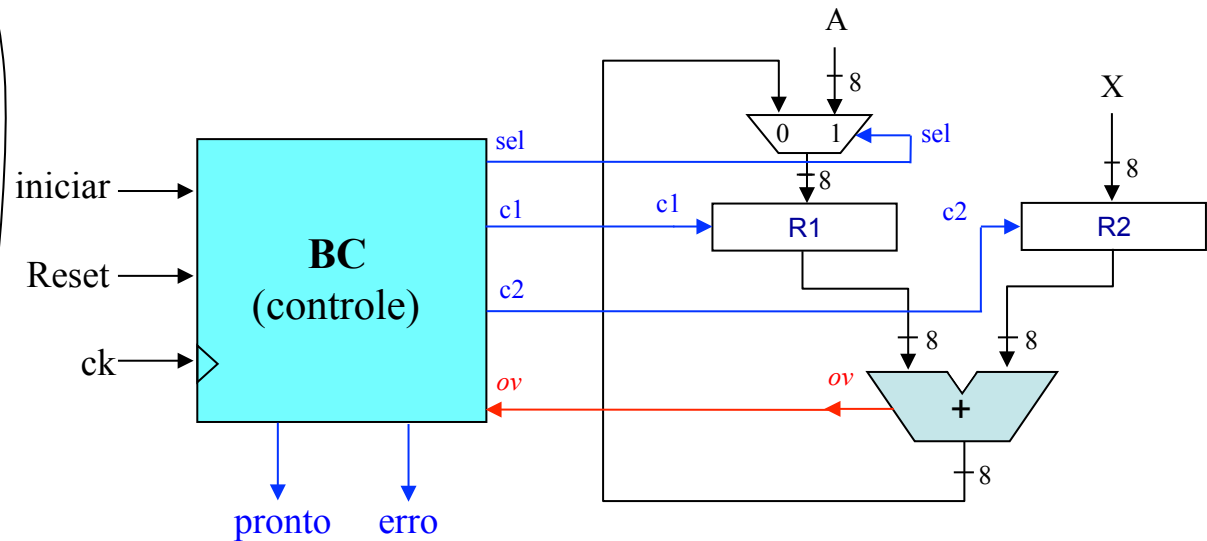
Projetando o Bloco de Controle para a Solução 2.1

FSMD



1. $R1 \leftarrow A$; $R2 \leftarrow X$; // B deve estar estável em X
 2. $R1 \leftarrow R1 + R2$; $R2 \leftarrow X$; // C deve estar estável em X
 3. $R1 \leftarrow R1 + R2$; $R2 \leftarrow X$; // D deve estar estável em X
 4. $R1 \leftarrow R1 + R2$; // O resultado final S estará em R1
- // "iniciar" é o sinal de entrada que ordena o início do cálculo
// "pronto" é o sinal que avisa que o cálculo terminou...

Versão que considera ocorrência de *overflow*

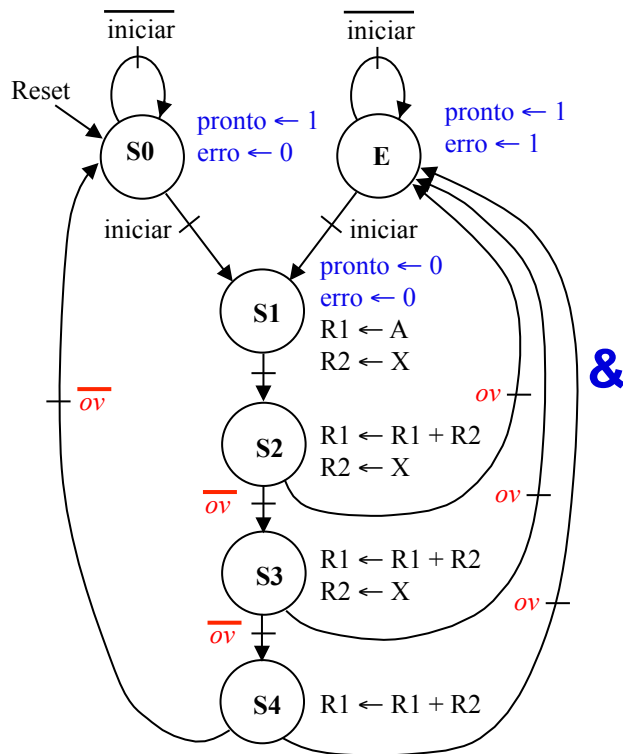


Obs: embora omitido, ck sincroniza as cargas de $R1$ e $R2$.

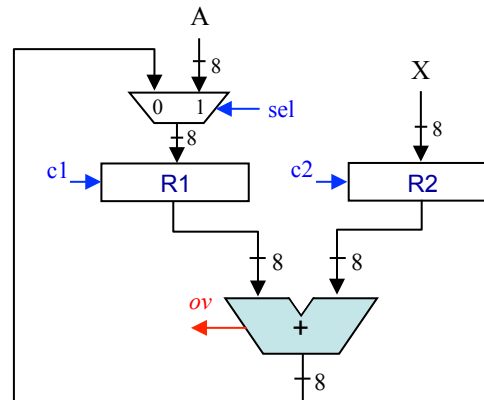
Máquinas Sequenciais Síncronas

Projetando o Bloco de Controle para a Solução 2.1

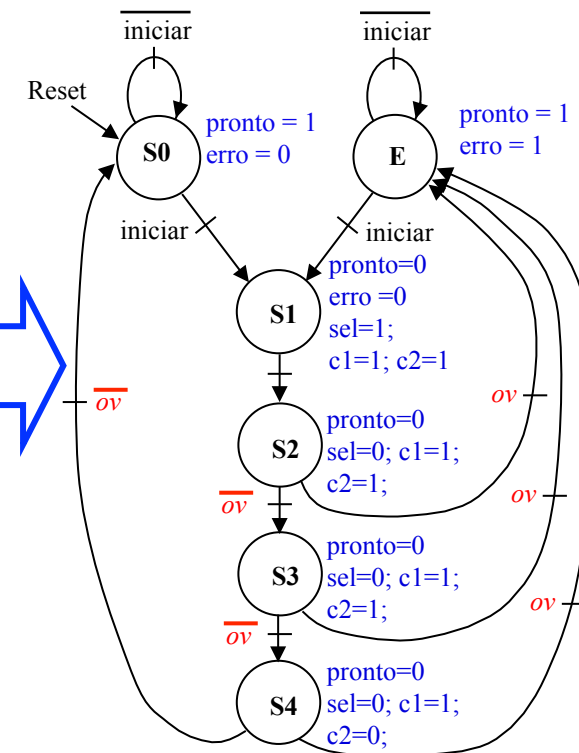
FSMD



B.O.



FSM



Máquinas Sequenciais Síncronas

Projetando o Bloco de Controle para a Solução 2.1

FSM

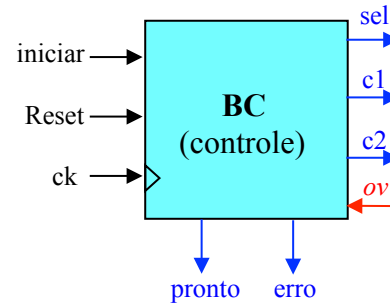
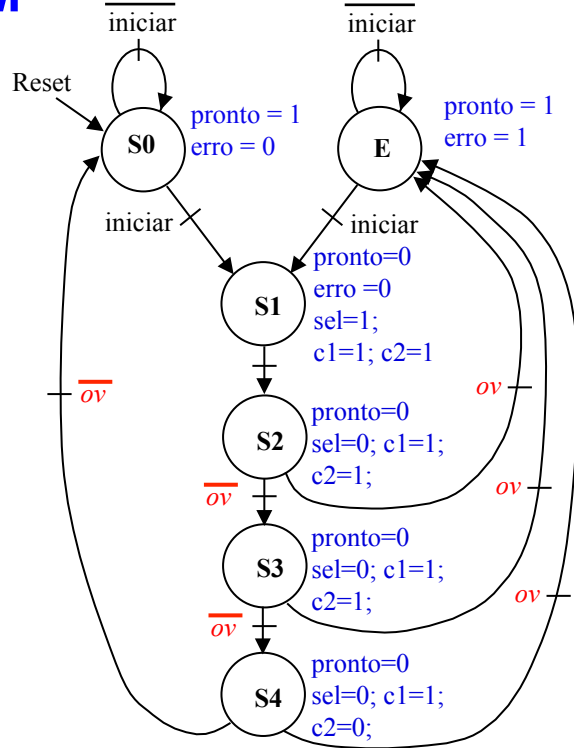


Tabela de Sinais de Saídas

Estado	Sinais de comando			Saídas de controle	
	sel	c1	c2	pronto	erro
E	X	0	0	1	1
S0	X	0	0	1	0
S1	1	1	1	0	0
S2	0	1	1	0	0
S3	0	1	1	0	0
S4	0	1	0	0	0

Máquinas Sequenciais Síncronas

Projetando o Bloco de Controle para a Solução 2.1

FSM

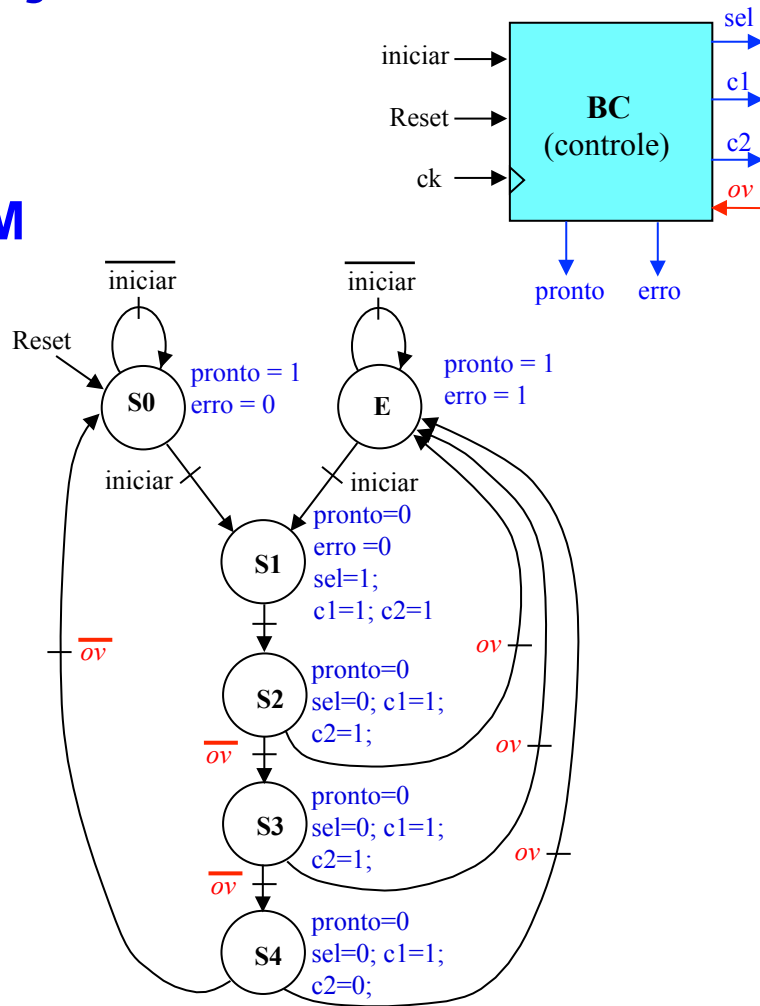


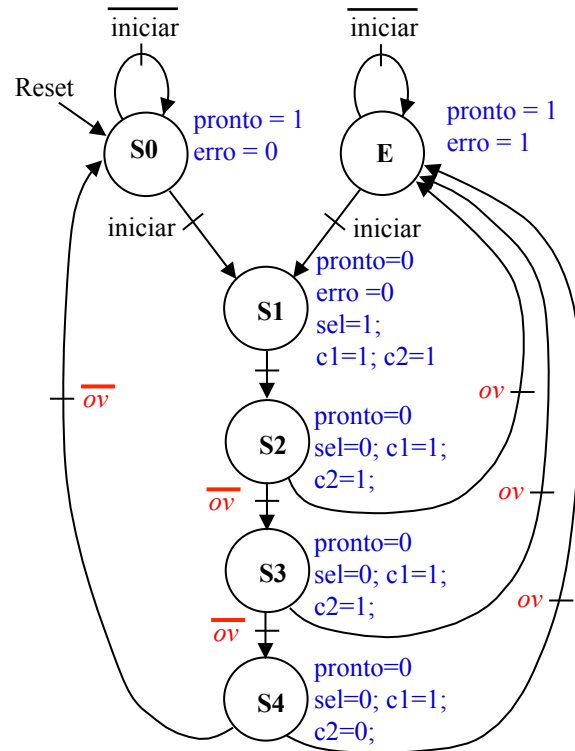
Tabela de Transição de Estados

Estado atual	iniciar	ov	Próximo estado
E	0	X	E
E	1	X	S1
S0	0	X	S0
S0	1	X	S1
S1	X	X	S2
S2	X	0	S3
S2	X	1	E
S3	X	0	S4
S3	X	1	E
S4	X	0	S0
S4	X	1	E

Máquinas Sequenciais Síncronas

Projetando o Bloco de Controle para a Solução 2.1

FSM



Assinalamento de Estados

- Escolher uma codificação binária para representar os estados...
- Se for para minimizar o número de bits, $\log_2 N$, onde N é o número de estados. Exemplo

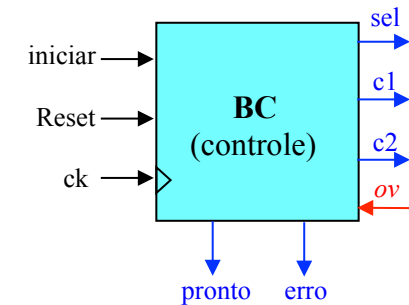
Estado	Código binário		
	Q2	Q1	Q0
E	0	0	0
S0	0	0	1
S1	0	1	0
S2	0	1	1
S3	1	0	0
S4	1	0	1

Máquinas Sequenciais Síncronas

Projetando o Bloco de Controle para a Solução 2.1

Tabela de Sinais de Saídas

Estado	Q2	Q1	Q0	Sinais de comando			Saídas de controle	
				sel	c1	c2	pronto	erro
E	0	0	0	X	0	0	1	1
S0	0	0	1	X	0	0	1	0
S1	0	1	0	1	1	1	0	0
S2	0	1	1	0	1	1	0	0
S3	1	0	0	0	1	1	0	0
S4	1	0	1	0	1	0	0	0



Sinais de comando:
pronto =
erro =

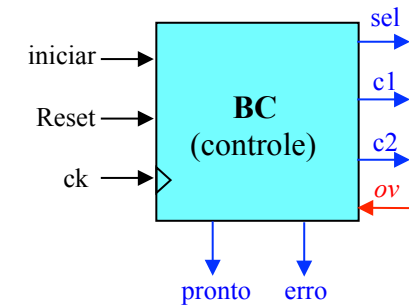
Sinais de controle
sel =
c1 =
c2 =

Máquinas Sequenciais Síncronas

Projetando o Bloco de Controle para a Solução 2.1

Tabela de Transição de Estados

Estado atual	Q2	Q1	Q0	iniciar	ov	Q2 ⁺	Q1 ⁺	Q0 ⁺	Próximo estado
E	0	0	0	0	X	0	0	0	E
E	0	0	0	1	X	0	0		S1
S0	0	0	1	0	X	0	0	1	S0
S0	0	0	1	1	X	0	1	0	S1
S1	0	1	0	X	X	0	1	1	S2
S2	0	1	1	X	0	1	0	0	S3
S2	0	1	1	X	1	0	0	0	E
S3	1	0	0	X	0	1	0	1	S4
S3	1	0	0	X	1	0	0	0	E
S4	1	0	1	X	0	0	0	1	S0
S4	1	0	1	X	1	0	0	0	E



Sinais de Próx. Estado

Q2⁺ =

Q1⁺ =

Q2⁺ =