

《模拟集成电路设计原理》课程项目

唐长文

提交期限: 2015 年 12 月 25 日

课程项目 带 classab 输出级的 rail to rail 放大器

独立完成电路设计, 仿真验证工作, 撰写完整设计报告。设计报告包括: 电路图, Testbench 电路图, 元器件参数, 理论和原理分析, 手工计算, 性能仿真结果等。文档的整洁、排版格式、图中线条和文字的清晰度等占总分的 20%。

工艺为 Chartered 0.35 μm 。

性能指标

DC-Gain	>70 dB
UGB	>200 MHz
PM	>60 deg
Power	<2 mA x 3.3V
Load Capacitor	1 pF

注意:

1. 电路仿真采用 hspice 或 cadence 对电路进行仿真, 仿真可参考相关 Tutorial.
2. 需要在整个输入共模范围内满足增益要求;
3. 可以不采用给定的工艺, 但需要保证消耗的电流在 2 mA 以内;
4. 每份报告请勿超过 10 页, 超出酌情扣分;
5. 报告截止时间: 2015 年 12 月 25 日

参考文献:

- [1] R. Hongervorst and John P.Tero, "A Compact Power-Efficient 3V CMOS Rail-to-Rail Input/Output Operational Amplifier for Cell Libraries," *IEEE J. Solid-State Circuits*, vol. 29, No.12, Dec. 1994.
- [2] R. Hongervorst and Johan H.Huijsing, DESIGN OF LOW-VOLTAGE, LOW-POWER OPERATIONAL AMPLIFIER CELLS. The Netherlands: Kluwer, 2000.

说明:

- 1) 文字: 中文采用“楷体_GB2312”字体, “小四”; 英文采用“Arial”, “12pt”。文中的所有字母和数字采用“Arial”字体, 标点符号采用中文“楷体_GB2312”字体
- 2) 页面设置: “A4”, 上下页边距 2cm, 左右页边距 2.5cm, 行间距: 1.25 倍
- 3) 电路图: 采用 Visio 软件画电路图, 使用提供的 Visio 电路图库, 在 400%比例尺下画图; 采用英文标注, 英文字为 8pt 的 Arial 字体; 电路图插入到文中时, 请使用 150%比例尺
- 4) 波型图: 确保线条和文字清晰可辨, 尽量采用 Matlab 作图, 线条粗细合理
- 5) 方程式使用 MathType 软件编辑, 使用“Arial”字体, 大小“12pt”。