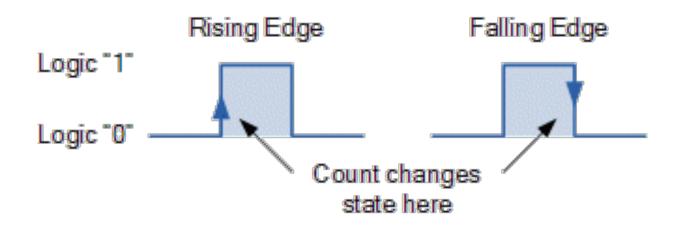
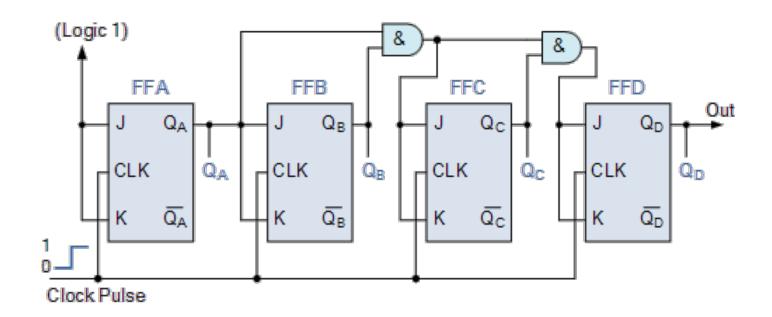
Circuitos Digitales Avanzados

Circuito MSI Contador 74163

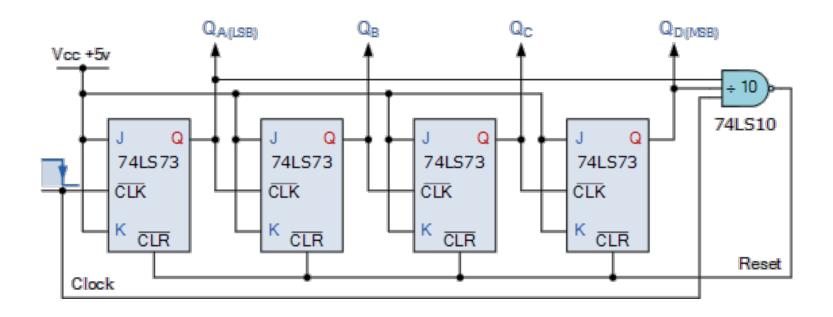
Flancos de reloj

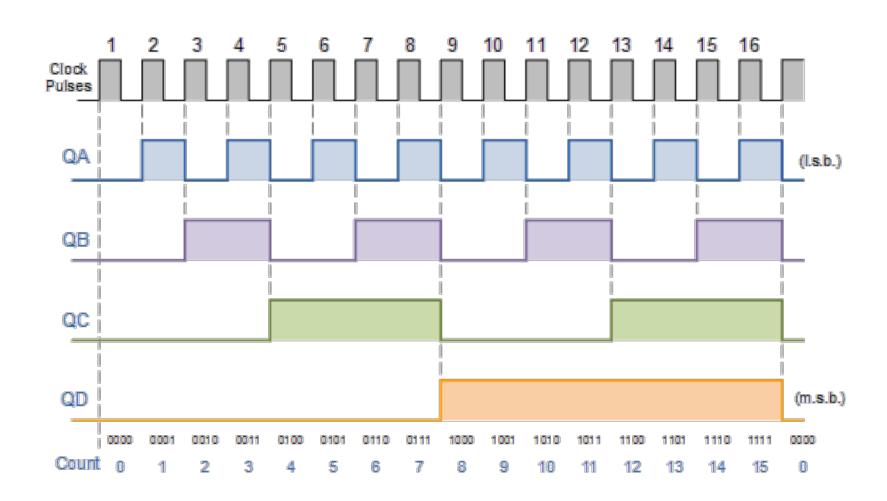


Contador Síncrono



Contador Asíncrono





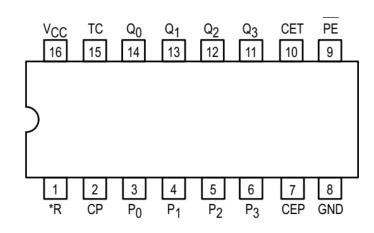


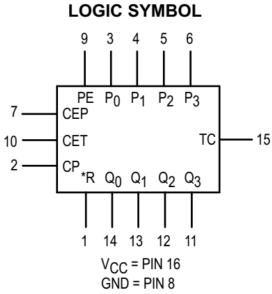
Descripción - 74LS163

El contador 74LS163A es un contador síncronos de 4 bits de alta velocidad. Es activado por flanco, preestablecidos de forma síncrona, puede usarse en cascada para conteo, direccionamiento de memoria, división de frecuencia y otras aplicaciones.

El 74LS163A tienen una entrada de Restablecimiento Sincrónico (CLR) que anula todas las demás entradas de control, pero está es funcional solo durante el flanco ascendente de reloj.

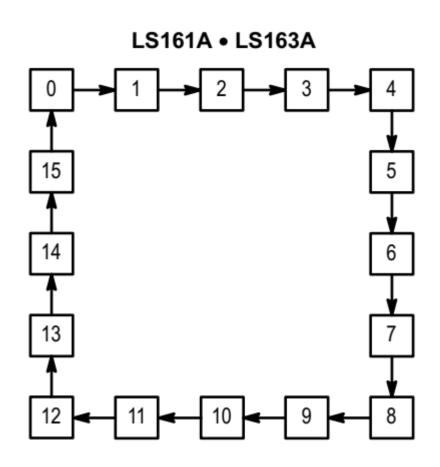
CONNECTION DIAGRAM DIP (TOP VIEW)





Modos de operación

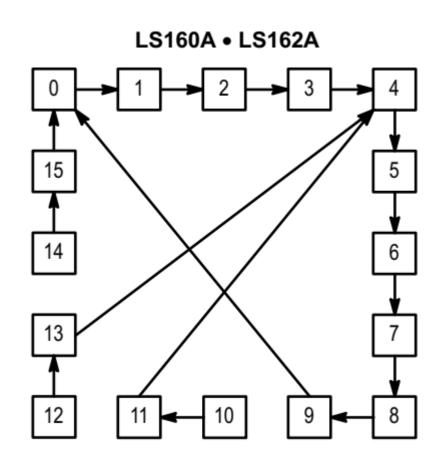
Diagrama de Estrados





Modos de operación

Diagrama de Estrados – para versión BCD



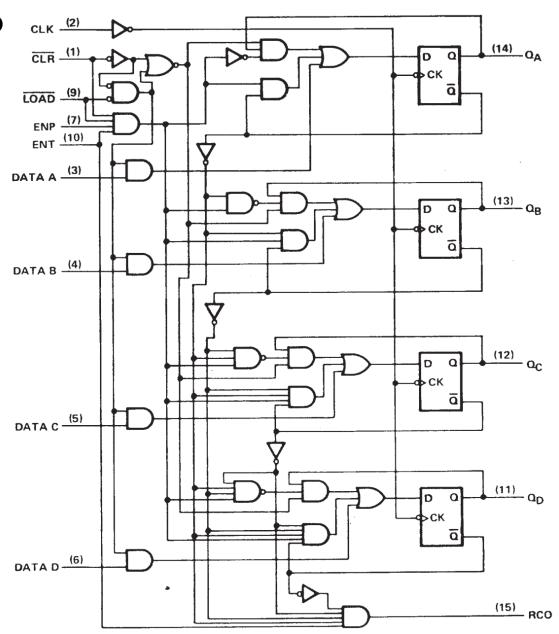
Modos de operación

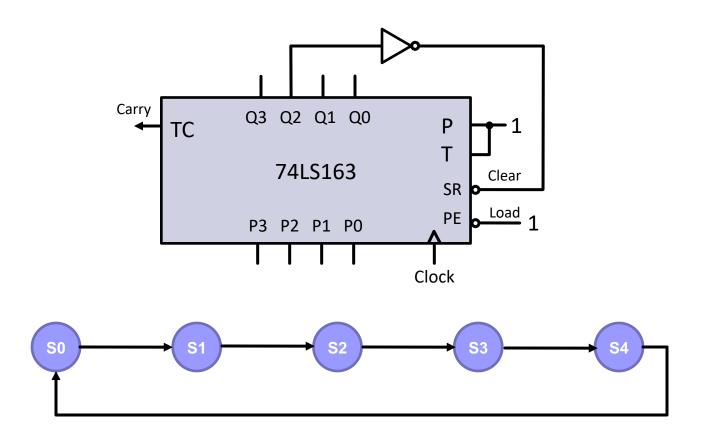
Tabla de operación

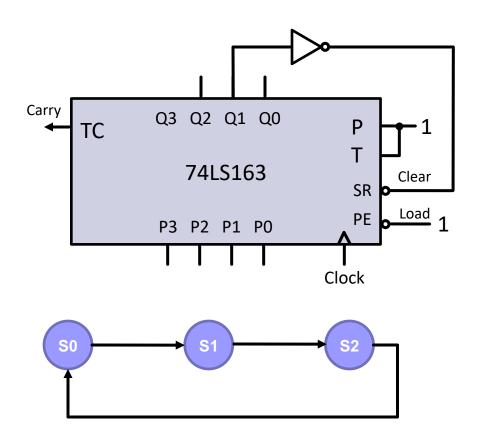
MODE SELECT TABLE

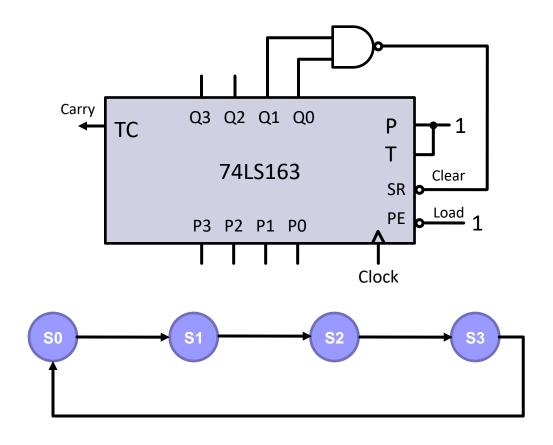
*SR	PE	CET	CEP	Action on the Rising Clock Edge (-		
L	Х	Х	Х	RESET (Clear)		
Н	L	Х	X LOAD $(P_n \rightarrow Q_n)$			
Н	Н	Н	Н	COUNT (Increment)		
Н	Н	L	Х	NO CHANGE (Hold)		
Н	Н	Χ	L	NO CHANGE (Hold)		

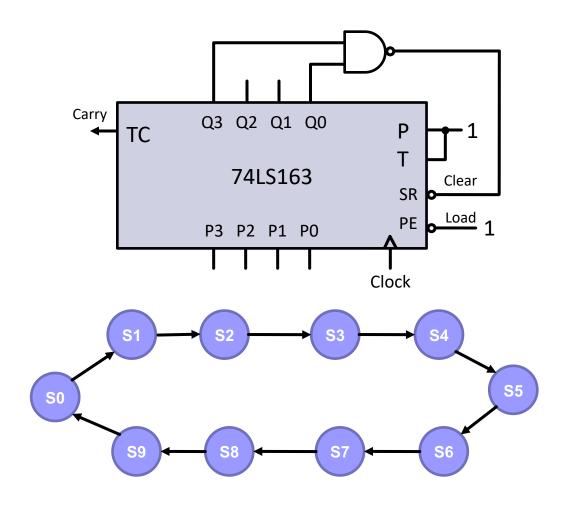
Diagrama interno clk (2)

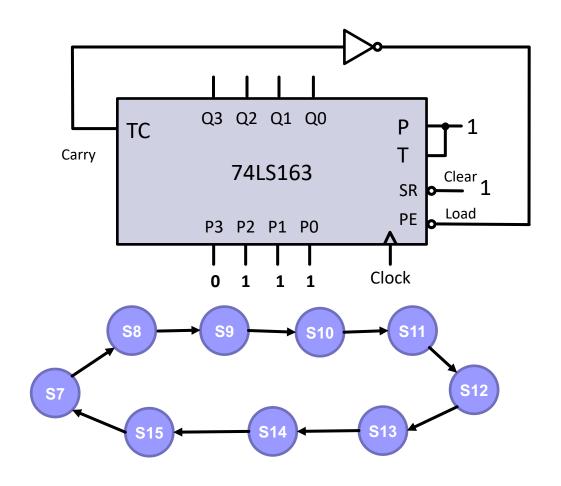






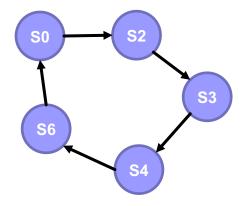






- Secuencia cíclica arbitraria: 0,2,3,4,6

Diagrama de Estados



- Secuencia cíclica arbitraria: 0,2,3,4,6

Tabla de transición de Estados

Estado Actual	Próximo Estado
S0	S2
S2	S 3
S 3	S4
S4	S6
S6	S0

- Secuencia cíclica arbitraria: 0,2,3,4,6

Derivación de Entradas para el contador 74LS163

Condiciones de entrada Salida Deseada								
	Salida Deseada							
Estado Actual (Q3 Q2 Q1 Q0)	LOAD	CLR	P	Т	P3 P2 P1 P0	Estado Próximo (Q3 ⁺ Q2 ⁺ Q1 ⁺ Q0 ⁺)		
S0	0	1	1	1	X 0 1 0	S2		
S1	-	-	-	-	-	-		
S2	1	1	1	1	xxxx	S 3		
S3	1	1	1	1	xxxx	S4		
S4	0	1	1	1	X 1 1 0	S 6		
S5	-	-	•	-	-	•		
S6	1	0	1	1	x x x x	S0		
S 7	-	-	-	-	-	-		

Notas

Cargar 2

← No se usa

Conteo

Conteo

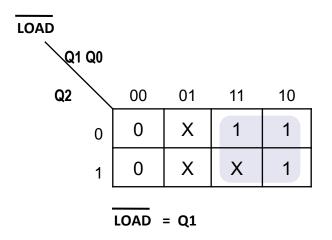
Cargar 6

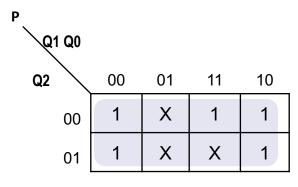
No se usa

← Borrar

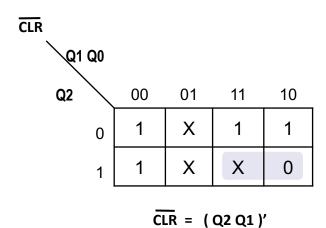
← No se usa

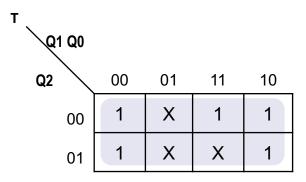
- Secuencia cíclica arbitraria: 0,2,3,4,6





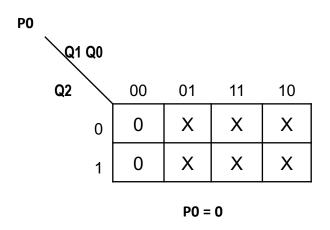
P = 1

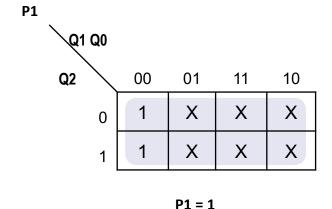


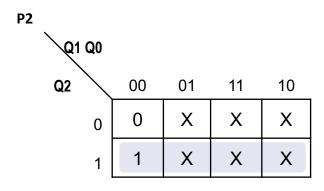


T = 1

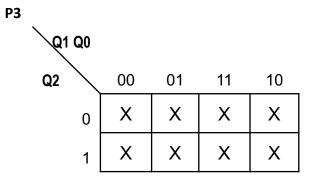
- Secuencia cíclica arbitraria: 0,2,3,4,6





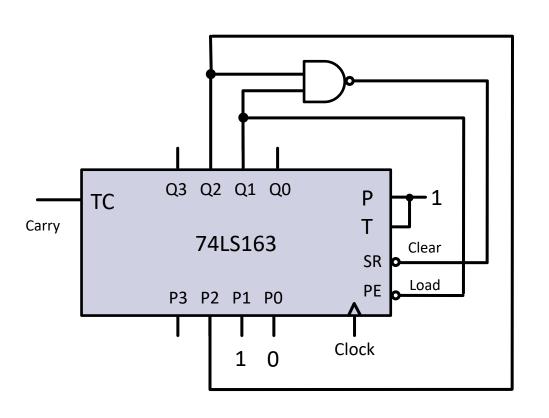


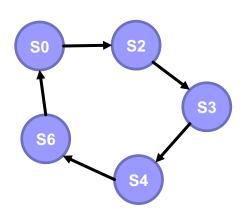
P2 = Q2



P3 = X

- Secuencia cíclica arbitraria: 0,2,3,4,6





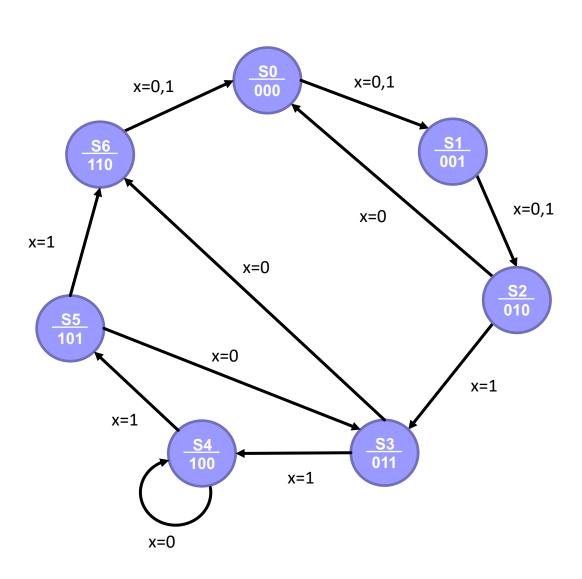


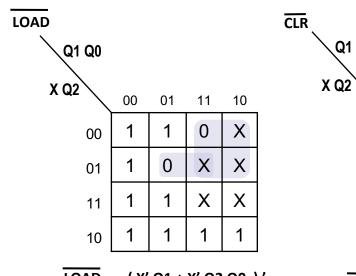
Tabla de transición de Estados

Entrada x	Estado Actual	Próximo Estado	
	S0	S 1	
	S 1	S2	
	S2	S0	
x=0	S 3	S6	
	S4	S4	
	S 5	S 3	
	S 6	S0	
	S0	S1	
	S 1	S2	
	S2	S3	
x=1	S 3	S4	
	S4	S 5	
	S 5	S6	
	S6	S0	

Derivación de Entradas para el contador 74LS163

	Co	Salida Deseada					
x	Estado Actual Sx (Q2 Q1 Q0)	LOAD	CLR	Р	Т	P2 P1 P0	Estado Próximo Sx (Q2 ⁺ Q1 ⁺ Q0 ⁺)
	S0(000)	1	1	1	1	x x x	S1 (001)
	S1 (001)	1	1	1	1	x x x	S2 (0 1 0)
	S2 (010)	X	0	Х	Х	x x x	S0(000)
0	S3 (011)	0	1	Х	X	1 1 0	S6 (110)
x=0	S4 (1 0 0)	1	1	0	0	ххх	S4 (1 0 0)
	S5 (101)	0	1	Х	Х	0 1 1	S3 (011)
	S6 (110)	X	0	Х	Х	ххх	S0(000)
	S7 (111)	Х	Х	Х	Х	ххх	-
	S0(000)	1	1	1	1	ххх	S1 (0 0 1)
	S1 (001)	1	1	1	1	ххх	S2 (0 1 0)
	S2 (0 1 0)	1	1	1	1	ххх	S3 (011)
	S3 (011)	1	1	1	1	ххх	S4 (1 0 0)
x=1 -	S4 (1 0 0)	1	1	1	1	ххх	S5 (101)
	S5 (101)	1	1	1	1	ххх	S6 (110)
	S6 (110)	Х	0	Х	Х	ххх	S0 (0 0 0)
	S7 (111)	Х	Х	Х	X	ххх	-





LOAD	=	(X' Q1 + X' Q2 Q0)′

CLR Q1 Q0				
X Q2	00	01	11	10
00	1	1	1	0
01	1	1	X	0
11	1	1	X	0
10	1	1	1	1

CLR =	02 0	1 + X'	01	00)

