

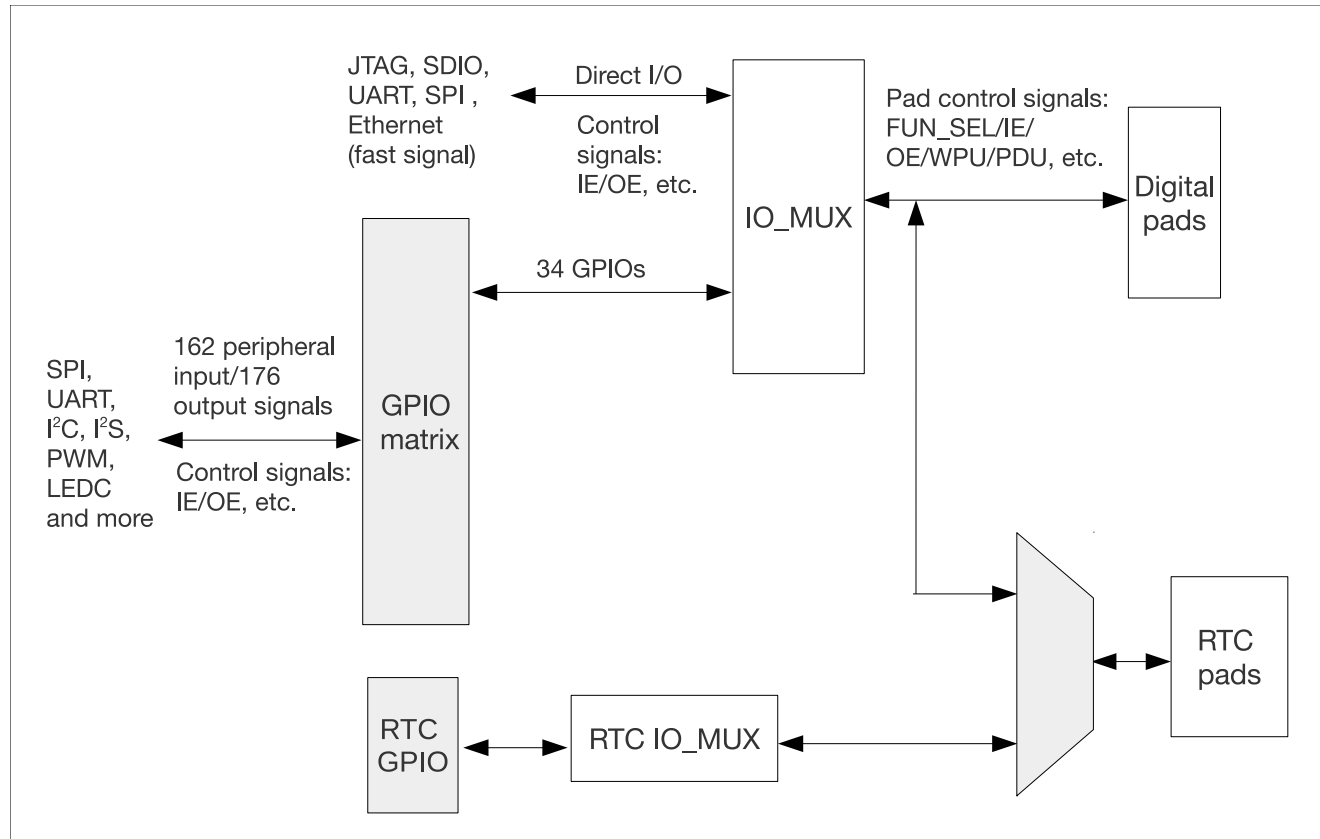
# Microcontrolador ESP32

GPIOs

---

# Entradas – Salidas de Proposito General (GPIOs)

El ESP32 cuenta con 34 terminales GPIO físicas. Cada terminal se puede utilizar como E/S de uso general o conectarse a una señal periférica interna. El IO\_MUX, RTC IO\_MUX y la matriz GPIO son responsables de enrutar las señales de los periféricos a las terminales GPIO.



Descripción general de la matriz IO\_MUX, RTC IO\_MUX y GPIO

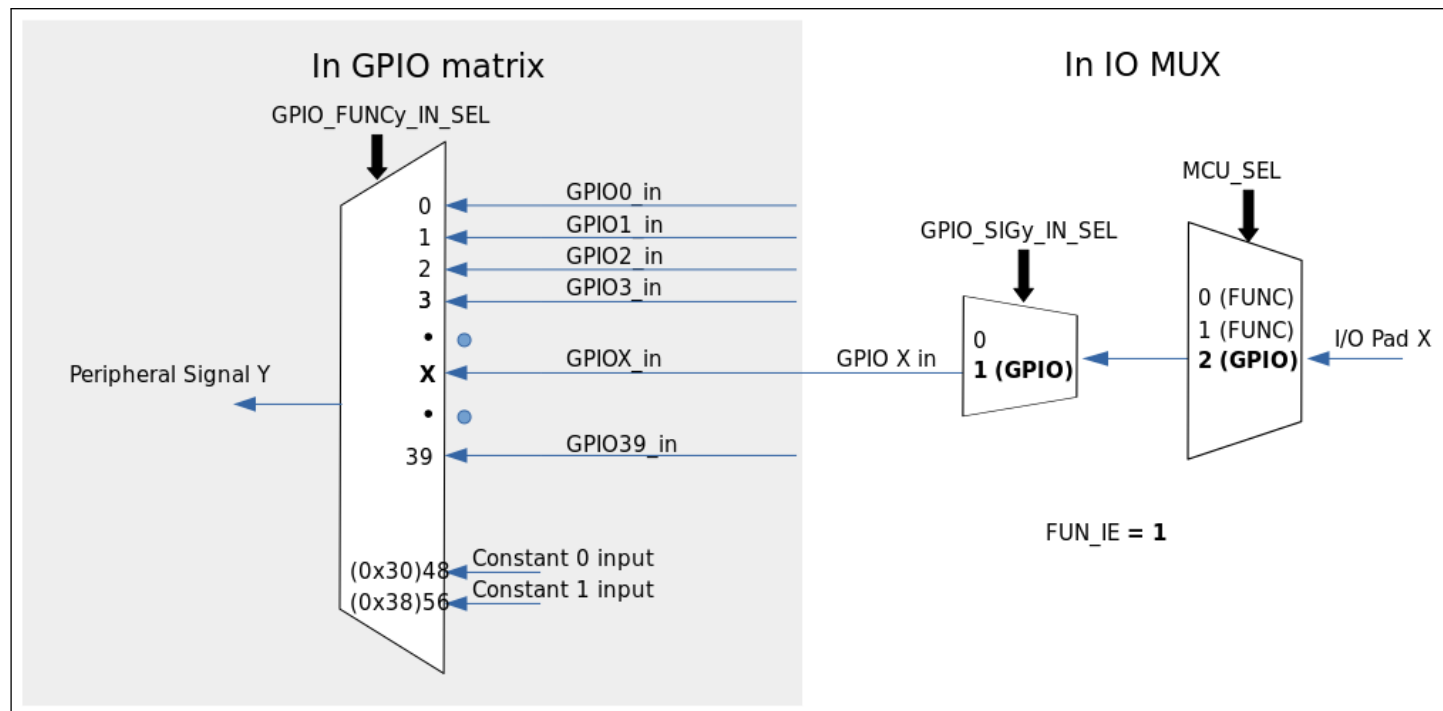
# Entradas – Salidas de Proposito General (GPIOs)

1. El **IO\_MUX** contiene un registro por terminal GPIO. Cada terminal se puede configurar para realizar una función "GPIO" (cuando está conectado a GPIO Matrix) o una función directa (sin pasar por GPIO Matrix).  
Algunas funciones digitales de alta velocidad (Ethernet, SDIO, SPI, JTAG, UART) pueden pasar por alto la matriz GPIO para un mejor rendimiento digital de alta frecuencia. En este caso, el IO\_MUX se usa para conectar las terminales directamente al periférico).
2. La matriz GPIO es una matriz de conmutación completa entre las señales de entrada/salida periféricas y las terminales.
  - Para la entrada al chip: cada una de las 162 entradas periféricas internas puede seleccionar cualquier terminal GPIO como fuente de entrada.
  - Para salida desde el chip: La señal de salida de cada una de los 34 terminales GPIO puede ser de una de las 176 señales de salida periféricas.
3. **RTC IO\_MUX** se utiliza para conectar las terminales GPIO a sus funciones analógicas y de baja potencia. Solo un subconjunto de las terminales GPIO tiene estas funciones "RTC" opcionales.

# Entrada de periféricos a través de GPIO Matrix

Para recibir una señal de entrada periférica a través de GPIO Matrix, GPIO Matrix está configurada para generar el índice de entrada de la señal periférica (0-18, 23-36, 39-58, 61-90, 95-124, 140-155, 164- 181, 190-195, 198-206) de uno de los 34 GPIO (0-19, 21-23, 25-27, 32-39).

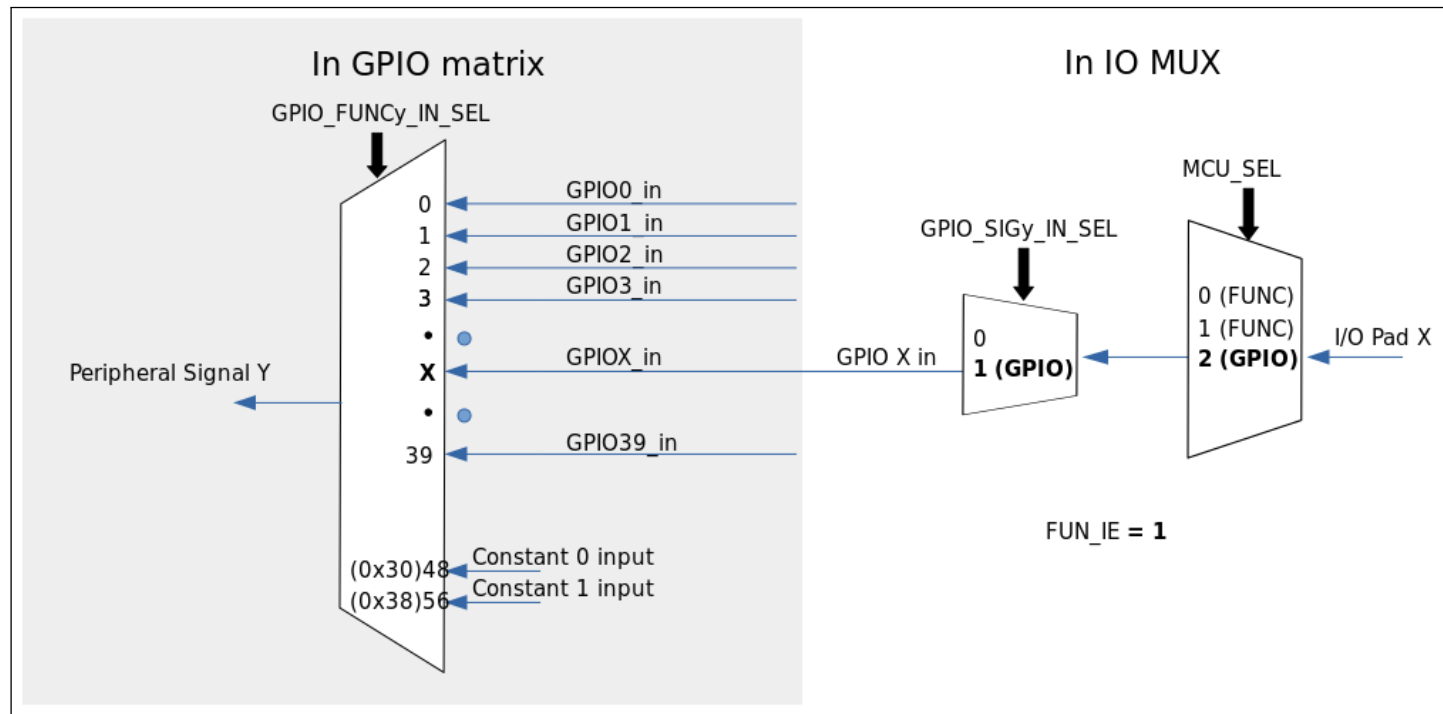
La señal de entrada se lee desde la terminal GPIO a través de IO\_MUX. El IO\_MUX debe configurarse para establecer la terminal elegida con la función "GPIO". Esto hace que la señal de entrada de la termina GPIO se enrute a la matriz GPIO, que a su vez la enruta a la entrada periférica seleccionada.



Entrada a periféricos a través de IO\_MUX, GPIO Matrix

# Entrada GPIO simple

El registro GPIO\_IN\_REG/GPIO\_IN1\_REG contiene los valores de entrada de cada terminal GPIO. El valor de entrada de cualquier pin GPIO se puede leer en cualquier momento sin configurar GPIO Matrix para una señal periférica en particular. Sin embargo, es necesario habilitar la entrada en el IO\_MUX configurando el bit FUN\_IE en el registro IO\_MUX\_x\_REG correspondiente al terminal X,

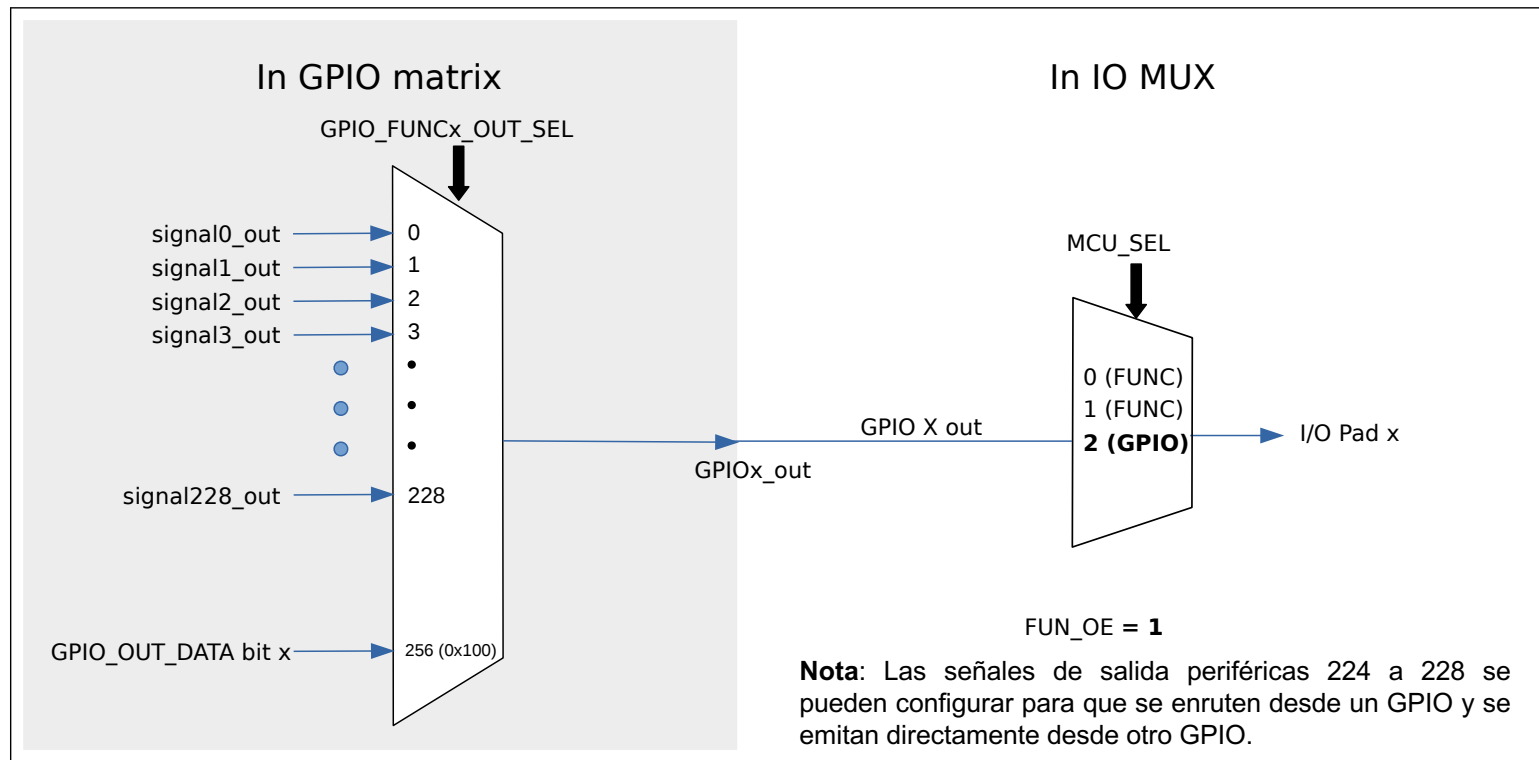


Entrada a periféricos a través de IO\_MUX, GPIO Matrix

# Salida de periféricos a través de GPIO Matrix

Para enviar una señal desde un periférico a través de GPIO Matrix, GPIO Matrix es configurado para enrutar la señal de salida del periférico (0-18, 23-37, 61-121, 140-125, 224-228) a uno de los 28 GPIO. (0-19, 21-23, 25-27, 32-33).

La señal de salida se enruta desde el periférico a la matriz GPIO. Luego se enruta al IO\_MUX, el cual es configurado para establecer la función "GPIO". Esto hace que la señal GPIO de salida se conecte al pad.



Salida a través de GPIO Matrix

# Salida GPIO simple

La Matriz GPIO también se puede usar para una salida GPIO simple – escribiendo un bit en el registro GPIO\_OUT\_DATA se escribirá en la correspondiente terminal GPIO.

Para configurar una terminal como salida GPIO simple, el registro GPIO\_FUNCx\_OUT\_SEL de GPIO Matrix se configura con un valor especial de índice de periférico (0x100).

Table 13: DC Characteristics (3.3 V, 25 °C)

Symbol	Parameter		Min	Typ	Max	Unit
$C_{IN}$	Pin capacitance		-	2	-	pF
$V_{IH}$	High-level input voltage		$0.75 \times VDD^1$	-	$VDD^1 + 0.3$	V
$V_{IL}$	Low-level input voltage		-0.3	-	$0.25 \times VDD^1$	V
$I_{IH}$	High-level input current		-	-	50	nA
$I_{IL}$	Low-level input current		-	-	50	nA
$V_{OH}$	High-level output voltage		$0.8 \times VDD^1$	-	-	V
$V_{OL}$	Low-level output voltage		-	-	$0.1 \times VDD^1$	V
$I_{OH}$	High-level source current ( $VDD^1 = 3.3$ V, $V_{OH} \geq 2.64$ V, output drive strength set to the maximum)	VDD3P3_CPU power domain <sup>1, 2</sup>	-	40	-	mA
		VDD3P3_RTC power domain <sup>1, 2</sup>	-	40	-	mA
		VDD_SDIO power domain <sup>1, 3</sup>	-	20	-	mA
$I_{OL}$	Low-level sink current ( $VDD^1 = 3.3$ V, $V_{OL} = 0.495$ V, output drive strength set to the maximum)		-	28	-	mA
$R_{PU}$	Resistance of internal pull-up resistor		-	45	-	k $\Omega$
$R_{PD}$	Resistance of internal pull-down resistor		-	45	-	k $\Omega$
$V_{IL\_nRST}$	Low-level input voltage of CHIP_PU to power off the chip		-	-	0.6	V

# Características de DC

**Table 13: DC Characteristics (3.3 V, 25 °C)**

Symbol	Parameter		Min	Typ	Max	Unit
$C_{IN}$	Pin capacitance		-	2	-	pF
$V_{IH}$	High-level input voltage		$0.75 \times VDD^1$	-	$VDD^1 + 0.3$	V
$V_{IL}$	Low-level input voltage		-0.3	-	$0.25 \times VDD^1$	V
$I_{IH}$	High-level input current		-	-	50	nA
$I_{IL}$	Low-level input current		-	-	50	nA
$V_{OH}$	High-level output voltage		$0.8 \times VDD^1$	-	-	V
$V_{OL}$	Low-level output voltage		-	-	$0.1 \times VDD^1$	V
$I_{OH}$	High-level source current ( $VDD^1 = 3.3$ V, $V_{OH} \geq 2.64$ V, output drive strength set to the maximum)	VDD3P3_CPU power domain <sup>1, 2</sup>	-	40	-	mA
		VDD3P3_RTC power domain <sup>1, 2</sup>	-	40	-	mA
		VDD_SDIO power domain <sup>1, 3</sup>	-	20	-	mA
$I_{OL}$	Low-level sink current ( $VDD^1 = 3.3$ V, $V_{OL} = 0.495$ V, output drive strength set to the maximum)		-	28	-	mA
$R_{PU}$	Resistance of internal pull-up resistor		-	45	-	k $\Omega$
$R_{PD}$	Resistance of internal pull-down resistor		-	45	-	k $\Omega$
$V_{IL\_nRST}$	Low-level input voltage of CHIP_PU to power off the chip		-	-	0.6	V