

Práctica 0: Apendice. Uso del Laboratorio Remoto

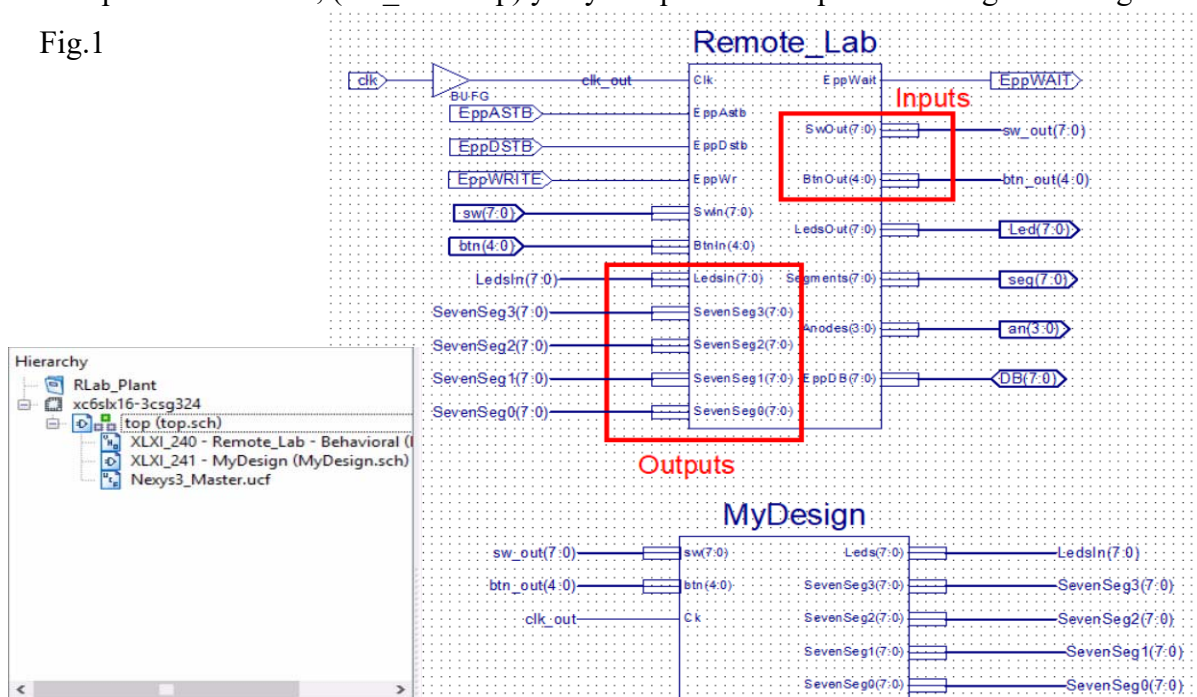
Introducción:

En este documento se presentan los recursos y el procedimiento empleados para adaptar los diseños de prácticas realizados con Xilinx “ISE Design Suite” “Project Manager” y trabajar con el Laboratorio Remoto. Los elementos incorporados permiten probar los diseños de las prácticas accediendo a una placa Nexys3 de forma remota a través de la web <http://fpga-lab.uma.es/>, trabajando tal y como si se dispusiera de ella físicamente en el laboratorio de electrónica.

Procedimiento:

Para realizar cualquier práctica partiremos del proyecto plantilla denominado: **RL_Plant**, que está disponible en el CV, (RL_Plant.zip) y cuyo esquemático top.sch se recoge en la Fig. 1:

Fig.1



Este proyecto incluye el módulo **Remote_Lab** que implementa el interfaz de nuestro diseño con el hardware del laboratorio remoto, y el bloque **MyDesign**, dentro del cual se incluirá el diseño de cada práctica. En esta plantilla, este módulo da acceso a una hoja de esquemáticos en blanco, en la que solo se han incorporado los puertos que corresponden a todas las posibles conexiones entrada/salida del bloque, y que son las que habitualmente se emplean en estas prácticas para interactuar con la placa Nexys3, como muestra la siguiente imagen (Fig.2).

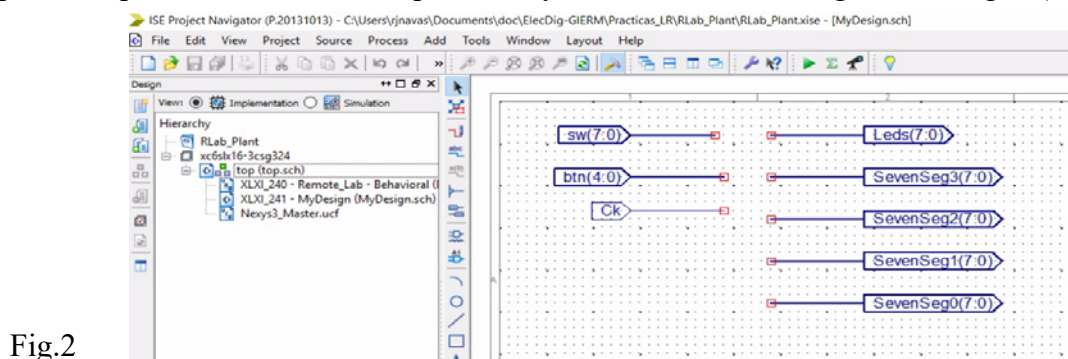


Fig.2

En este bloque, como entradas tenemos la señal de reloj de la placa **ck**; el bus de pulsadores **btn(4:0)** y el bus de interruptores **sw(7:0)**, y como salidas el bus de ledes **Leds(7:0)** y los cuatro buses que permiten representar información en cada uno de los cuatro display 7 segmentos **SevenSeg3(7:0)**, **SevenSeg2(7:0)**, **SevenSeg1(7:0)** y **SevenSeg0(7:0)**.

Nota que en la Fig.1 las entadas de **MyDesign** son salidas del bloque **Remote_Lab** y las salidas de **MyDesign** son entradas de **Remote_Lab**.

Así pues, siguiendo este esquema los diseños de las prácticas se incorporaran a este proyecto como bloques dentro del bloque **MyDesign** y utilizaran los puertos de entrada y salida de esté módulo como si este fuera el nivel de jerarquía “top” de nuestro diseño. El fichero que se programa en la Nexys3 (top.bit) será el que se genera desde el nivel más alto de la jerarquía de este proyecto, (top.sch) que incluye además de el diseño de la práctica, la circuitería de interfaz de **Remote_Lab**. Nota que en el árbol de diseño de este proyecto también aparece el fichero **Nexys3_Master.ucf**, que en este procedimiento no es necesario modificar, puesto que ya se ofrece configurado para las prácticas programadas.

Para trabajar en las prácticas bastará con hacer una copia del proyecto plantilla y darle el nombre de nuestro proyecto. A continuación, se abrirá dicho proyecto, y tras entrar en el módulo **MyDesign**, se añadirán en él los módulos y componentes que constituyan el diseño de la práctica. Nota que en este caso, no es necesario utilizar el módulo **Disp7SegCtrl**, puesto que su funcionalidad se ha incluido aquí en el módulo **Remote_Lab**. Recuerda que el módulo **Disp7SegCtrl**, que se describe en el guion Practica0, era un módulo prediseñado y que era necesario utilizar para visualizar datos en los displays 7 segmentos de la placa Nexys3.

Como ejemplo, a continuación veremos cómo hacer una copia del proyecto plantilla, y en su caso, cómo adaptar el proyecto ya creado practica0 al laboratorio remoto. Llamaremos a este proyecto practica0_RL.

Cómo adaptar un proyecto al Laboratorio Remoto.

En primer lugar abrimos el proyecto RL_Plant en el “ISE Design Suite Project Navigator”, y en la pestaña *File* seleccionamos la opción “Copy Project” como muestra la Fig.3.

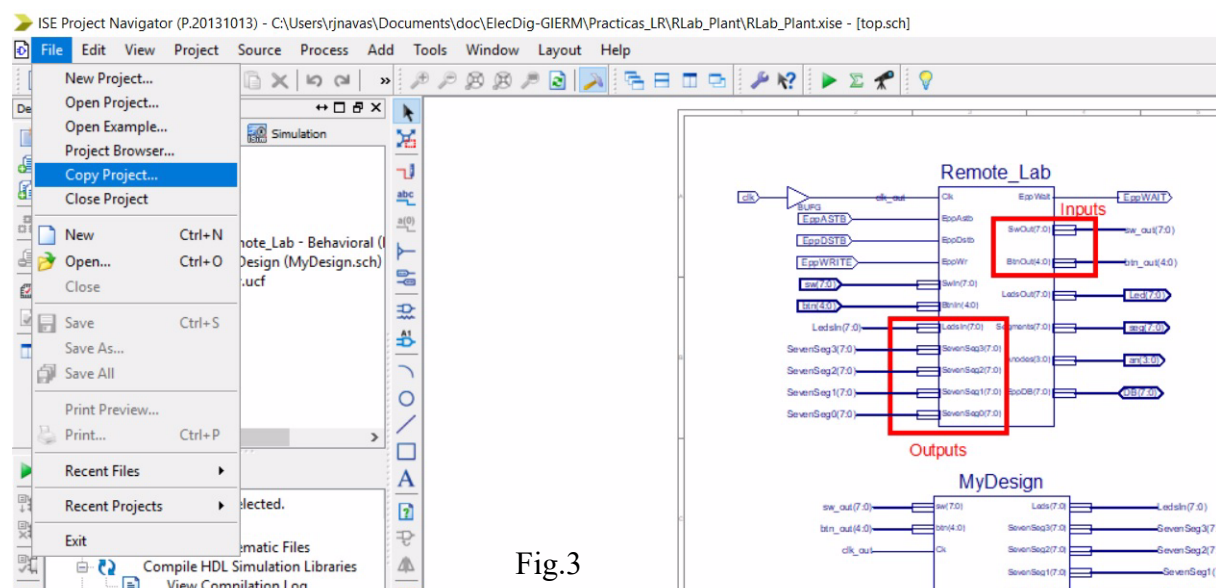


Fig.3

A continuación se completan los datos del formulario que aparece en la ventana emergente, indicando la ubicación y el nombre del proyecto copia (P0_RL en este ejemplo). Por defecto, indicando solo el nombre, el programa crea también una nueva carpeta con dicho nombre para

incluir el proyecto copiado. Marcaremos también las opciones de copia que se muestran en la Fig.4. De forma que tengamos una copy de todos los fichero que forman el proyecto original; y que una vez creado, sea el nuevo proyecto el que se abra en Project Navigator.

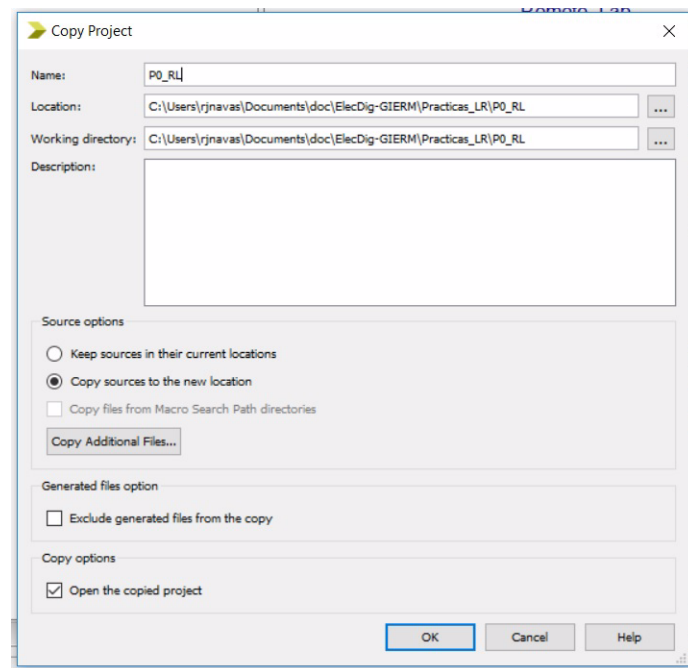


Fig.4

A continuación, añadimos una copia (Project->Add Copy of Source) de todos los módulos que forman el diseño del proyecto que queremos adaptar al Laboratorio Remoto, en este caso, todos los bloques que forman parte de la **practica0**. Estos son: clk_div.vhd, bcd_counter.vhd, BCD_2_7seg.vhd y sel2a1.sch. Ahora, cerramos el proyecto **P0_RL**, abrimos el proyecto **practica0** y seleccionamos el esquemático que queremos copiar, incluyendo todos los elementos salvo el módulo **Disp7SegCtrl** que como hemos dicho no se necesita para el Laboratorio Remoto (ver Fig.5). Tras la selección, hacemos una copia (copy).

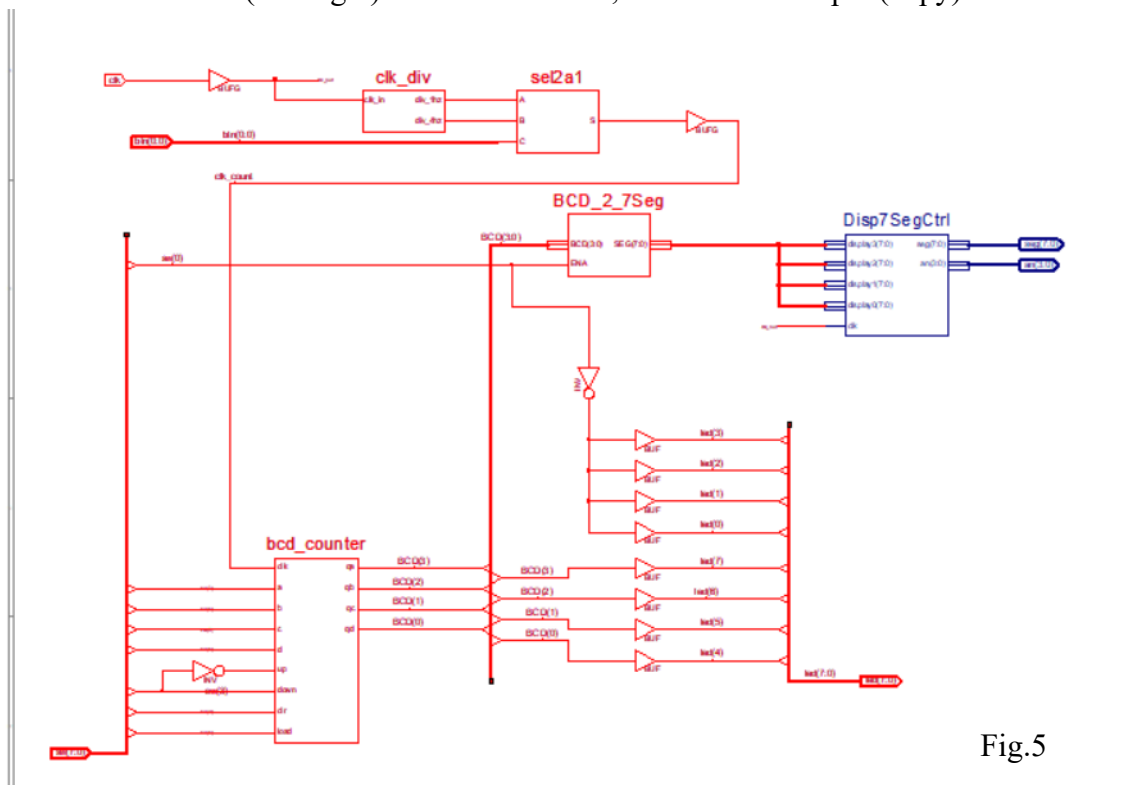


Fig.5

A continuación, cerramos el proyecto **practica0** y abrimos de nuevo el proyecto **P0_RL**. Entramos en la hoja de dibujo del módulo **MyDesign** y hacemos un pegado del contenido del portapapeles utilizando la opción (paste special) y seleccionando la opción “*Keep original name for all nets*” en la ventana emergente que aparece (ver Fig.6).

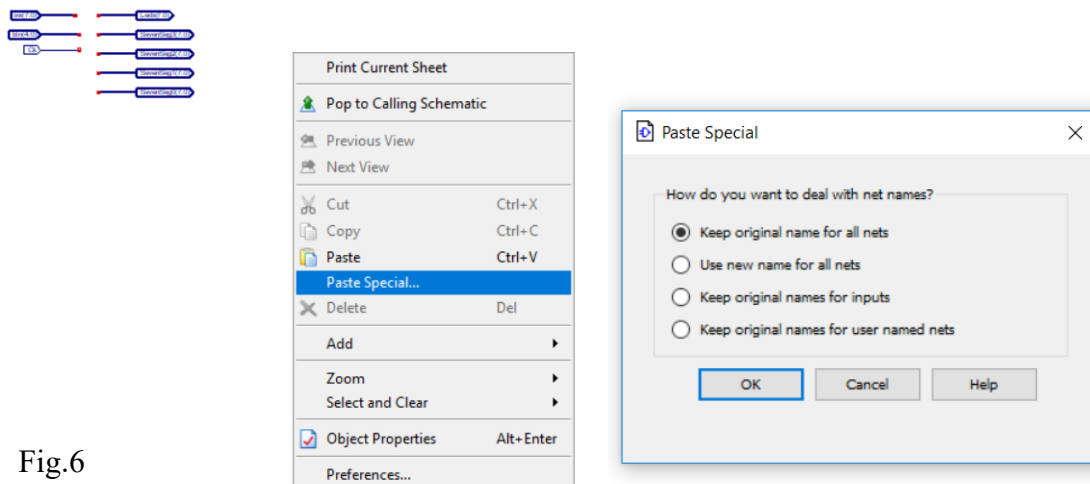


Fig.6

Tras la copia el esquemático de MyDesign resulta como muestra la Fig.7:

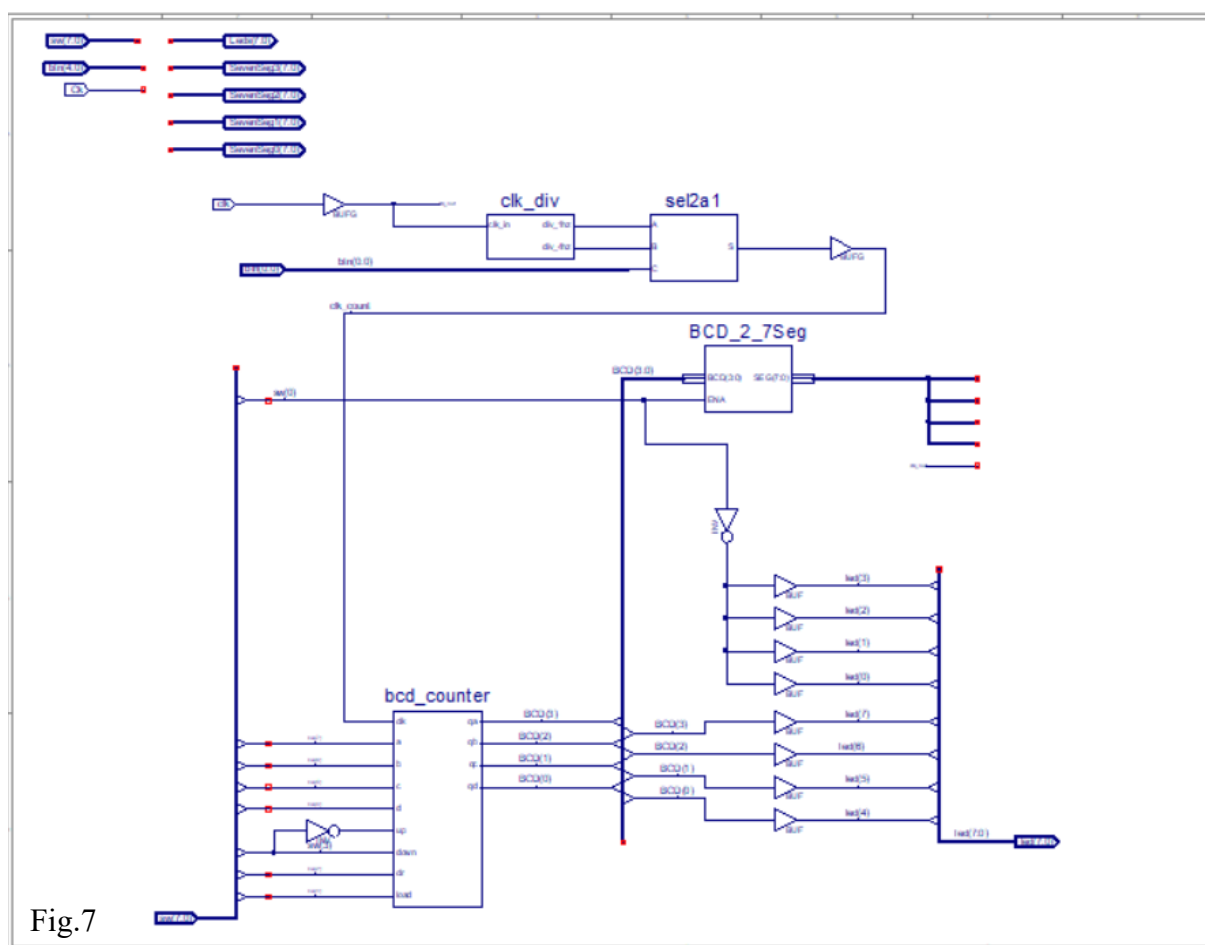
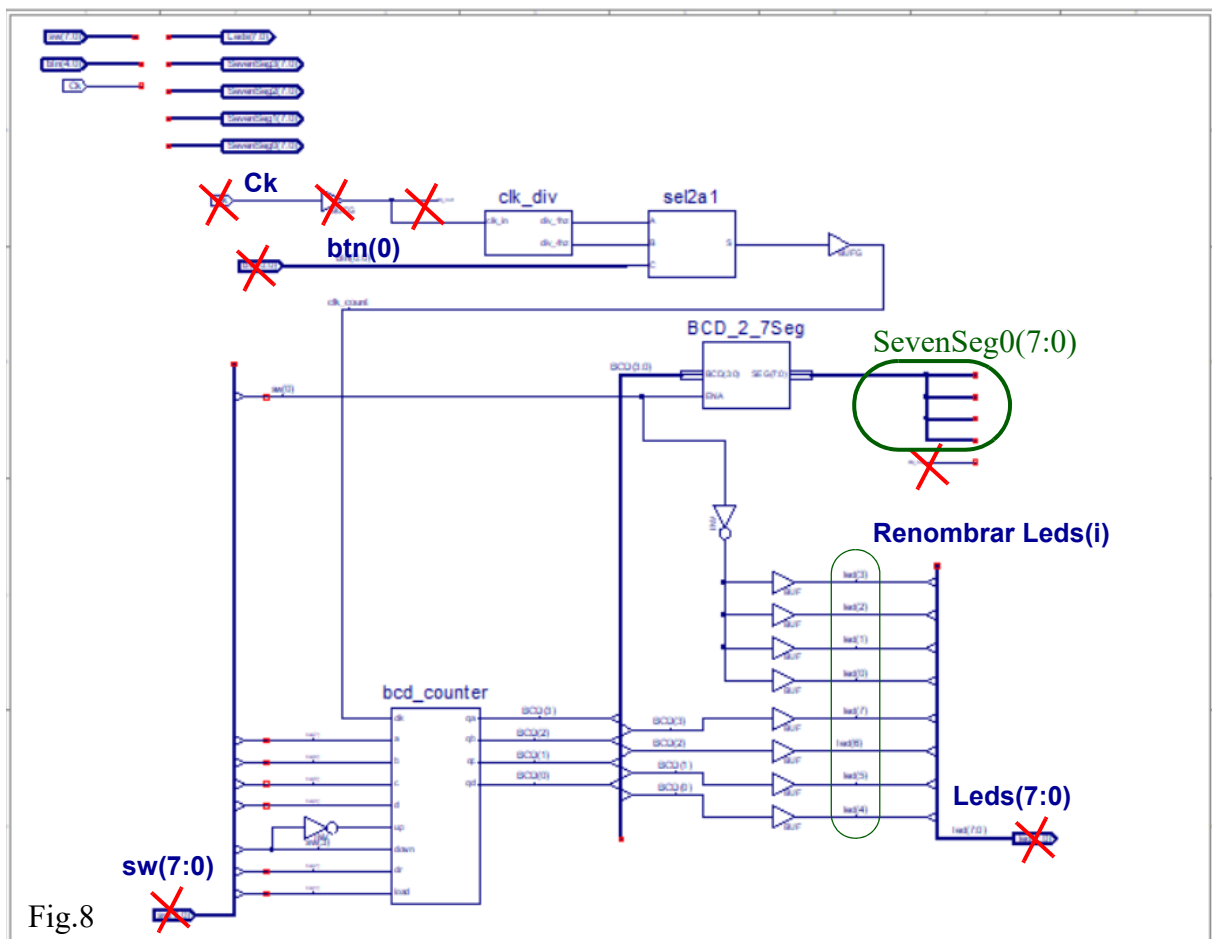


Fig.7

En este esquemático hay que realizar algunas modificaciones:

- (1) Hay que eliminar los marcadores de puertos del antiguo diseño: las señales de entrada ck , $sw(7:0)$ y $btn(0:0)$ y de las salidas $led(7:0)$, (tachados en rojo en la Fig.8).
- (2) Hay que asegurarse que los nombres de estas señales coinciden con los que aparecen en los puertos del bloque **MyDesign**. En concreto, la señal de reloj ck debe ser renombrada como Ck , las señal $btn(0:0)$ debe nombrarse como $btn(0)$ y el bus $led(7:0)$ como $Leds(7:0)$, en este caso también hay que renombrar cada uno de las señales que forman el bus. (en azul en la Fig.8)
- (3) Hay que eliminar el BufG que sigue a la señal de reloj y conectar Ck directamente al módulo div_clk . (tachados en rojo en la Fig.8)
- (4) Hay que renombrar el bus de salida del módulo $BCD_2_7_Seg$, asignándole el nombre de uno cualquiera de los buses de salida, por ejemplo $SevenSeg0(7:0)$, en verde en la Fig.7.
- (5) Y finalmente eliminar la línea ck marcada también en rojo en la Fig.8.



Tras estos retoques el módulo **MyDesign** está listo para ser compilado con el resto de bloques del proyecto **P0_RL**, y obtener el fichero de programación de la FPGA. El esquemá final resultante se muestra en la Fig.9

