



## **Escuela de Ingenierías Industriales**

**Titulación: Grado en Ingeniería Electrónica, Robótica y Mecatrónica**

**Asignatura: Electrónica Digital**

**Tema 7: Introducción a los Sistemas Secuenciales**



## TEMA 7: INTRODUCCIÓN A LOS SISTEMAS SECUENCIALES

### 7.1. Definiciones y conceptos básicos.

*7.1.1 Modelo estructural. Modelos de estados finitos.*

*7.1.2 Consideraciones temporales.*

*7.1.3 Circuitos síncronos y asíncronos.*

### 7.2. Elementos de memoria básicos.

*7.2.1 Latch SR.*

*7.2.2 Biestables síncronos. Niveles de disparo.*

*7.2.3 Biestables y Flip-flops: J-K, D y T.*

*7.2.4 Cronogramas.*

### 7.3. Parámetros temporales en biestables y flip-flops. Entradas auxiliares: Preset y Clear.

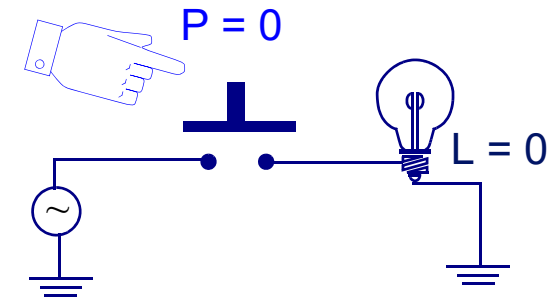
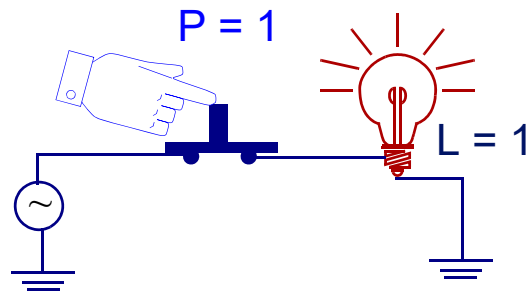
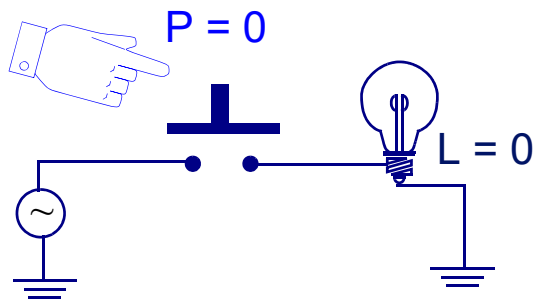
### 7.4. Biestables en HDL.

## Sistemas digitales secuenciales

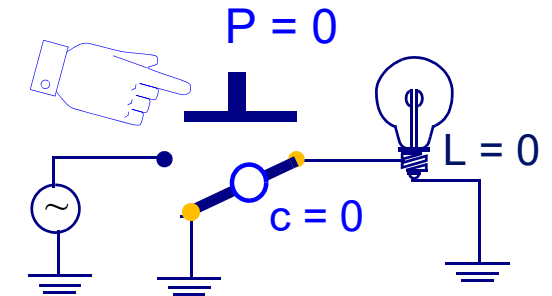
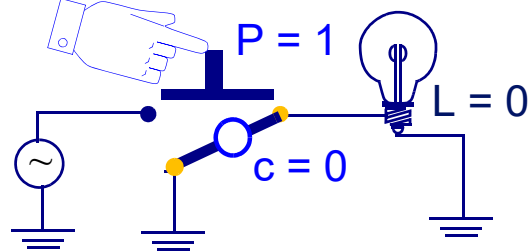
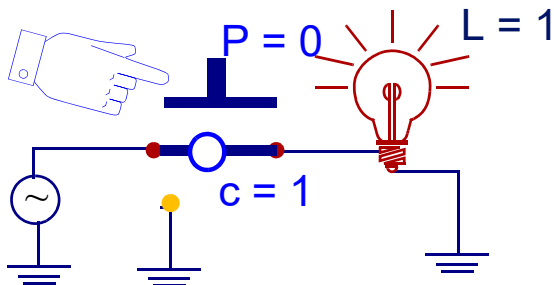
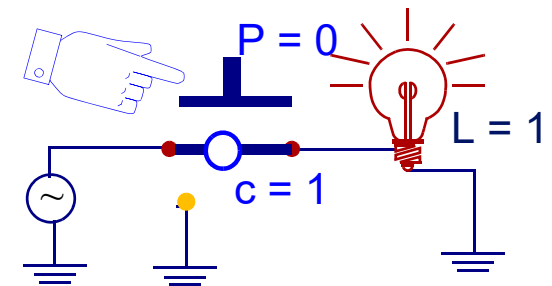
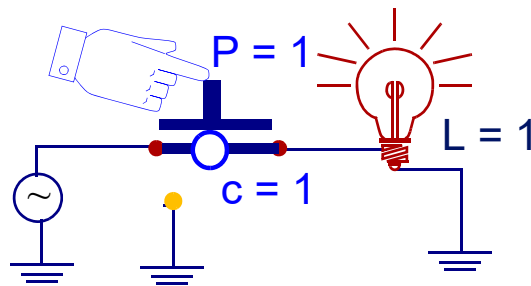
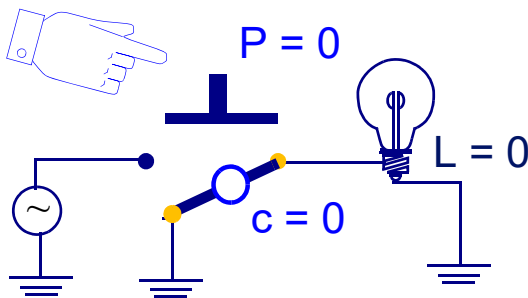
- Se dice que un sistema digital es **secuencial** cuando su salida en cada instante de tiempo no queda completamente determinada por la entrada en ese instante de tiempo, sino que depende de la secuencia de entrada, esto es, de su historia.

Se dice que los sistemas secuenciales son sistemas **con memoria**.

Ej: Sistema sin memoria

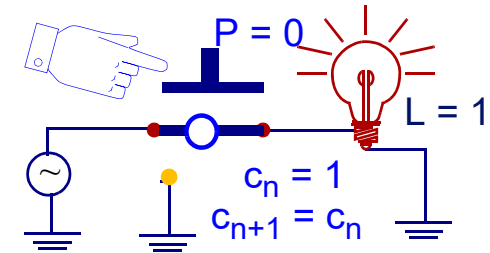
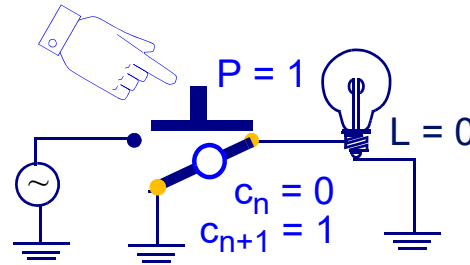
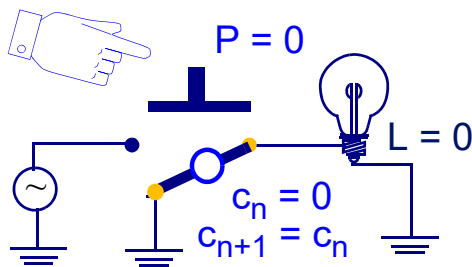


Ej: Sistema con memoria



## Sistemas digitales secuenciales

- Sistema con memoria
  - Secuencia de encendido



- Secuencia de apagado

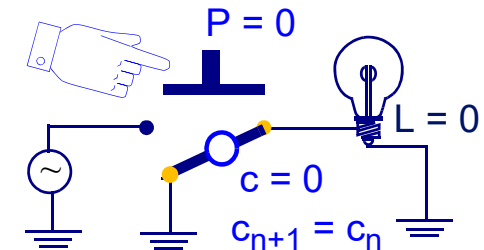
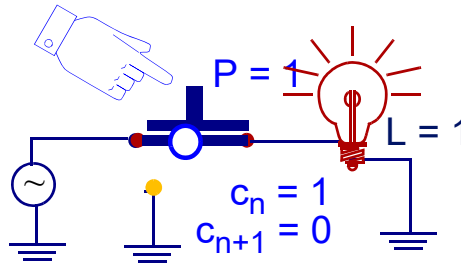
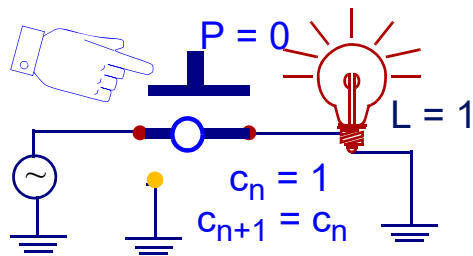


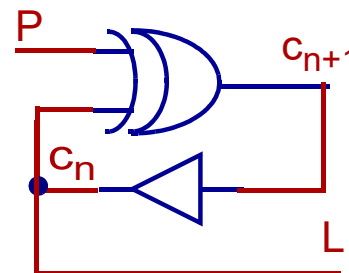
Tabla de verdad



$P$	$c_n$	$c_{n+1}$	$L$
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	1

$$c_{n+1} = P \oplus c_n$$

$$L = c_n$$



memoria  $\rightarrow$  realimentación

## Sistemas digitales secuenciales

Sistema con memoria

memoria -> realimentación

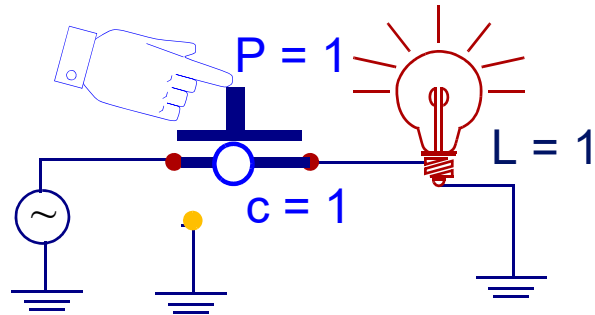
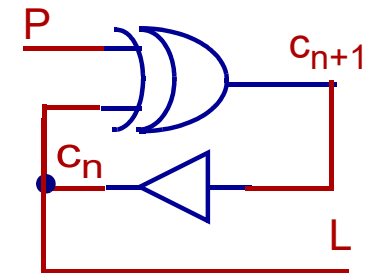


Tabla de verdad

$Pc_n$	$c_{n+1}$	$L$
0 0	0	0
0 1	1	1
1 0	1	0
1 1	0	1

$$L = c_n$$

$$c_{n+1} = P \oplus c_n$$



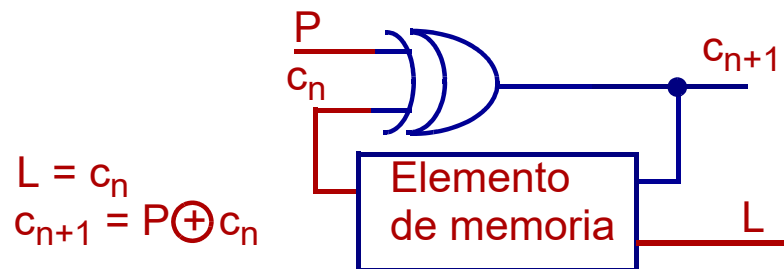
$c_n$  = estado presente

$c_{n+1}$  = estado siguiente

Problema -> tiempo de retardo en el lazo de realimentación

El sistema puede oscilar

Sistema secuencial asíncrono



$$L = c_n$$

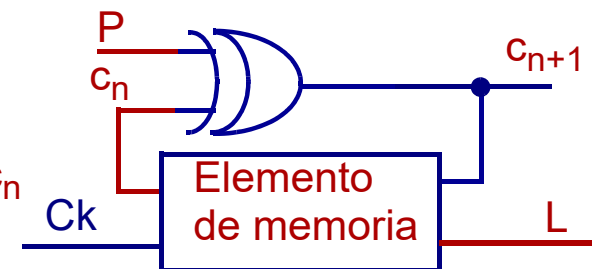
$$c_{n+1} = P \oplus c_n$$

Sistema secuencial síncrono

$$L \leq c_n$$

Si Ck

$$c_{n+1} \leq P \oplus c_n$$

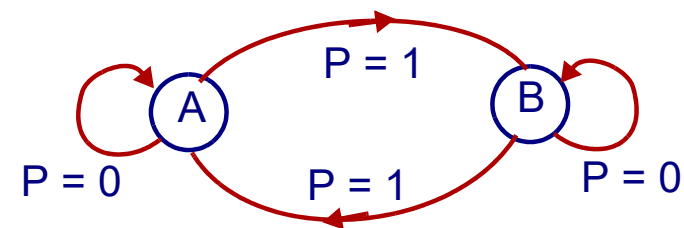


Descripción del funcionamiento: Diagrama de estados

El sistema posee dos estados

$c_n = 0$  estado A del sistema ->  $L = 0$  Luz apagada

$c_n = 1$  estado B del sistema ->  $L = 1$  Luz apagada

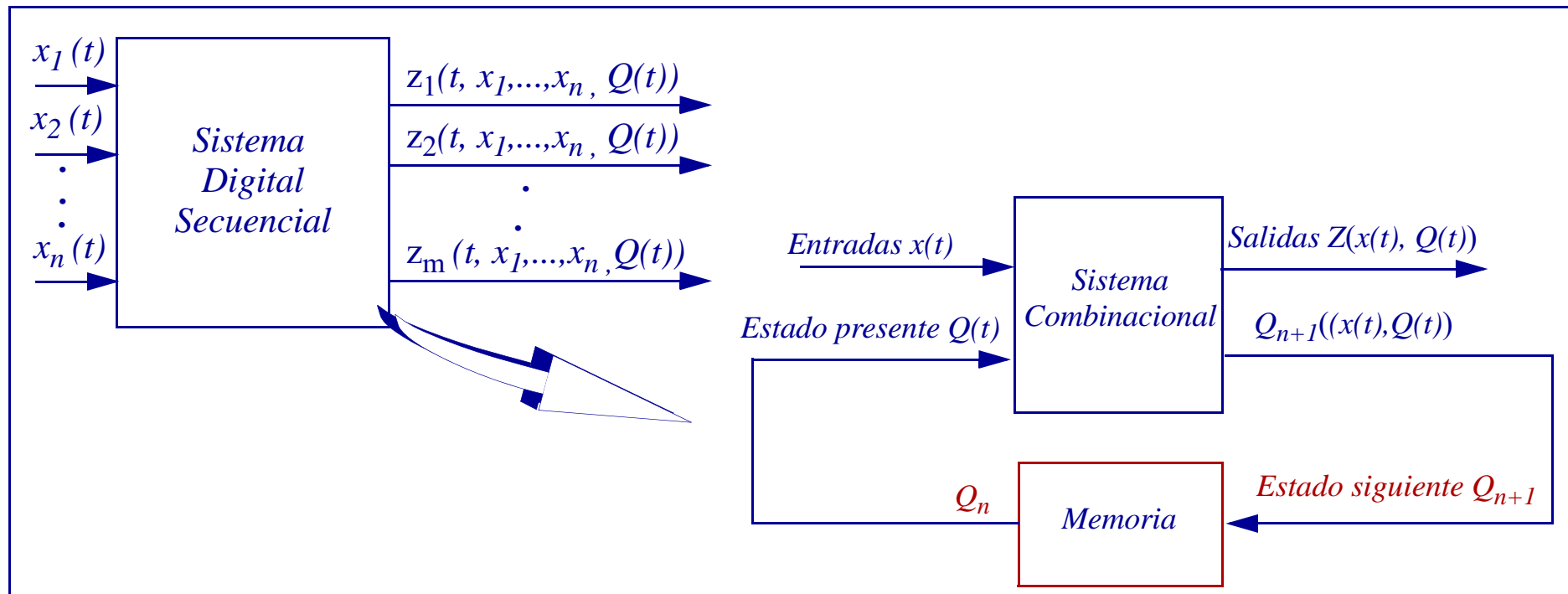


## Sistemas digitales secuenciales

### ● Modelo de Huffman para sistema secuenciales

En el modelo básico, **modelo de Huffman**, la **memoria** se representa por medio de un **conjunto finito y discreto de estados** ( $Q_n$ ), de forma que la respuesta del sistema  $Z(t)$ , a una entrada  $X(t)$  en un instante dado, depende no solo de esa entrada, como en el caso de los sistemas combinacionales, sino que depende también de su **estado presente**  $Q(t)=(Q_n)$ . De la misma manera la evolución del sistema a un nuevo estado **estado siguiente**  $Q(t+1)=(Q_{n+1})$ , está determinada por dicha entrada  $X(t)$  y su estado presente  $Q(t)=(Q_n)$ .

Se asume que esta transición, esto es, el paso de  $t \rightarrow t+1$ , se produce tras un cierto retardo  $t_d$ .



## Sistemas digitales secuenciales

- Los sistemas secuenciales más simples son los empleados:
  - en el almacenamiento de información: Biestables y flip-flops (almacenan un bit de información) y Registros (almacenan palabras de n bits)
  - cuenta de eventos y generación de secuencias, temporización: Contadores.
  - control: máquinas de estados o autómatas finitos.

Todos ellos forman parte de sistemas más complejos, como son sistemas de control y toma de decisiones que dependen de la evolución temporal.

Ejemplos de estos sistemas son

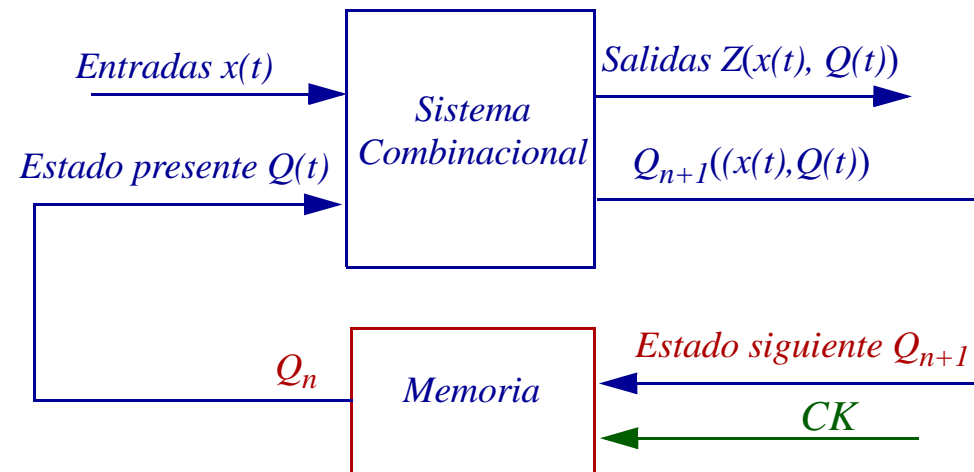
- sistema de control de un ascensor, de la apertura automática de puertas, del funcionamiento de motores y bombas etc.;
- así como sistemas de propósito general, como son microprocesadores y microcontroladores, etc.

## Sistemas digitales secuenciales. Tipología

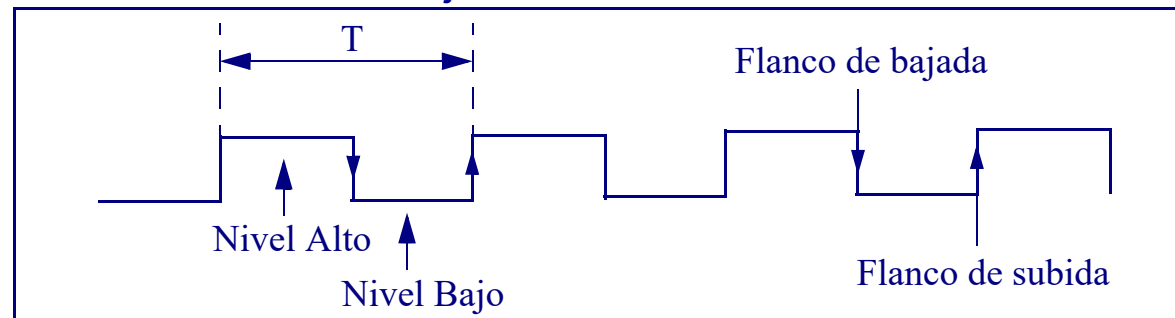
- Se distinguen dos grandes clases de sistemas secuenciales:

Los **sistemas secuenciales síncronos**: Se caracterizan utilizar elementos especiales para almacenar las variables de estado del sistema, **elementos de memoria**, los cuales responden simultáneamente, cuando se produce una **transición de estados**.

Esta transición se realiza en instantes de tiempo discretos, **instantes activos**, que se referencian a una señal de control, común a todos ellos, que se denomina señal de **reloj (CK)**.



Instantes activos en una señal de reloj

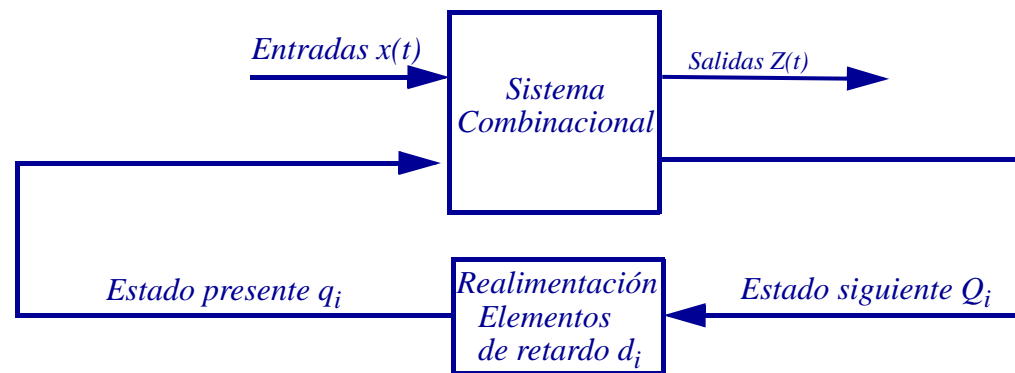




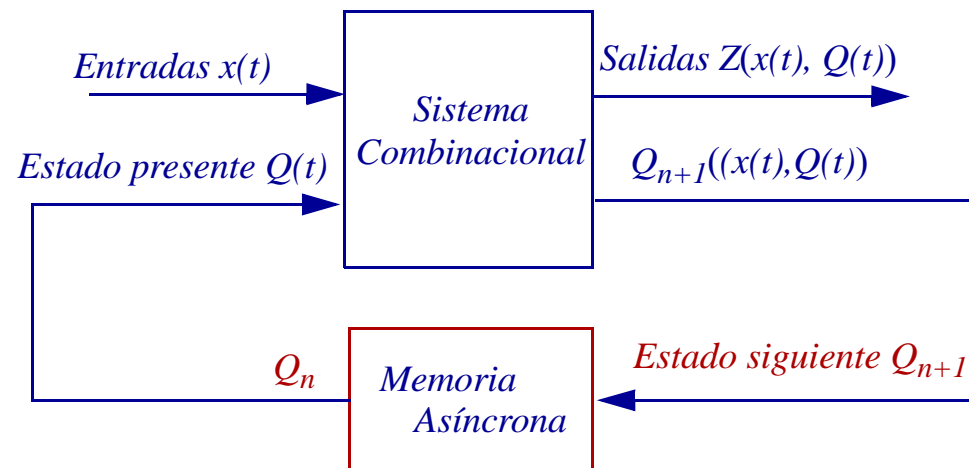
## Sistemas digitales secuenciales. Tipología

- Los **sistemas secuenciales asíncronos**, que se caracterizan por que sus elementos memoria responden de forma asíncrona, esto es, de forma independiente.

Estos sistemas se construyen, bien a partir de sistemas combinacionales con bucles de realimentación, en los cuales la memoria está asociada a dichos bucles y es consecuencia del retardo de propagación de las señales los sistemas reales,

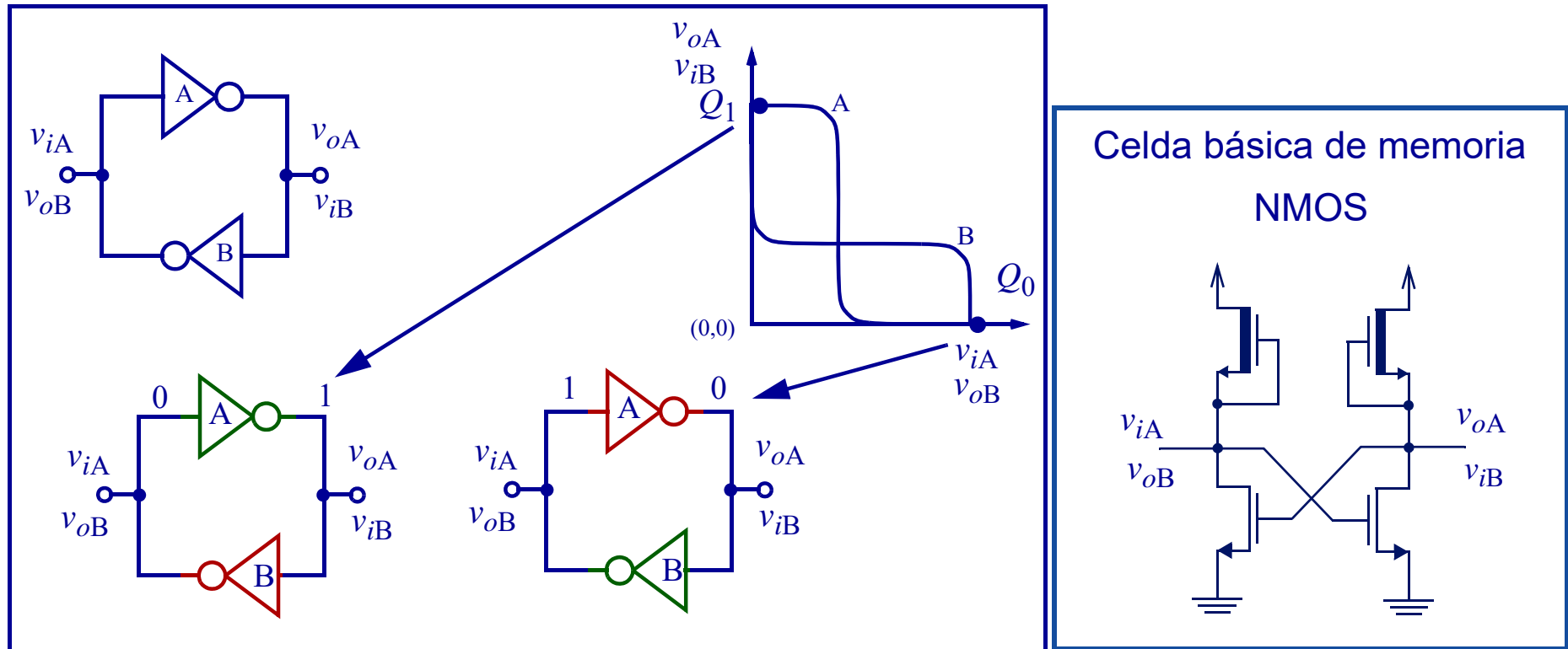


o bien por que sus elementos de memoria responden de forma independiente unos de otros, de forma asíncrona.



## Sistemas digitales secuenciales. Celda básica de memoria

- Es el sistema secuencial más simple y permite almacenar un bit de información. Posee dos estados estables. Recibe el nombre de biestable.

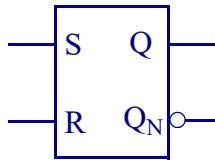
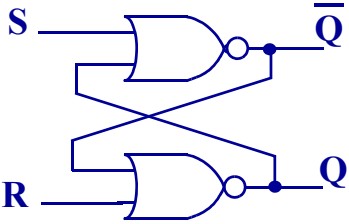
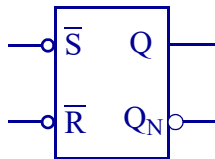
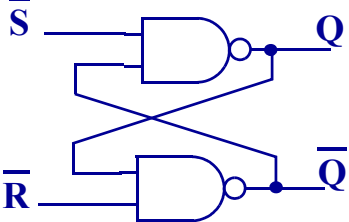


Partiendo de esta estructura básica se construyen los demás elementos de memoria:

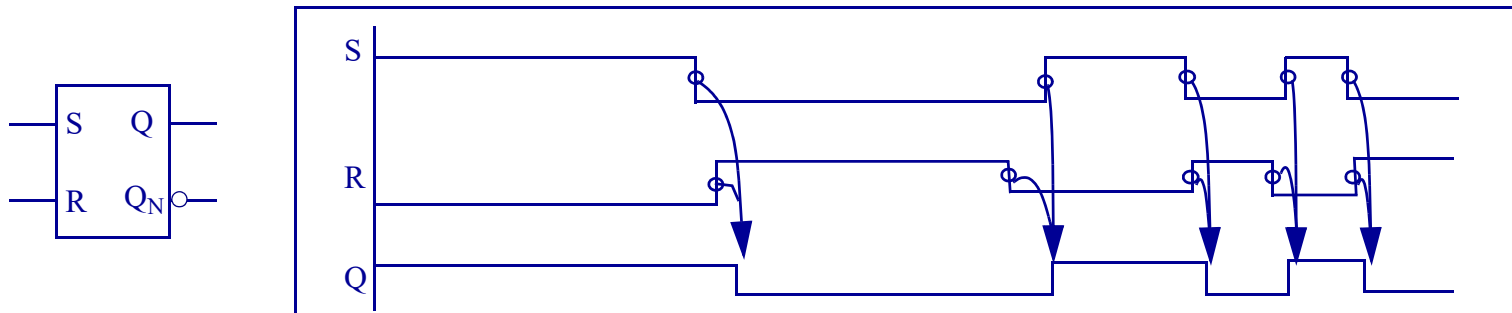
- Latch y Biestables D, T, JK, tanto síncronos como asíncronos;
- Registros de datos
- Pilas FIFO y LIFO
- Memorias de acceso aleatorio (RAM estática)

## Elementos de memoria. Latch asíncrono

- Son los elementos de memoria más simples que se emplean en el diseño lógico. Junto a la celda básica de memoria, incorporan las entradas S (Set) puesta a uno y R (Reset) puesta a cero, para almacenar la información requerida.

Símbolo	Diagrama lógico	Tabla de comportamiento																				
<div>Latch SR</div> <div></div>	<div></div>	<table><tr><th>S R</th><th><math>Q_{n+1}</math></th><th><math>\overline{Q}_{n+1}</math></th><th>Significado</th></tr><tr><td>0 0</td><td><math>Q_n</math></td><td></td><td>Mantiene</td></tr><tr><td>0 1</td><td>0</td><td>1</td><td>Puesta a cero</td></tr><tr><td>1 0</td><td>1</td><td>0</td><td>Puesta a uno</td></tr><tr><td>1 1</td><td>Prohibida</td><td></td><td>Prohibida</td></tr></table>	S R	$Q_{n+1}$	$\overline{Q}_{n+1}$	Significado	0 0	$Q_n$		Mantiene	0 1	0	1	Puesta a cero	1 0	1	0	Puesta a uno	1 1	Prohibida		Prohibida
S R	$Q_{n+1}$	$\overline{Q}_{n+1}$	Significado																			
0 0	$Q_n$		Mantiene																			
0 1	0	1	Puesta a cero																			
1 0	1	0	Puesta a uno																			
1 1	Prohibida		Prohibida																			
<div>Latch RS</div> <div></div>	<div></div>	<table><tr><th><math>\overline{S}</math> <math>\overline{R}</math></th><th><math>Q_{n+1}</math></th><th><math>\overline{Q}_{n+1}</math></th><th>Significado</th></tr><tr><td>1 1</td><td><math>Q_n</math></td><td></td><td>Mantiene</td></tr><tr><td>1 0</td><td>0</td><td>1</td><td>Puesta a cero</td></tr><tr><td>0 1</td><td>1</td><td>0</td><td>Puesta a uno</td></tr><tr><td>0 0</td><td>Prohibida</td><td></td><td>Prohibida</td></tr></table>	$\overline{S}$ $\overline{R}$	$Q_{n+1}$	$\overline{Q}_{n+1}$	Significado	1 1	$Q_n$		Mantiene	1 0	0	1	Puesta a cero	0 1	1	0	Puesta a uno	0 0	Prohibida		Prohibida
$\overline{S}$ $\overline{R}$	$Q_{n+1}$	$\overline{Q}_{n+1}$	Significado																			
1 1	$Q_n$		Mantiene																			
1 0	0	1	Puesta a cero																			
0 1	1	0	Puesta a uno																			
0 0	Prohibida		Prohibida																			

Cronograma generado por un latch SR para la secuencia de entrada: SR=10, SR=01, SR=10, SR=01, SR=10, SR=01



## Elementos de memoria con reloj. Biestables

- Los elementos de memoria con reloj se diferencian de los latches asíncronos en que incorporan una entrada adicional (CK) que permite sincronizar su cambio de estado, siempre según las entradas de dato (entradas que llevan la información a almacenar en el elemento de memoria).

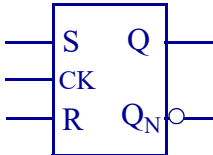
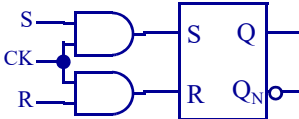
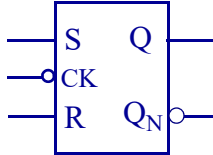
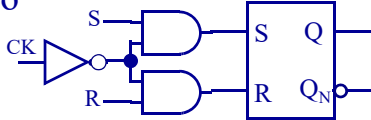
Los más básicos son los **biestables**, los cuales **son elementos de memoria síncronos**

**activos por nivel**. Esto es, su instante activo es el nivel (alto o bajo) de la señal de reloj.

Esto significa que la salida del biestable se fija durante los instantes no activos

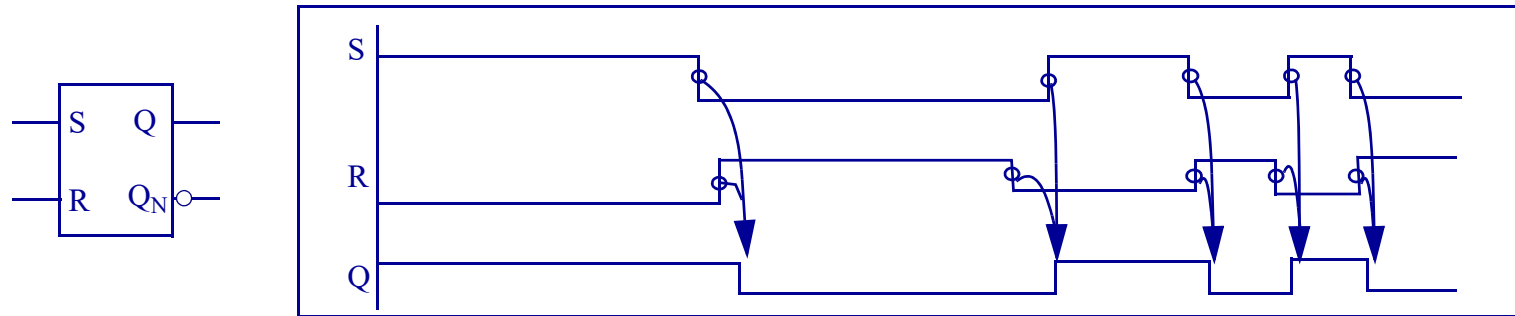
(*fase de mantenimiento*), presentando el último valor que tenía antes de la transición del reloj;

mientras que durante los instantes activos (*fase de captación*) los cambios en las entradas de dato se propagan a la salida.

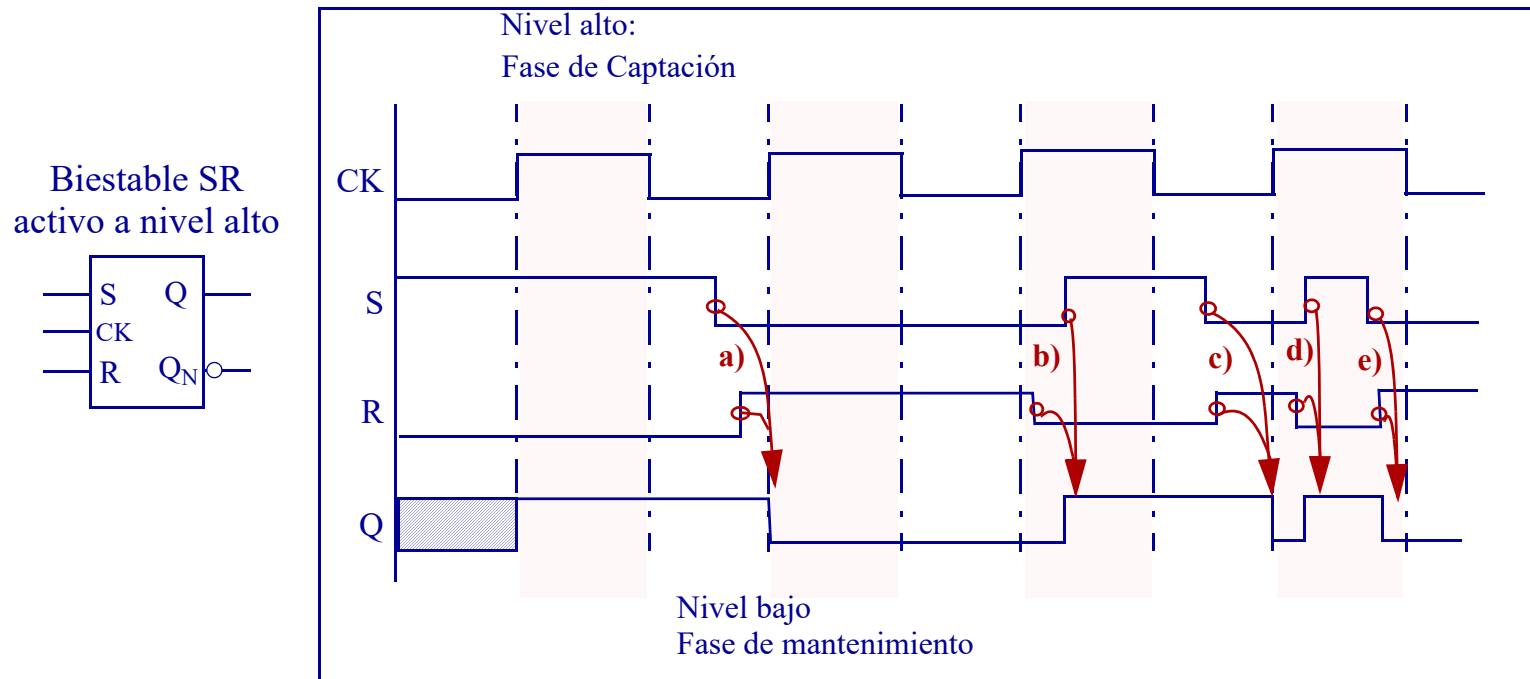
Nombre Símbolo	Diagrama lógico	Tabla de comportamiento																				
<div>Biastable SR activo a nivel alto</div> <div></div>	<div></div>	<table><tr><th>CK S R</th><th><math>Q_{n+1}</math> <math>\overline{Q}_{n+1}</math></th><th>Significado</th></tr><tr><td>1 0 0</td><td><math>Q_n</math></td><td>Mantiene</td></tr><tr><td>1 0 1</td><td>0 1</td><td>Puesta a cero</td></tr><tr><td>1 1 0</td><td>1 0</td><td>Puesta a uno</td></tr><tr><td>1 1 1</td><td>Prohibida</td><td>Prohibida</td></tr><tr><td>0 x x</td><td><math>Q_n</math></td><td>Mantiene</td></tr></table>	CK S R	$Q_{n+1}$ $\overline{Q}_{n+1}$	Significado	1 0 0	$Q_n$	Mantiene	1 0 1	0 1	Puesta a cero	1 1 0	1 0	Puesta a uno	1 1 1	Prohibida	Prohibida	0 x x	$Q_n$	Mantiene		
CK S R	$Q_{n+1}$ $\overline{Q}_{n+1}$	Significado																				
1 0 0	$Q_n$	Mantiene																				
1 0 1	0 1	Puesta a cero																				
1 1 0	1 0	Puesta a uno																				
1 1 1	Prohibida	Prohibida																				
0 x x	$Q_n$	Mantiene																				
<div>Biastable SR activo a nivel bajo</div> <div></div>	<div></div>	<table><tr><th>CK S R</th><th><math>Q_{n+1}</math> <math>\overline{Q}_{n+1}</math></th><th>Significado</th></tr><tr><td>0 0 0</td><td><math>Q_n</math></td><td>Mantiene</td></tr><tr><td>0 0 1</td><td>0 1</td><td>Puesta a cero</td></tr><tr><td>0 1 0</td><td>1 0</td><td>Puesta a uno</td></tr><tr><td>0 1 1</td><td>Prohibida</td><td>Prohibida</td></tr><tr><td>1 x x</td><td><math>Q_n</math></td><td>Mantiene</td></tr></table>	CK S R	$Q_{n+1}$ $\overline{Q}_{n+1}$	Significado	0 0 0	$Q_n$	Mantiene	0 0 1	0 1	Puesta a cero	0 1 0	1 0	Puesta a uno	0 1 1	Prohibida	Prohibida	1 x x	$Q_n$	Mantiene		
CK S R	$Q_{n+1}$ $\overline{Q}_{n+1}$	Significado																				
0 0 0	$Q_n$	Mantiene																				
0 0 1	0 1	Puesta a cero																				
0 1 0	1 0	Puesta a uno																				
0 1 1	Prohibida	Prohibida																				
1 x x	$Q_n$	Mantiene																				

## Elementos de memoria con reloj. Biestables

Cronograma generado por un latch SR para la secuencia de entrada: SR=10, SR=01, SR=10, SR=01, SR=10, SR=01



Cronograma generado por un biestable SR para la secuencia: SR=10, SR=01, SR=10, SR=01, SR=10, SR=01



a) y c) Se producen en la Fase de mantenimiento, no produce cambio a la salida hasta la siguiente Fase de captación

b) d) y e) Se producen en la Fase de captación, sepropaga la salida. Se mantiene sólo la última transición e).

## Elementos de memoria con reloj. Flip-flops

- Los flip-flops **son elementos de memoria síncronos disparados por flanco**.

Esto es, su instante activo es la transición entre niveles de la señal de reloj.

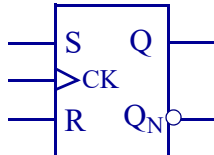
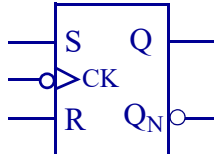
Se tiene dos tipos de flip-flops atendiendo al modo de disparo:

Los disparados por **flanco de bajada** (transición entre niveles alto y bajo), y

los disparados por **flanco de subida** (transición entre niveles bajo y alto).

Este modo de funcionamiento significa que la salida del flip-flop se fija tras el flanco activo y permanece estable durante todo el periodo de la señal de reloj, hasta un nuevo instante activo.

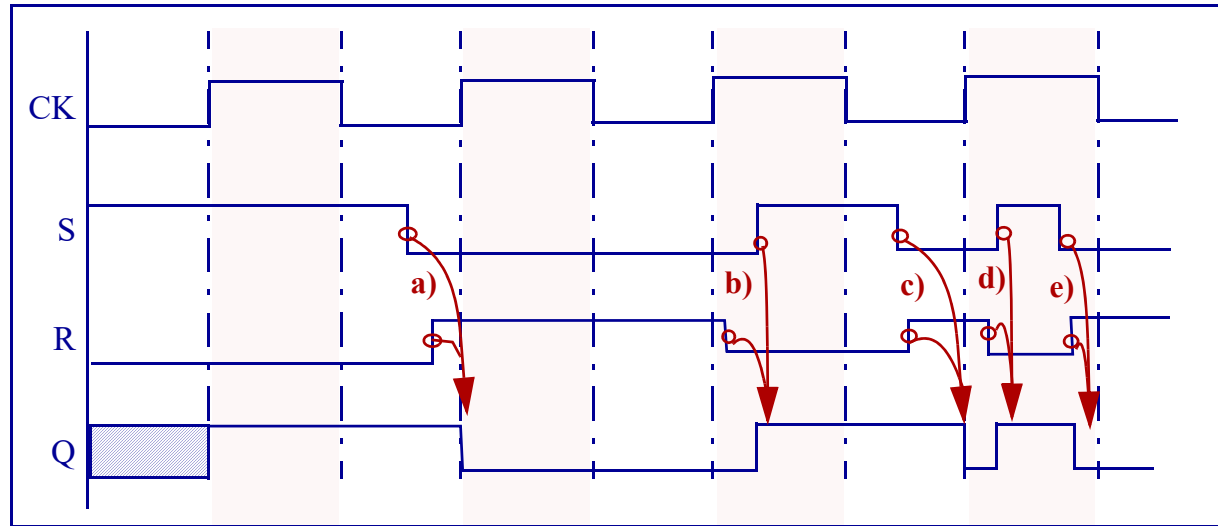
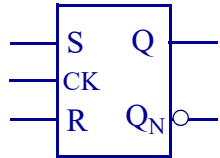
De esta forma los cambios en las entradas no se propagan a la salida hasta que se produce el flanco activo. Con lo que se garantiza un sólo cambio en el estado del flip-flop por instante activo.

Nombre y símbolo	Tabla de comportamiento															
<p>Flip-flop SR disparado por flanco de subida</p> 	<table><tr><th>CK S R</th><th><math>Q_{n+1}</math> <math>\overline{Q}_{n+1}</math></th><th>Significado</th></tr><tr><td> 0 0</td><td><math>Q_n</math></td><td>Mantiene</td></tr><tr><td> 0 1</td><td>0 1</td><td>Puesta a cero</td></tr><tr><td> 1 0</td><td>1 0</td><td>Puesta a uno</td></tr><tr><td> 1 1</td><td>Prohibida</td><td>Prohibida</td></tr></table>	CK S R	$Q_{n+1}$ $\overline{Q}_{n+1}$	Significado	0 0	$Q_n$	Mantiene	0 1	0 1	Puesta a cero	1 0	1 0	Puesta a uno	1 1	Prohibida	Prohibida
CK S R	$Q_{n+1}$ $\overline{Q}_{n+1}$	Significado														
0 0	$Q_n$	Mantiene														
0 1	0 1	Puesta a cero														
1 0	1 0	Puesta a uno														
1 1	Prohibida	Prohibida														
<p>Flip-flop SR disparado por flanco de bajada</p> 	<table><tr><th>CK S R</th><th><math>Q_{n+1}</math> <math>\overline{Q}_{n+1}</math></th><th>Significado</th></tr><tr><td> 0 0</td><td><math>Q_n</math></td><td>Mantiene</td></tr><tr><td> 0 1</td><td>0 1</td><td>Puesta a cero</td></tr><tr><td> 1 0</td><td>1 0</td><td>Puesta a uno</td></tr><tr><td> 1 1</td><td>Prohibida</td><td>Prohibida</td></tr></table>	CK S R	$Q_{n+1}$ $\overline{Q}_{n+1}$	Significado	0 0	$Q_n$	Mantiene	0 1	0 1	Puesta a cero	1 0	1 0	Puesta a uno	1 1	Prohibida	Prohibida
CK S R	$Q_{n+1}$ $\overline{Q}_{n+1}$	Significado														
0 0	$Q_n$	Mantiene														
0 1	0 1	Puesta a cero														
1 0	1 0	Puesta a uno														
1 1	Prohibida	Prohibida														

## Elementos de memoria con reloj. Flip-flops.

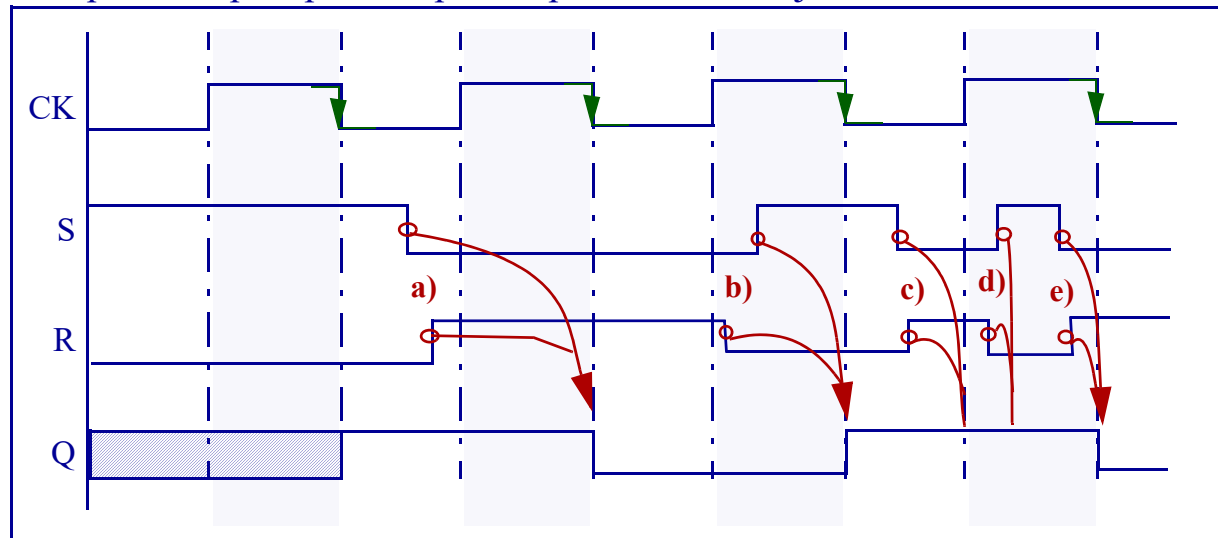
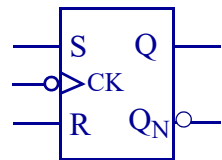
Cronograma generado por un biestable SR para la secuencia : SR=10, SR=01, SR=10, SR=01, SR=10, SR=01

Biestable SR  
activo a nivel alto



Cronograma generado por un flip-flop SR disparado por flanco de bajada:

Flip-flop SR  
disparado por flanco  
de bajada

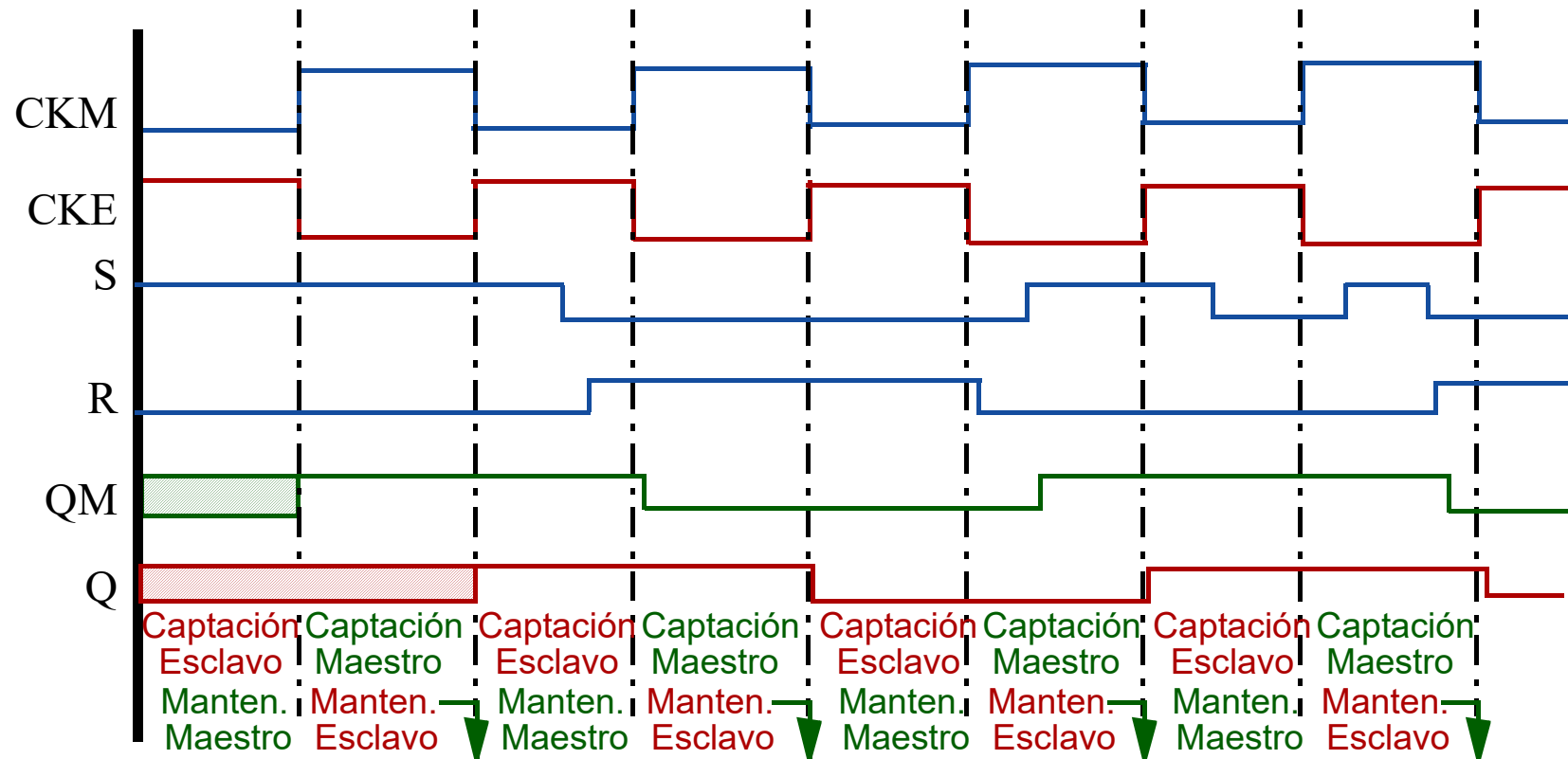
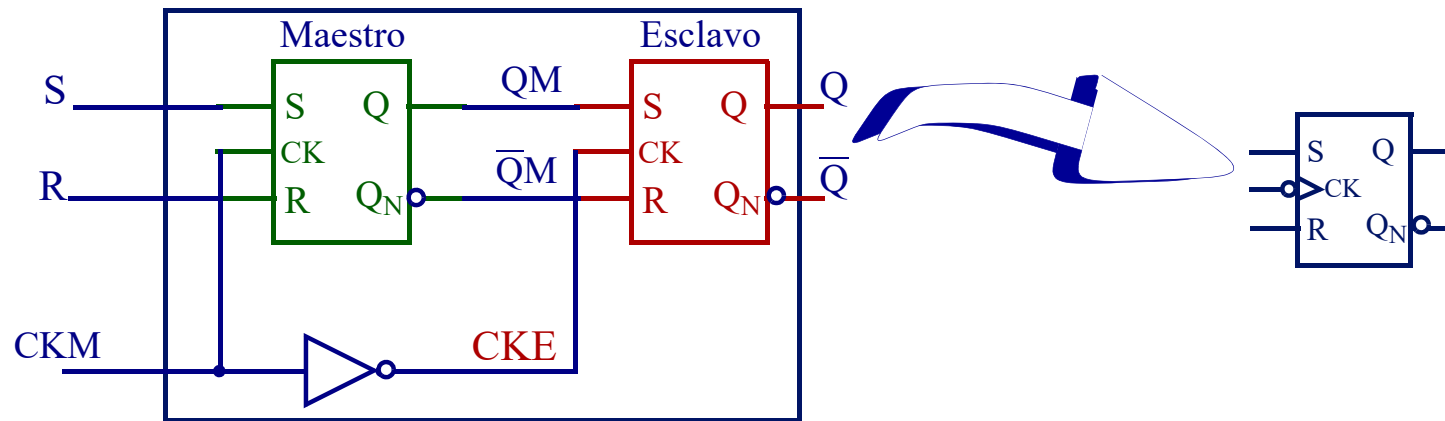


a) b) y e) No producen cambio a la salida hasta despues del flanco de bajada del reloj

c) y d) No se propagan a la salida.

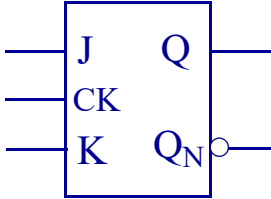
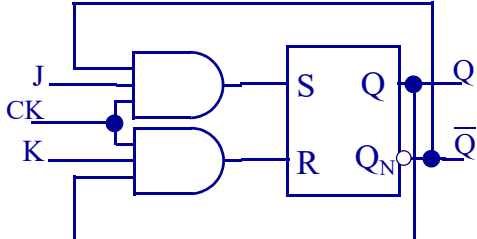
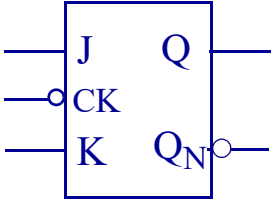
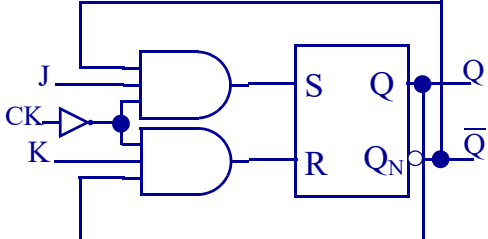
## Elementos de memoria con reloj. Flip-flops.

### Estructura maestro-esclavo: Flip-flop SR disparado por flanco

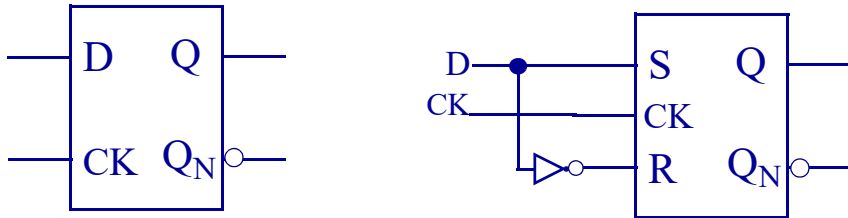
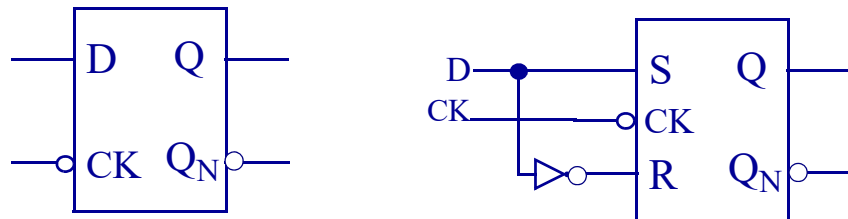




## Elementos de memoria con reloj. Biestables Tipo JK.

Nombre/Símbolo	Diagrama lógico	Tabla de comportamiento																		
<p>Biestable JK activo a nivel alto</p> 		<table> <tr> <th>CK J K</th><th><math>Q_{n+1}</math> <math>\bar{Q}_{n+1}</math></th><th>Significado</th></tr> <tr> <td>1 0 0</td><td><math>Q_n</math></td><td>Mantiene</td></tr> <tr> <td>1 0 1</td><td>0 1</td><td>Puesta a cero</td></tr> <tr> <td>1 1 0</td><td>1 0</td><td>Puesta a uno</td></tr> <tr> <td>1 1 1</td><td><math>\bar{Q}_n</math></td><td>Invierte</td></tr> <tr> <td>0 x x</td><td><math>Q_n</math></td><td>Mantiene</td></tr> </table>	CK J K	$Q_{n+1}$ $\bar{Q}_{n+1}$	Significado	1 0 0	$Q_n$	Mantiene	1 0 1	0 1	Puesta a cero	1 1 0	1 0	Puesta a uno	1 1 1	$\bar{Q}_n$	Invierte	0 x x	$Q_n$	Mantiene
CK J K	$Q_{n+1}$ $\bar{Q}_{n+1}$	Significado																		
1 0 0	$Q_n$	Mantiene																		
1 0 1	0 1	Puesta a cero																		
1 1 0	1 0	Puesta a uno																		
1 1 1	$\bar{Q}_n$	Invierte																		
0 x x	$Q_n$	Mantiene																		
<p>Biestable JK activo a nivel bajo</p> 		<table> <tr> <th>CK J K</th><th><math>Q_{n+1}</math> <math>\bar{Q}_{n+1}</math></th><th>Significado</th></tr> <tr> <td>0 0 0</td><td><math>Q_n</math></td><td>Mantiene</td></tr> <tr> <td>0 0 1</td><td>0 1</td><td>Puesta a cero</td></tr> <tr> <td>0 1 0</td><td>1 0</td><td>Puesta a uno</td></tr> <tr> <td>0 1 1</td><td><math>\bar{Q}_n</math></td><td>Invierte</td></tr> <tr> <td>1 x x</td><td><math>Q_n</math></td><td>Mantiene</td></tr> </table>	CK J K	$Q_{n+1}$ $\bar{Q}_{n+1}$	Significado	0 0 0	$Q_n$	Mantiene	0 0 1	0 1	Puesta a cero	0 1 0	1 0	Puesta a uno	0 1 1	$\bar{Q}_n$	Invierte	1 x x	$Q_n$	Mantiene
CK J K	$Q_{n+1}$ $\bar{Q}_{n+1}$	Significado																		
0 0 0	$Q_n$	Mantiene																		
0 0 1	0 1	Puesta a cero																		
0 1 0	1 0	Puesta a uno																		
0 1 1	$\bar{Q}_n$	Invierte																		
1 x x	$Q_n$	Mantiene																		

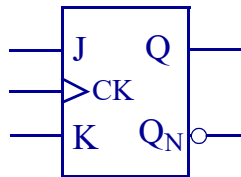
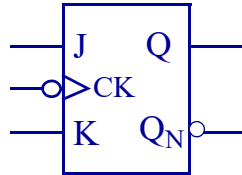
## Elementos de memoria con reloj. Biestables Tipo D.

Nombre/Símbolo	Diagrama lógico	Tabla de comportamiento																			
<p>Biestable D activo a nivel alto</p> 	<table><tr><th>CK</th><th>D</th><th><math>Q_{n+1}</math></th><th><math>\overline{Q}_{n+1}</math></th><th>Significado</th></tr><tr><td>1</td><td>0</td><td>0</td><td>1</td><td>Puesta a cero</td></tr><tr><td>1</td><td>1</td><td>1</td><td>0</td><td>Puesta a uno</td></tr><tr><td>0</td><td>x</td><td><math>Q_n</math></td><td></td><td>Mantiene</td></tr></table>	CK	D	$Q_{n+1}$	$\overline{Q}_{n+1}$	Significado	1	0	0	1	Puesta a cero	1	1	1	0	Puesta a uno	0	x	$Q_n$		Mantiene
CK	D	$Q_{n+1}$	$\overline{Q}_{n+1}$	Significado																	
1	0	0	1	Puesta a cero																	
1	1	1	0	Puesta a uno																	
0	x	$Q_n$		Mantiene																	
<p>Biestable D activo a nivel bajo</p> 	<table><tr><th>CK</th><th>D</th><th><math>Q_{n+1}</math></th><th><math>\overline{Q}_{n+1}</math></th><th>Significado</th></tr><tr><td>0</td><td>0</td><td>0</td><td>1</td><td>Puesta a cero</td></tr><tr><td>0</td><td>1</td><td>1</td><td>0</td><td>Puesta a uno</td></tr><tr><td>1</td><td>x</td><td><math>Q_n</math></td><td></td><td>Mantiene</td></tr></table>	CK	D	$Q_{n+1}$	$\overline{Q}_{n+1}$	Significado	0	0	0	1	Puesta a cero	0	1	1	0	Puesta a uno	1	x	$Q_n$		Mantiene
CK	D	$Q_{n+1}$	$\overline{Q}_{n+1}$	Significado																	
0	0	0	1	Puesta a cero																	
0	1	1	0	Puesta a uno																	
1	x	$Q_n$		Mantiene																	

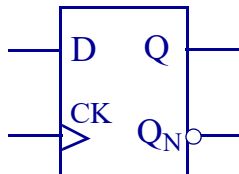
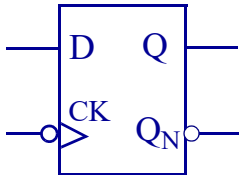
## Elementos de memoria con reloj. Biestables Tipo T.

Nombre/Símbolo	Diagrama lógico	Tabla de comportamiento												
<p>Biastable T activo a nivel alto</p>		<table><tr><th>CK T</th><th><math>Q_{n+1}</math> <math>\overline{Q}_{n+1}</math></th><th>Significado</th></tr><tr><td>1 0</td><td><math>Q_n</math></td><td>Mantiene</td></tr><tr><td>1 1</td><td><math>\overline{Q}_n</math></td><td>Invierte</td></tr><tr><td>0 x</td><td><math>Q_n</math></td><td>Mantiene</td></tr></table>	CK T	$Q_{n+1}$ $\overline{Q}_{n+1}$	Significado	1 0	$Q_n$	Mantiene	1 1	$\overline{Q}_n$	Invierte	0 x	$Q_n$	Mantiene
CK T	$Q_{n+1}$ $\overline{Q}_{n+1}$	Significado												
1 0	$Q_n$	Mantiene												
1 1	$\overline{Q}_n$	Invierte												
0 x	$Q_n$	Mantiene												
<p>Biastable T activo a nivel bajo</p>		<table><tr><th>CK T</th><th><math>Q_{n+1}</math> <math>\overline{Q}_{n+1}</math></th><th>Significado</th></tr><tr><td>0 0</td><td><math>Q_n</math></td><td>Mantiene</td></tr><tr><td>0 1</td><td><math>\overline{Q}_n</math></td><td>Invierte</td></tr><tr><td>1 x</td><td><math>Q_n</math></td><td>Mantiene</td></tr></table>	CK T	$Q_{n+1}$ $\overline{Q}_{n+1}$	Significado	0 0	$Q_n$	Mantiene	0 1	$\overline{Q}_n$	Invierte	1 x	$Q_n$	Mantiene
CK T	$Q_{n+1}$ $\overline{Q}_{n+1}$	Significado												
0 0	$Q_n$	Mantiene												
0 1	$\overline{Q}_n$	Invierte												
1 x	$Q_n$	Mantiene												

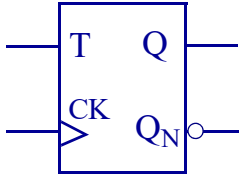






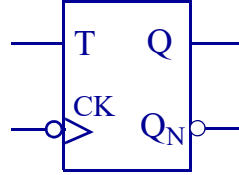






## Elementos de memoria con reloj. Flip-flops. Tipo JK.

Nombre/Símbolo	Tabla de comportamiento															
<p>Flip-flop JK disparado por flanco de subida</p> 	<table> <tr> <th>CK J K</th> <th><math>Q_{n+1}</math> <math>\overline{Q}_{n+1}</math></th> <th>Significado</th> </tr> <tr> <td> 0 0</td> <td><math>Q_n</math></td> <td>Mantiene</td> </tr> <tr> <td> 0 1</td> <td>0 1</td> <td>Puesta a cero</td> </tr> <tr> <td> 1 0</td> <td>1 0</td> <td>Puesta a uno</td> </tr> <tr> <td> 1 1</td> <td><math>\overline{Q}_n</math></td> <td>Invierte</td> </tr> </table>	CK J K	$Q_{n+1}$ $\overline{Q}_{n+1}$	Significado	0 0	$Q_n$	Mantiene	0 1	0 1	Puesta a cero	1 0	1 0	Puesta a uno	1 1	$\overline{Q}_n$	Invierte
CK J K	$Q_{n+1}$ $\overline{Q}_{n+1}$	Significado														
0 0	$Q_n$	Mantiene														
0 1	0 1	Puesta a cero														
1 0	1 0	Puesta a uno														
1 1	$\overline{Q}_n$	Invierte														
<p>Flip-flop JK disparado por flanco de bajada</p> 	<table> <tr> <th>CK J K</th> <th><math>Q_{n+1}</math> <math>\overline{Q}_{n+1}</math></th> <th>Significado</th> </tr> <tr> <td> 0 0</td> <td><math>Q_n</math></td> <td>Mantiene</td> </tr> <tr> <td> 0 1</td> <td>0 1</td> <td>Puesta a cero</td> </tr> <tr> <td> 1 0</td> <td>1 0</td> <td>Puesta a uno</td> </tr> <tr> <td> 1 1</td> <td><math>\overline{Q}_n</math></td> <td>Invierte</td> </tr> </table>	CK J K	$Q_{n+1}$ $\overline{Q}_{n+1}$	Significado	0 0	$Q_n$	Mantiene	0 1	0 1	Puesta a cero	1 0	1 0	Puesta a uno	1 1	$\overline{Q}_n$	Invierte
CK J K	$Q_{n+1}$ $\overline{Q}_{n+1}$	Significado														
0 0	$Q_n$	Mantiene														
0 1	0 1	Puesta a cero														
1 0	1 0	Puesta a uno														
1 1	$\overline{Q}_n$	Invierte														

## Elementos de memoria con reloj. Flip-flops. Tipo D.

Nombre/Símbolo	Tabla de comportamiento																	
<p>Flip-flop D disparado por flanco de subida</p> 	<table> <tr> <th>CK</th> <th>D</th> <th><math>Q_{n+1}</math></th> <th><math>\overline{Q}_{n+1}</math></th> <th>Significado</th> </tr> <tr> <td></td> <td>0</td> <td>0</td> <td>1</td> <td>Puesta a cero</td> </tr> <tr> <td></td> <td>1</td> <td>1</td> <td>0</td> <td>Puesta a uno</td> </tr> </table>	CK	D	$Q_{n+1}$	$\overline{Q}_{n+1}$	Significado		0	0	1	Puesta a cero		1	1	0	Puesta a uno		
CK	D	$Q_{n+1}$	$\overline{Q}_{n+1}$	Significado														
	0	0	1	Puesta a cero														
	1	1	0	Puesta a uno														
<p>Flip-flop D disparado por flanco de bajada</p> 	<table> <tr> <th>CK</th> <th>D</th> <th><math>Q_{n+1}</math></th> <th><math>\overline{Q}_{n+1}</math></th> <th>Significado</th> </tr> <tr> <td></td> <td>0</td> <td>0</td> <td>1</td> <td>Puesta a cero</td> </tr> <tr> <td></td> <td>1</td> <td>1</td> <td>0</td> <td>Puesta a uno</td> </tr> </table>	CK	D	$Q_{n+1}$	$\overline{Q}_{n+1}$	Significado		0	0	1	Puesta a cero		1	1	0	Puesta a uno		
CK	D	$Q_{n+1}$	$\overline{Q}_{n+1}$	Significado														
	0	0	1	Puesta a cero														
	1	1	0	Puesta a uno														

## Elementos de memoria con reloj. Flip-flops. Tipo T.

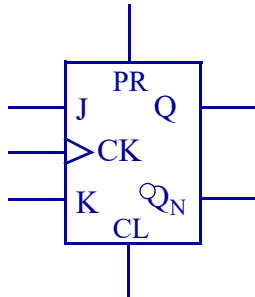




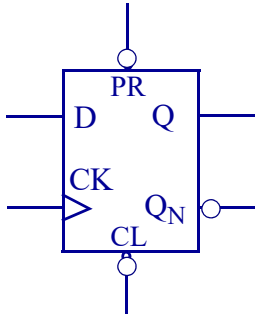


Nombre/Símbolo	Tabla de comportamiento														
<p>Flip-flop T disparado por flanco de subida</p> 	<table> <tr> <th>CK</th><th>T</th><th><math>Q_{n+1}</math> <math>\overline{Q}_{n+1}</math></th><th>Significado</th></tr> <tr> <td></td><td>0</td><td><math>Q_n</math></td><td>Mantiene</td></tr> <tr> <td></td><td>1</td><td><math>\overline{Q}_n</math></td><td>Invierte</td></tr> </table>	CK	T	$Q_{n+1}$ $\overline{Q}_{n+1}$	Significado		0	$Q_n$	Mantiene		1	$\overline{Q}_n$	Invierte		
CK	T	$Q_{n+1}$ $\overline{Q}_{n+1}$	Significado												
	0	$Q_n$	Mantiene												
	1	$\overline{Q}_n$	Invierte												
<p>Flip-flop T disparado por flanco de bajada</p> 	<table> <tr> <th>CK</th><th>T</th><th><math>Q_{n+1}</math> <math>\overline{Q}_{n+1}</math></th><th>Significado</th></tr> <tr> <td></td><td>0</td><td><math>Q_n</math></td><td>Mantiene</td></tr> <tr> <td></td><td>1</td><td><math>\overline{Q}_n</math></td><td>Invierte</td></tr> </table>	CK	T	$Q_{n+1}$ $\overline{Q}_{n+1}$	Significado		0	$Q_n$	Mantiene		1	$\overline{Q}_n$	Invierte		
CK	T	$Q_{n+1}$ $\overline{Q}_{n+1}$	Significado												
	0	$Q_n$	Mantiene												
	1	$\overline{Q}_n$	Invierte												

## Elementos de memoria con reloj. Biestables y Flip-flops.

### ● Entradas PRESET y CLEAR en biestables y flip-flops.

Los elementos de memoria suelen incorporar entradas adicionales, generalmente asíncronas, (aunque también pueden ser síncronas) que permiten forzar un estado inicial conocido. Estas son las entradas de “PRESET” y “CLEAR”.

- PRESET permite inicializar el elemento de memoria al valor uno  $Q=1$  y  $\bar{Q}=0$ .
- CLEAR permite inicializar el elemento de memoria al valor cero  $Q=0$  y  $\bar{Q}=1$ .

Nombre y símbolo		Tabla de comportamiento				
<p>Flip-flop JK</p> <p>disparado por flanco de subida</p> <p>con entradas de Preset y Clear</p> <p>activas a nivel alto</p>		PR CL CK J K	$Q_{n+1}$ $\bar{Q}_{n+1}$	Significado		
		1 0 x x x	1 0	Puesta a uno asínc.		
		0 1 x x x	0 1	Puesta a cero asinc.		
		1 1 x x x	No válido	Prohibido		
		0 0  0 0	$Q_n$	Mantiene		
		0 0  0 1	0 1	Puesta a cero		
		0 0  1 0	1 0	Puesta a uno		
		0 0  1 1	$\bar{Q}_n$	Invierte		
<p>Flip-flop D</p> <p>disparado por flanco de subida</p> <p>con entradas de Preset y Clear</p> <p>activas a nivel bajo</p>		PR CL CK D	$Q_{n+1}$ $\bar{Q}_{n+1}$	Significado		
		0 1 x x	1 0	Puesta a uno asínc.		
		1 0 x x	0 1	Puesta a cero asinc.		
		0 0 x x	No válido	Prohibido		
		1 1  0	0 1	Puesta a cero		
		1 1  1	1 0	Puesta a uno		

## Elementos de memoria con reloj. Biestables y Flip-flops.

### ● Parámetros temporales en los biestables y flip-flops.

Tiempo de establecimiento (Setup time)  $t_{sup}$ . Es el mínimo intervalo de tiempo que debe estar estable un dato de entrada a un elemento de memoria antes del fin de su instante activo para que éste sea almacenado correctamente.

Antes del flanco de disparo en los flip-flops y antes del final del nivel activo en biestables.

Tiempo de mantenimiento (Hold time)  $t_{hold}$ . Es el mínimo intervalo de tiempo que debe permanecer estable un dato de entrada de un elemento de memoria después del fin de su instante activo para que este sea almacenado correctamente.

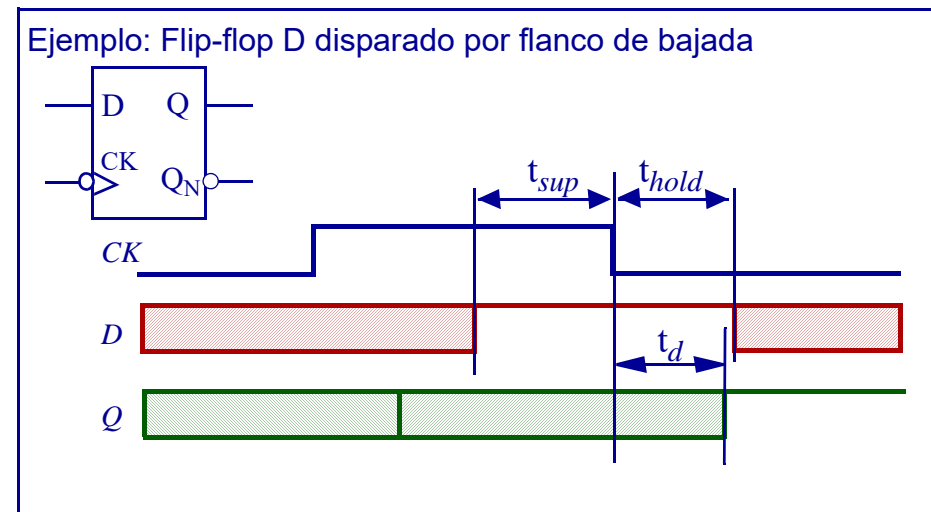
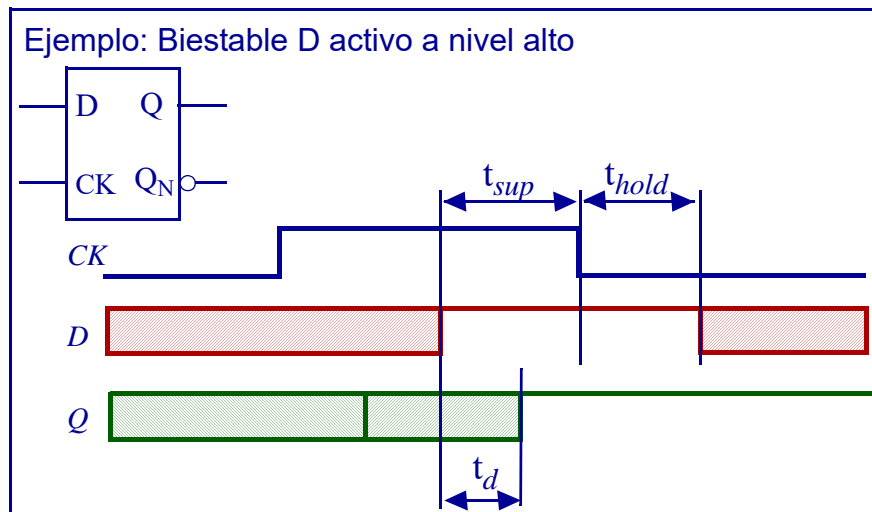
Después del flanco de disparo en los flip-flops y después del inal del nivel activo en los biestables.  
final del nivel activo en los biestables.

Retardo de propagación (Delay time)  $t_d$ . Es el mayor de los tiempos de aparición de un valor estable de un dato almacenado a la salida de un elemento de memoria, desde el instante activo.

Después del flanco activo en los flip-flops y durante el nivel activo en los biestables.

Anchura del pulso de PRESET y CLEAR. (Preset and Clear pulse width)

$t_{wpr}$  y  $t_{wcl}$ . Anchura de pulso mínimo para que su función tenga efecto.





## Registros

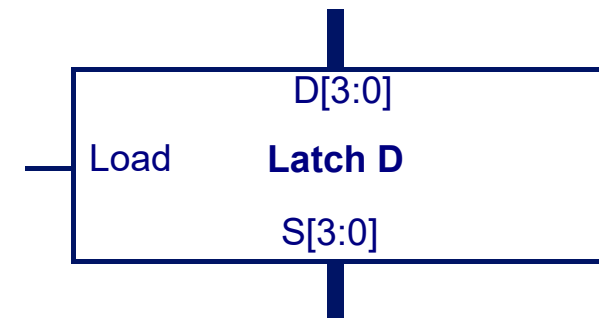
Un **registro** de **n bits** es un sistema secuencial cuya principal función es almacenar o mantener n bits información. Está formado por n elementos de memoria (latch, biestables o flip-flops) y las señales y la lógica combinacional necesarias para actualizar y/o mantener la información previamente almacenada.

La "**carga**" en el registro de la palabra de n bit puede realizarse **en paralelo** o **en serie**.

En un **Registro de n bits de carga en paralelo**:

Los n bits del registro se actualizan simultáneamente, con la activación de la correspondiente señal de control.

Ej: "**Latch D**" de 4 bits

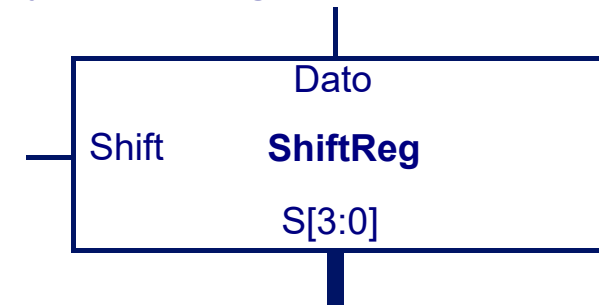


En un **Registro de n bits con carga en serie**:

(Registro de desplazamiento)

Los n bits del registro se actualizan secuencialmente, y tras n activaciones de la correspondiente señal de control.

Ej: "**Shift Register**" de 4 bits

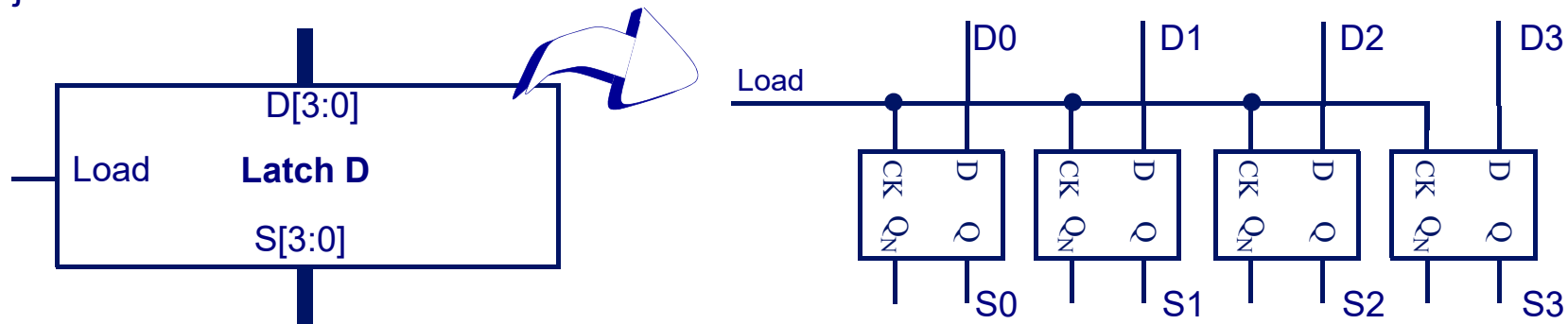


## Registros

Un **Registro de carga en paralelo**: Posee  $n$  estradas de dato y, al menos una, entrada de control de carga (Load).

Los  $n$  bits del registro se actualizan simultáneamente, con la activación de la señal **Load**.

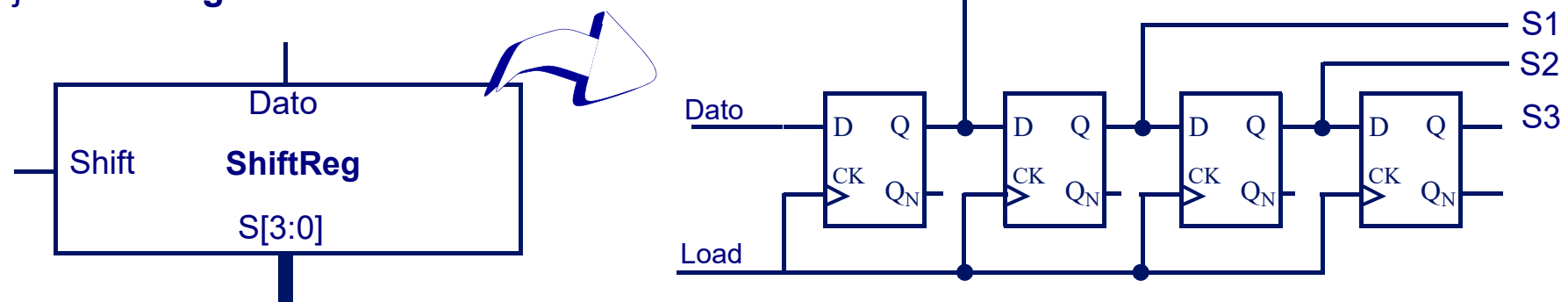
Ej: "**Latch D**" de 4 bits



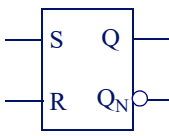
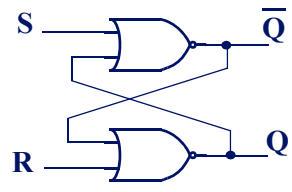
Un **Registro de carga en serie** : Posee una entrada de dato y, al menos una entrada de control de carga (Shift).

Los  $n$  bits del registro se actualizan secuencialmente, y tras  $n$  activaciones de la señal **Shift**.

Ej: "**Shift Register**" de 4 bits



## Elementos de memoria en HDL

Nombre / Símblo	Diagrama lógico	Tabla de comportamiento															
Latch SR 		<table><tr><th>S R</th><th><math>Q_{n+1}</math> <math>\overline{Q}_{n+1}</math></th><th>Significado</th></tr><tr><td>0 0</td><td><math>Q_n</math></td><td>Mantiene</td></tr><tr><td>0 1</td><td>0 1</td><td>Puesta a cero</td></tr><tr><td>1 0</td><td>1 0</td><td>Puesta a uno</td></tr><tr><td>1 1</td><td>Prohibida</td><td>Prohibida</td></tr></table>	S R	$Q_{n+1}$ $\overline{Q}_{n+1}$	Significado	0 0	$Q_n$	Mantiene	0 1	0 1	Puesta a cero	1 0	1 0	Puesta a uno	1 1	Prohibida	Prohibida
S R	$Q_{n+1}$ $\overline{Q}_{n+1}$	Significado															
0 0	$Q_n$	Mantiene															
0 1	0 1	Puesta a cero															
1 0	1 0	Puesta a uno															
1 1	Prohibida	Prohibida															

### Descripción como bloque SR\_latch\_NOR.vhd

```

library IEEE;
use IEEE.std_logic_1164.all;
entity SR_latch is
    port (
        S, R : in STD_LOGIC;
        Q, QN : out STD_LOGIC;
    );
end SR_latch_NOR;
architecture SR_latch_NOR of SR_latch_NOR is
    signal qa , qan : STD_LOGIC;
begin
    qa <= R nor qan;
    qan <= S nor qa;
    Q <= qa;
    QN <= qna;
end SR_latch_NOR;

```

### Descripción como líneas de código

- a)  $Q \leq '0'$  when  $(R = '1')$  and  $(S = '0')$  else '1'  
when  $(R = '0')$  and  $(S = '1')$  else q;
- b)  $Q \leq \text{not } R \text{ and } (S \text{ or } q);$

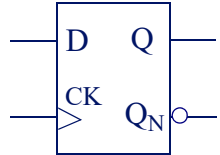
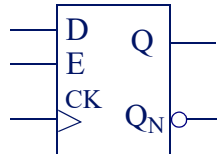
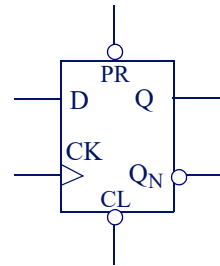
### Descripción como proceso

```

SR_latch : process (R,S)
begin
    if R = '1' then Q <= '0';
    else if S = '1' then Q <= '1';
    end if;
    QN <= not Q;
end process;

```

## Elementos de memoria: Biestables en HDL

Nombre / Símblo	Tabla de comportamiento	Descripción como proceso																		
<p>Flip-flop D</p> 	<table> <tr> <th>CK D</th><th><math>Q_{n+1}</math> <math>\bar{Q}_{n+1}</math></th><th>Significado</th></tr> <tr> <td><math>\overline{\text{A}} 0</math></td><td>0 1</td><td>Puesta a cero</td></tr> <tr> <td><math>\overline{\text{A}} 1</math></td><td>1 0</td><td>Puesta a uno</td></tr> </table>	CK D	$Q_{n+1}$ $\bar{Q}_{n+1}$	Significado	$\overline{\text{A}} 0$	0 1	Puesta a cero	$\overline{\text{A}} 1$	1 0	Puesta a uno	<pre> FF_D : process begin     wait on CK until CK = '1';     Q &lt;= 'D'; end if; end process; </pre>									
CK D	$Q_{n+1}$ $\bar{Q}_{n+1}$	Significado																		
$\overline{\text{A}} 0$	0 1	Puesta a cero																		
$\overline{\text{A}} 1$	1 0	Puesta a uno																		
<p>Flip-flop D con Habilidad</p> 	<table> <tr> <th>CK E D</th><th><math>Q_{n+1}</math> <math>\bar{Q}_{n+1}</math></th><th>Significado</th></tr> <tr> <td>x 0 x</td><td><math>Q_n</math> <math>\bar{Q}_n</math></td><td>Mantiene</td></tr> <tr> <td><math>\overline{\text{A}} 1 0</math></td><td>0 1</td><td>Puesta a cero</td></tr> <tr> <td><math>\overline{\text{A}} 1 1</math></td><td>1 0</td><td>Puesta a uno</td></tr> </table>	CK E D	$Q_{n+1}$ $\bar{Q}_{n+1}$	Significado	x 0 x	$Q_n$ $\bar{Q}_n$	Mantiene	$\overline{\text{A}} 1 0$	0 1	Puesta a cero	$\overline{\text{A}} 1 1$	1 0	Puesta a uno	<pre> FF_D_E : process begin     wait on CK until CK = '1';     if E = '1' then Q &lt;= D; end if; end process; </pre>						
CK E D	$Q_{n+1}$ $\bar{Q}_{n+1}$	Significado																		
x 0 x	$Q_n$ $\bar{Q}_n$	Mantiene																		
$\overline{\text{A}} 1 0$	0 1	Puesta a cero																		
$\overline{\text{A}} 1 1$	1 0	Puesta a uno																		
<p>Flip-flop D con entradas de Peset y Clear activas a nivel bajo</p> 	<table> <tr> <th>PR CL CK D</th><th><math>Q_{n+1}</math> <math>\bar{Q}_{n+1}</math></th><th>Significado</th></tr> <tr> <td>0 1 x x</td><td>1 0</td><td>Puesta a uno asínc.</td></tr> <tr> <td>1 0 x x</td><td>0 1</td><td>Puesta a cero asinc.</td></tr> <tr> <td>0 0 x x</td><td>No valido</td><td>Prohibido</td></tr> <tr> <td>1 1 <math>\overline{\text{A}} 0</math></td><td>0 1</td><td>Puesta a cero</td></tr> <tr> <td>1 1 <math>\overline{\text{A}} 1</math></td><td>1 0</td><td>Puesta a uno</td></tr> </table>	PR CL CK D	$Q_{n+1}$ $\bar{Q}_{n+1}$	Significado	0 1 x x	1 0	Puesta a uno asínc.	1 0 x x	0 1	Puesta a cero asinc.	0 0 x x	No valido	Prohibido	1 1 $\overline{\text{A}} 0$	0 1	Puesta a cero	1 1 $\overline{\text{A}} 1$	1 0	Puesta a uno	<pre> FF_DPC : process (PR,CL,CK,D) begin     if CL = '0' then Q &lt;= '0';     elseif PR = '0' then Q &lt;= '1';     elseif CK'event and CK = '1' then Q &lt;= D; end if; end process; </pre>
PR CL CK D	$Q_{n+1}$ $\bar{Q}_{n+1}$	Significado																		
0 1 x x	1 0	Puesta a uno asínc.																		
1 0 x x	0 1	Puesta a cero asinc.																		
0 0 x x	No valido	Prohibido																		
1 1 $\overline{\text{A}} 0$	0 1	Puesta a cero																		
1 1 $\overline{\text{A}} 1$	1 0	Puesta a uno																		