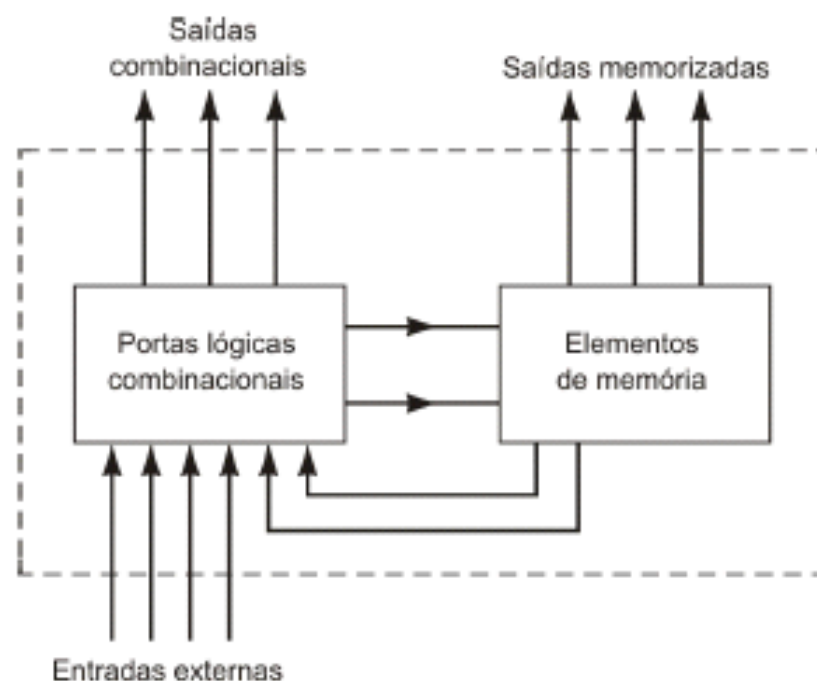


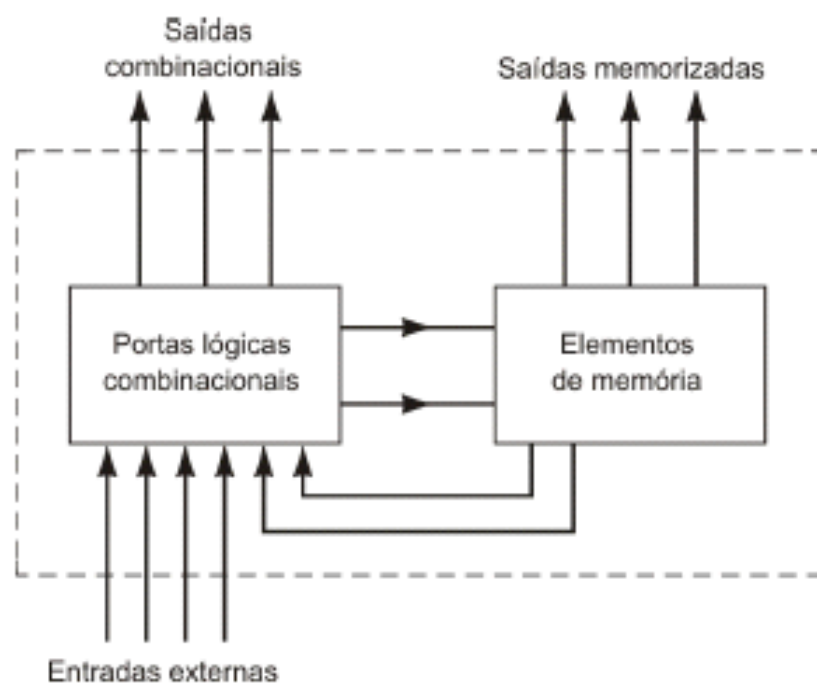
Circuitos Seqüenciais

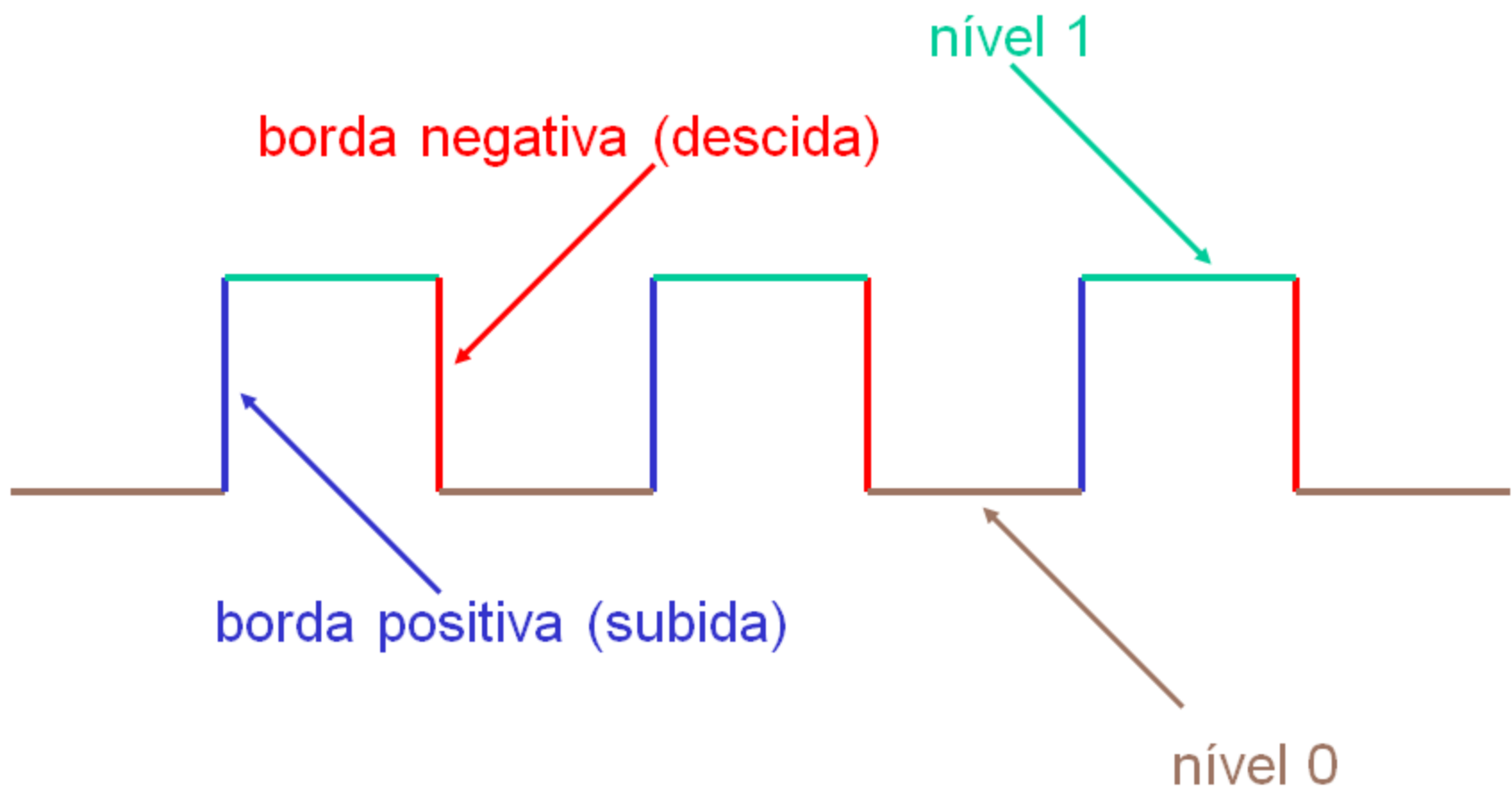
- Nos circuitos combinacionais, uma dada saída do circuito é função única e exclusiva das suas entradas atuais.
- Nos circuitos seqüenciais, elas são também função da história passada do circuito. Isso ocorre em função do circuito seqüencial apresentar elementos com capacidade de armazenamento de informação.



Circuitos Seqüenciais

- o **Na parte combinacional:** recebe sinais externos e saídas dos elementos de memória
- o **No elemento de memória:** armazena entradas anteriores, onde o elemento de memória é o **flip-flop**.



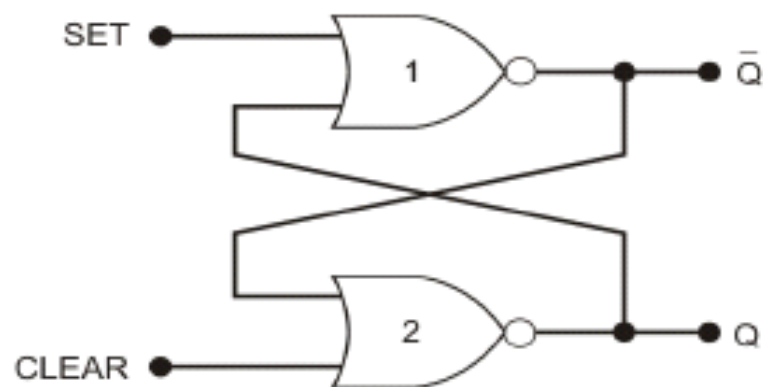


Latch

- o O latch é um dispositivo de armazenamento temporário que tem dois estados estáveis (biestável).
- o Os latches são similares aos flip-flops porque são dispositivos biestáveis e que podem permanecer em um dos dois estados estáveis usando uma configuração de realimentação, na qual as saídas são ligadas as entradas opostas.
- o A principal diferença entre os latches e flip-flops é o método usado para a mudança de estado.

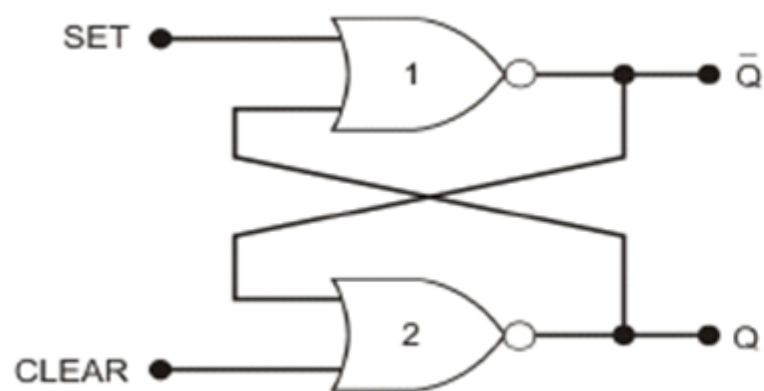
Latch R-S

- o Duas portas NOR interligadas de modo cruzado podem ser usadas como um latch com portas NOR.
- o SET e CLEAR (RESET) são ativadas em nível ALTO.



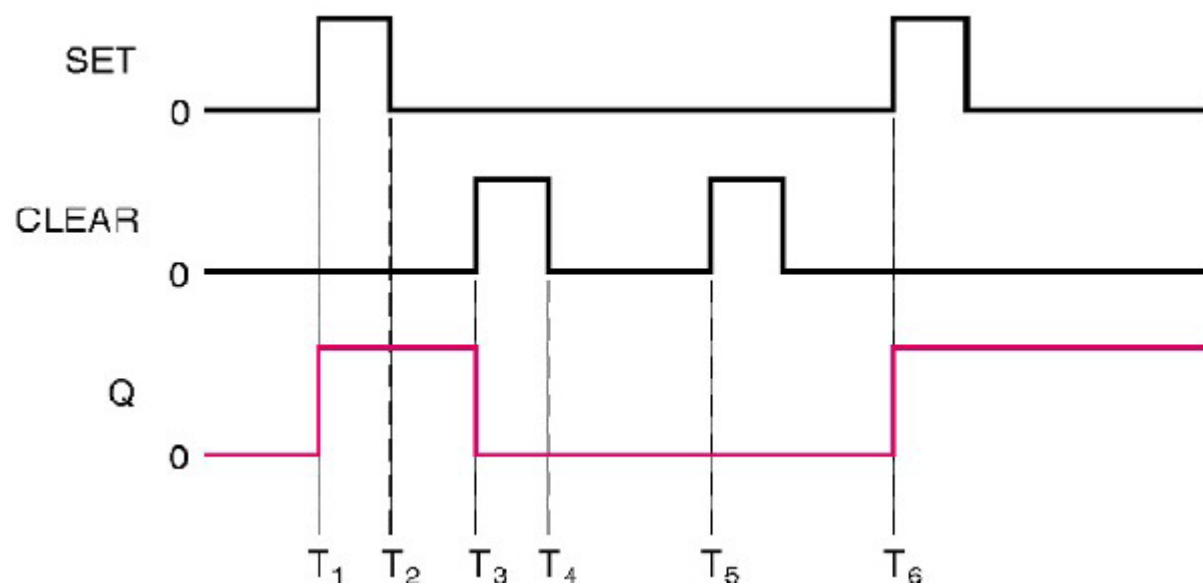
Set	Reset	Saída
0	0	Não muda
1	0	$Q = 1$
0	1	$Q = 0$
1	1	Inválida*

*Produz $Q = \bar{Q} = 0$.



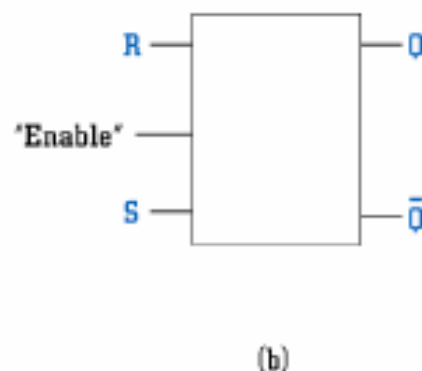
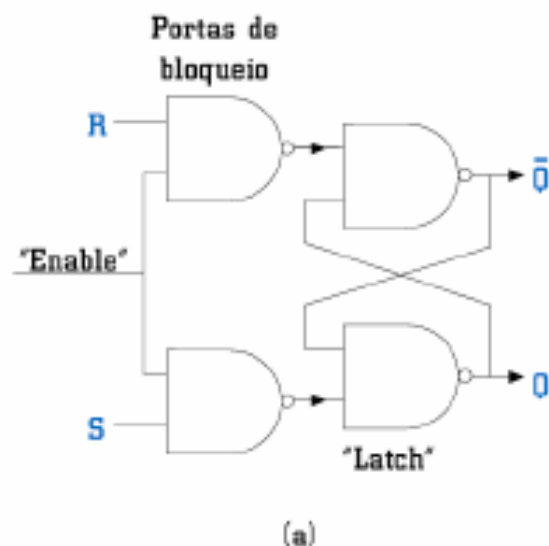
Set	Reset	Saída
0	0	Não muda
1	0	$Q = 1$
0	1	$Q = 0$
1	1	Inválida*

*Prodüz $Q = \bar{Q} = 0$.



Latch R-S Síncrono

(a) Latch R-S síncrono. (b) Símbolo. (c) Tabela de combinações.

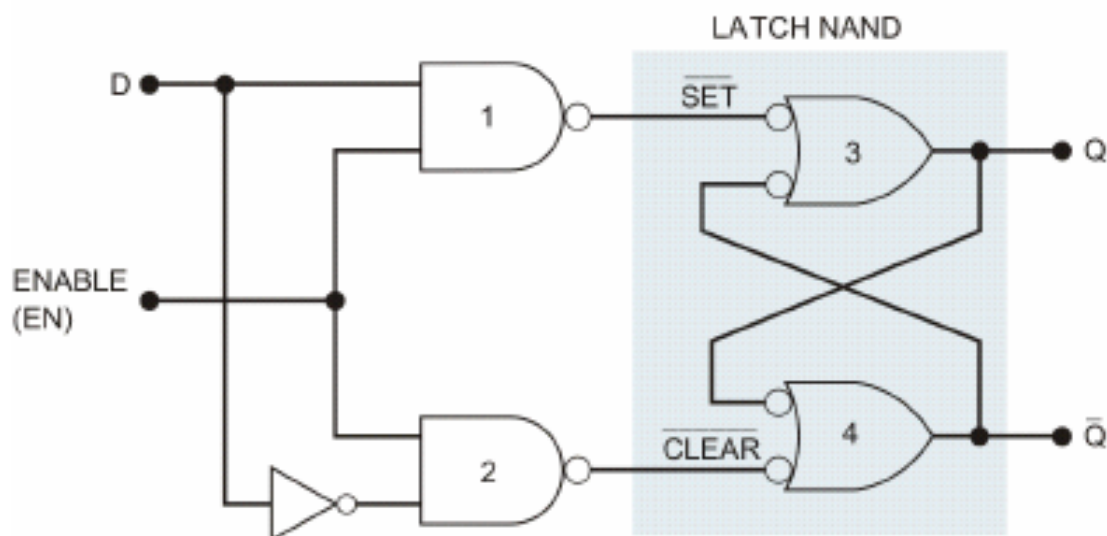


Entradas			Saídas		
"Enable"	R	S	Q	\bar{Q}	
0	X	X	Não muda		→ Bloqueio - "Latch"
1	0	0	Não muda		
1	0	1	1	0	
1	1	0	0	1	
1	1	1	1	1	

(c)

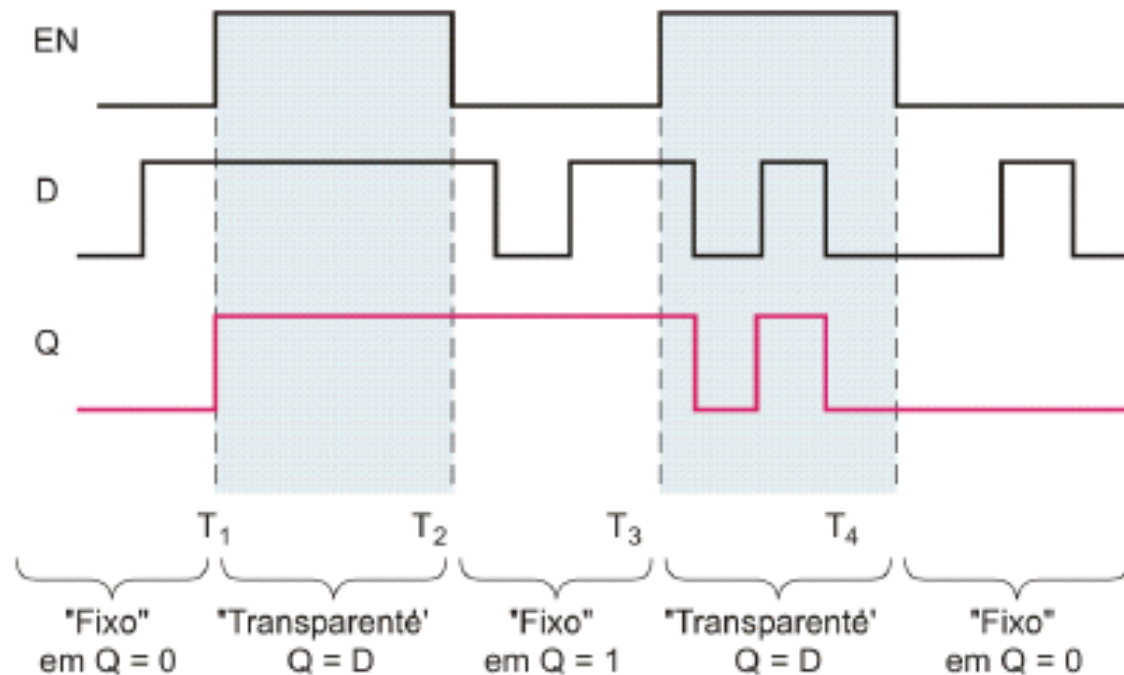
Latch D

- A entrada comum das portas que implementam o circuito direcionador é denominada entrada de **habilitação (ENABLE)**.
- Se **EN = 1**, a saída **Q** será igual à entrada **D** (transparente).
- Se **EN = 0**, a saída **Q** não será modificada (guarda o último valor – memória).

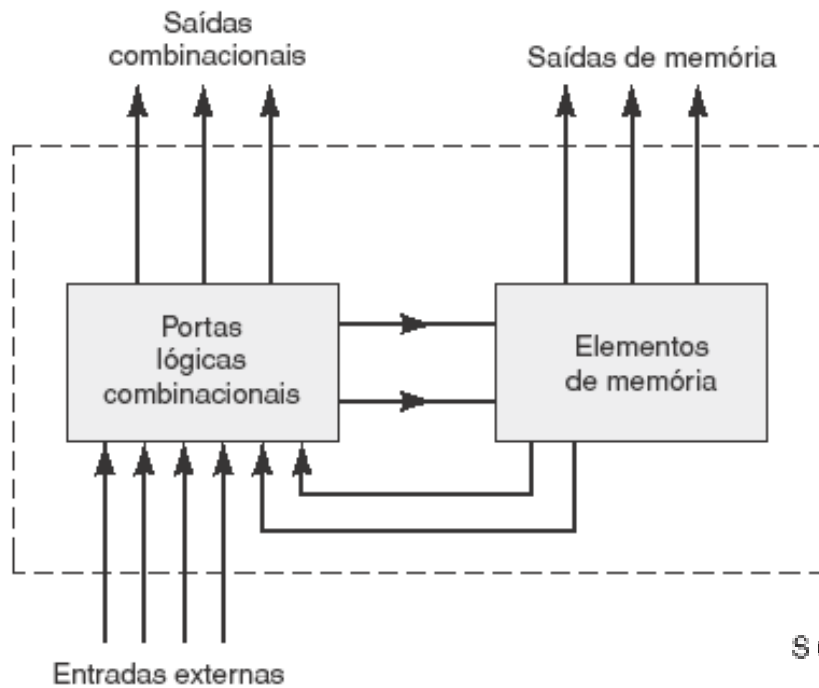


Latch D

Exemplo do comportamento de um latch D para as formas de onda dadas:

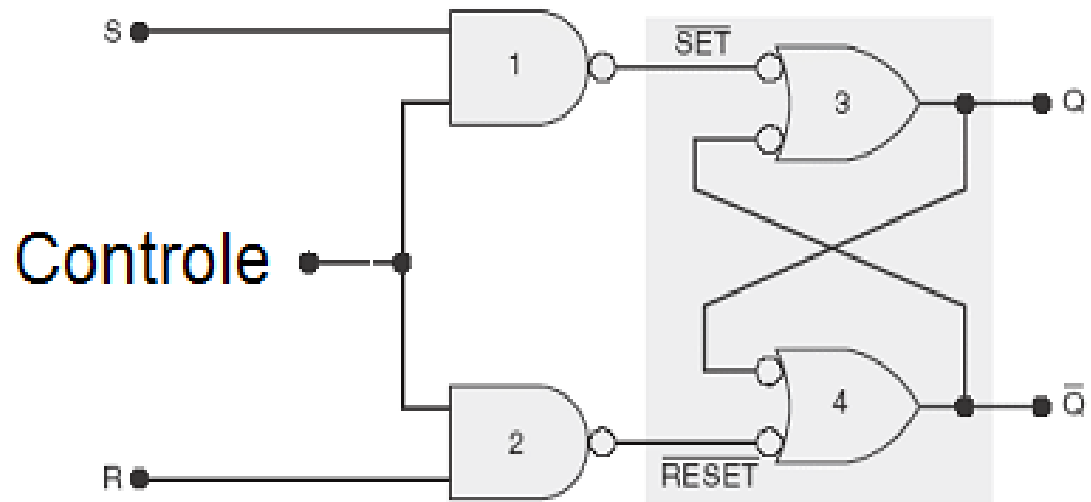


Temporização



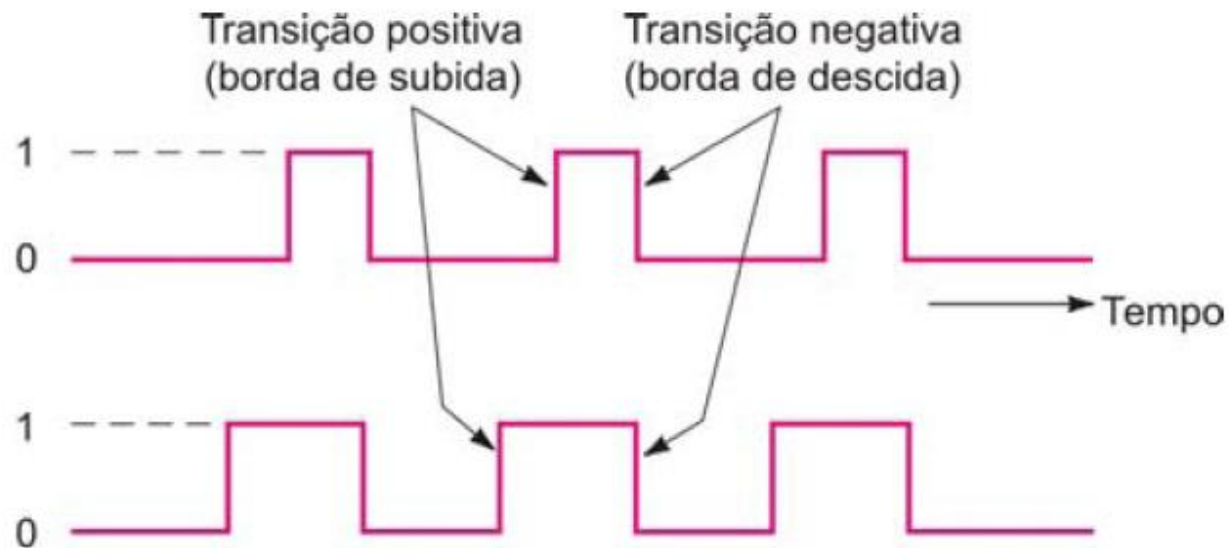
Problemas de temporização
pelo uso de latches como células de
memória

Se o sinal de controle
permanecer ativo por um
tempo maior que o atraso da
lógica combinacional, podem
haver múltiplas mudanças
(consecutivas) na memória

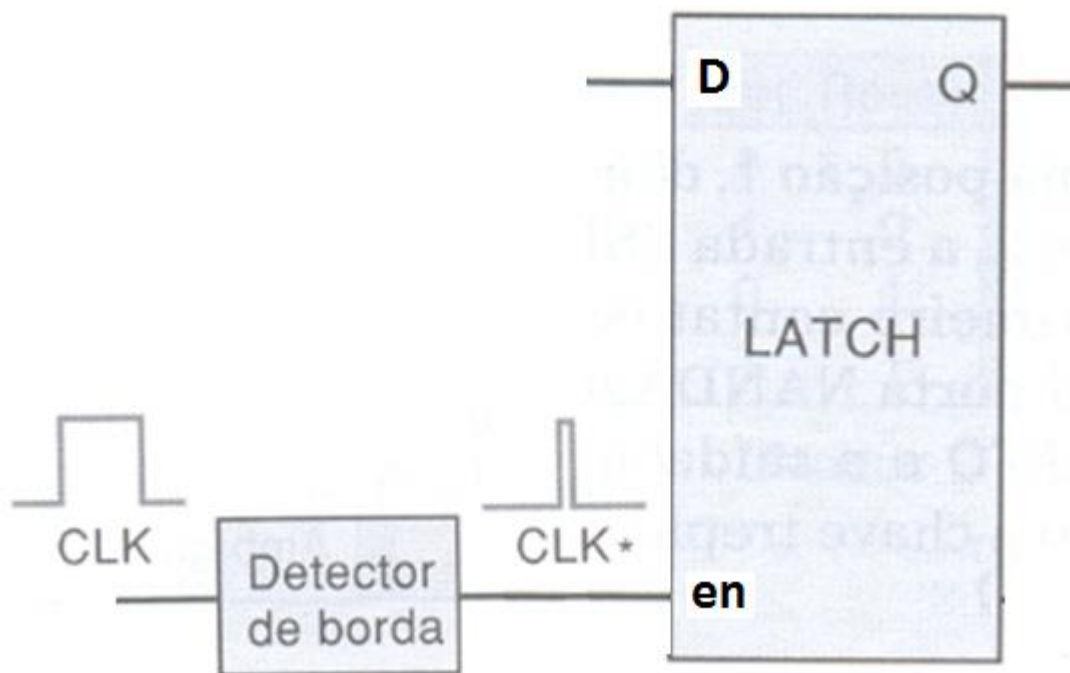
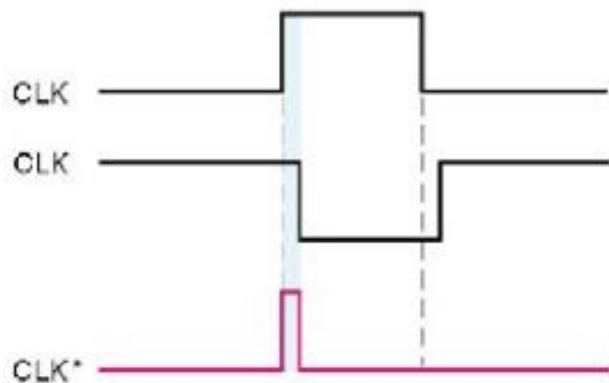
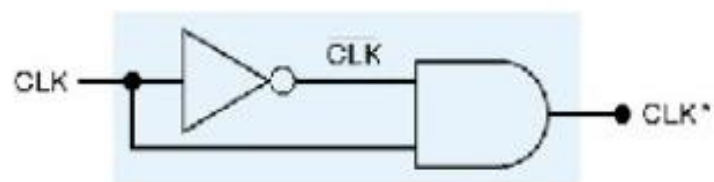


Temporização

E se pudéssemos habilitar a mudança no estado apenas em curtos instantes de tempo, como por exemplo nas transições de $0 \rightarrow 1$ (ou $1 \rightarrow 0$) no sinal de controle?

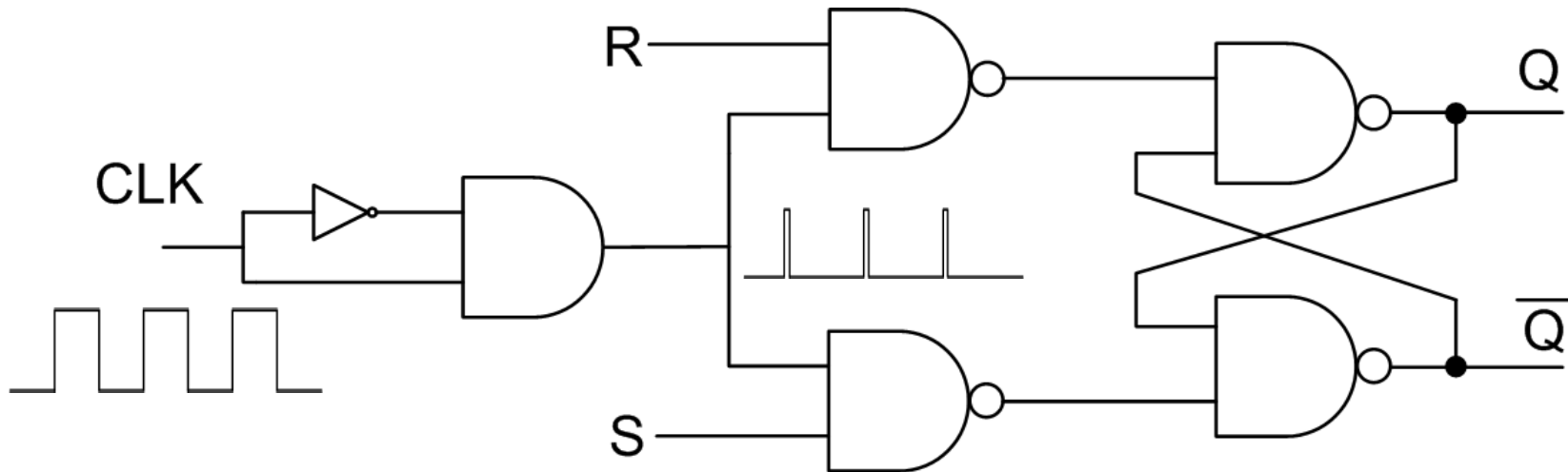


Circuito detector de Transição



Dispositivos acionados por borda

Exemplo de implementação de um Flip-Flop (FF) RS:



FF acionado na borda de subida do sinal CLK

Nomenclatura adotada aqui (existem outras):

Latch → acionado por nível;

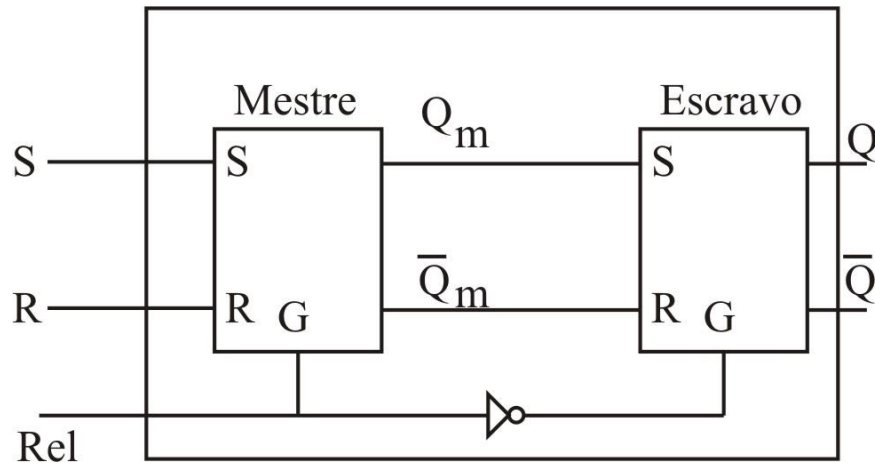
FF → acionado por borda.

Flip-Flop Mestre-Escravo

Outro exemplo de implementação de um Flip-Flop (FF) RS:

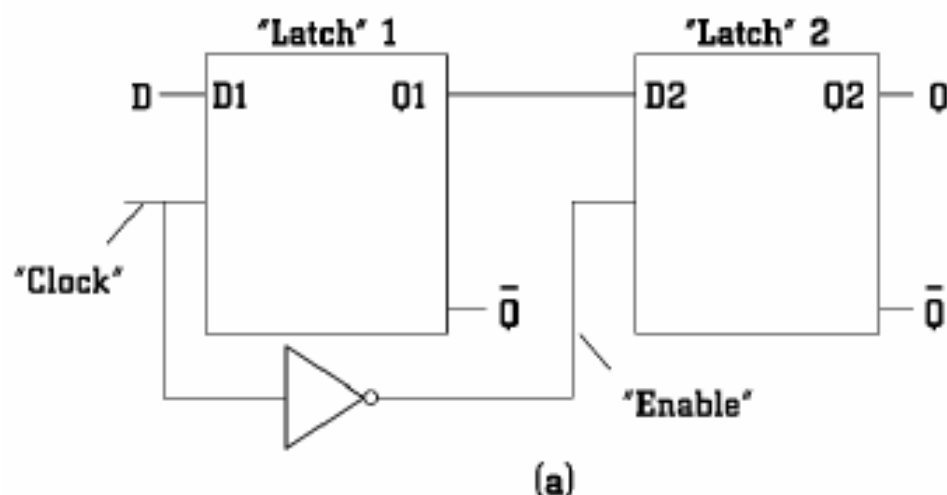
2 latches ligados em série: o primeiro é denominado mestre e o segundo escravo. Embora os latches sejam sensíveis ao nível, o conjunto é sensível à borda.

Flip-Flop RS Mestre-Escravo:



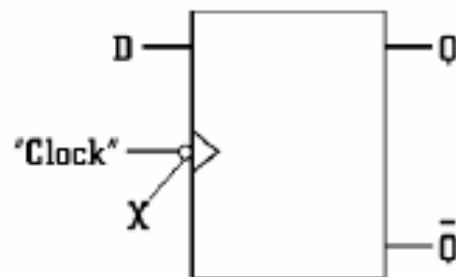
Flip-Flop D

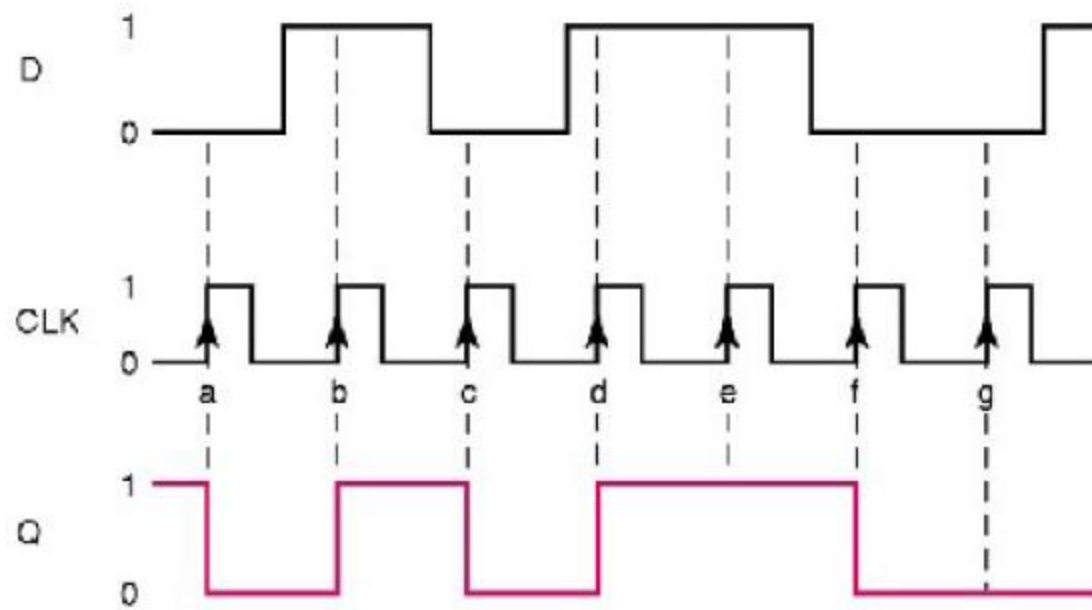
- o (a) Flip-Flop D. (b) Tabela de combinações. (c) Símbolo.



'Clock'	D	Q
↓	1	1
↓	0	0
1	X	Não muda
0	X	Não muda

(b)





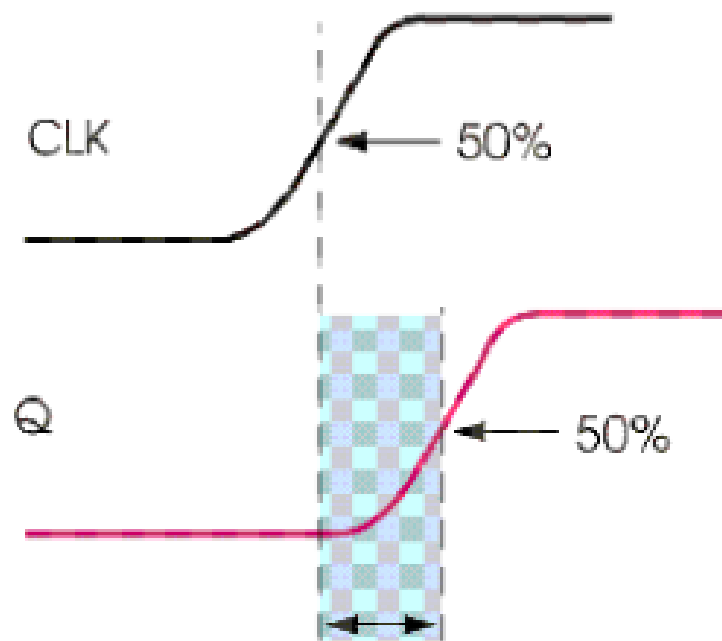
Elementos Sequenciais com SET/PRESET e RESET/CLEAR

Temporização

Definição de termos

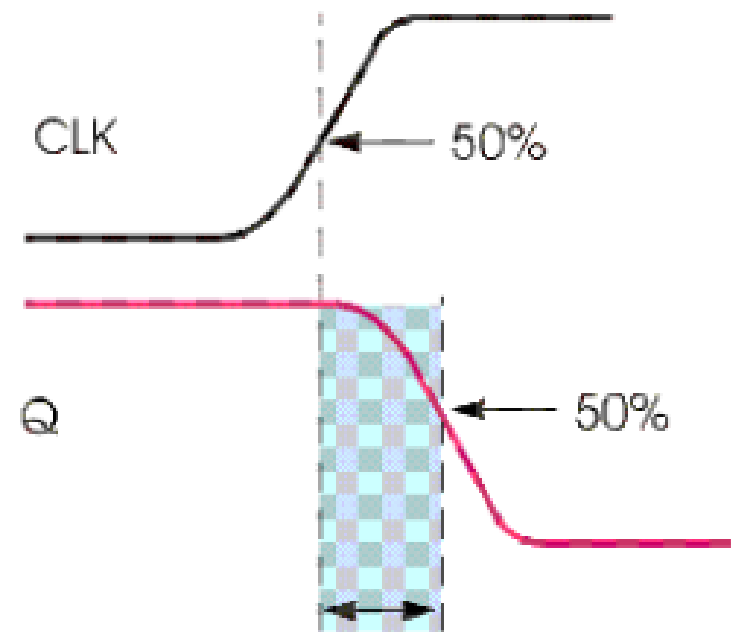
- o Relógio: sinal elétrico periódico que provoca a mudança de estado do elemento de memória; (transição de subida ou descida, nível alto ou baixo)
- o Atraso de propagação: tempo máximo depois do evento de relógio (transição de subida ou descida) até a mudança do valor na saída do flip-flop (T_{PHL} e T_{PLH})
- o Tempo de *setup*: tempo mínimo antes do evento de relógio (transição de subida ou descida) em que a entrada precisa estar estável (T_{su})
- o Tempo de hold: tempo mínimo depois do evento de relógio (transição de subida ou descida) durante o qual a entrada precisa continuar estável (T_h)

Atrasos de Propagação



t_{PLH}
Atraso de programação
de BAIXO para ALTO

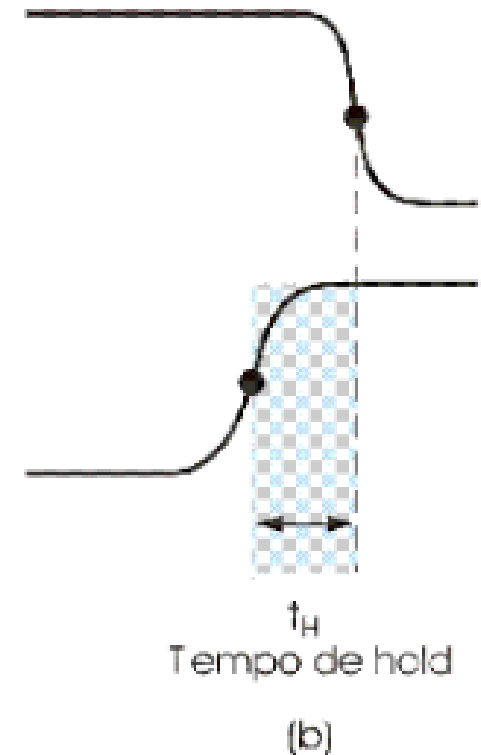
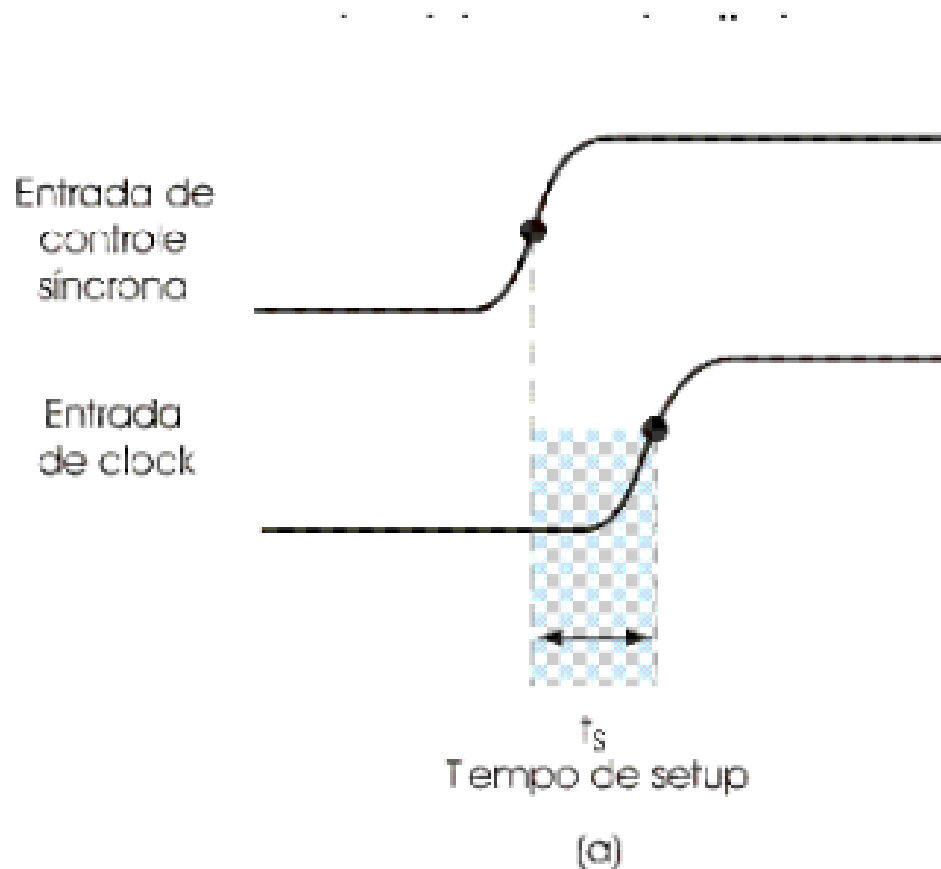
(a)



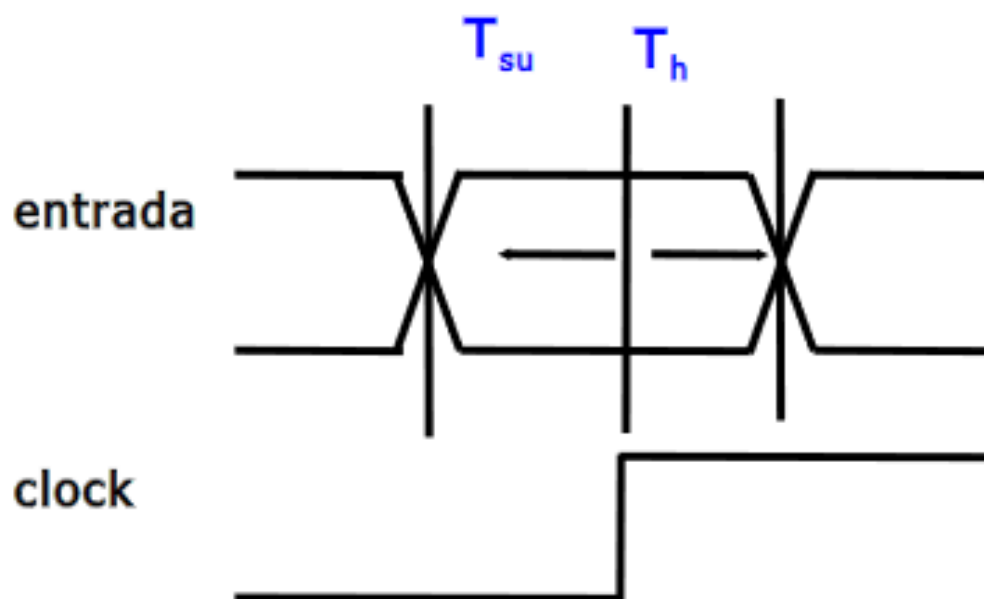
t_{PHL}
Atraso de programação de
AL TO para BAIXO

(b)

Tempo de Setup e Hold

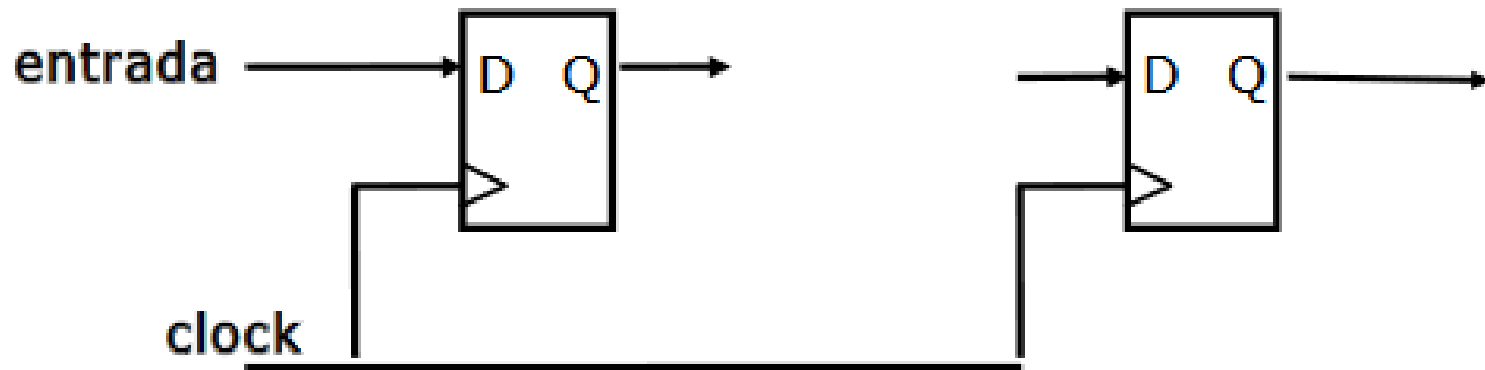


Temporização



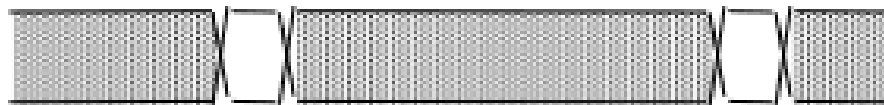
Existe uma “janela” de tempo em torno da subida ou descida do relógio durante a qual a entrada precisa permanecer estável e inalterada para que seja corretamente reconhecida.

Temporização



estável alterando

entrada



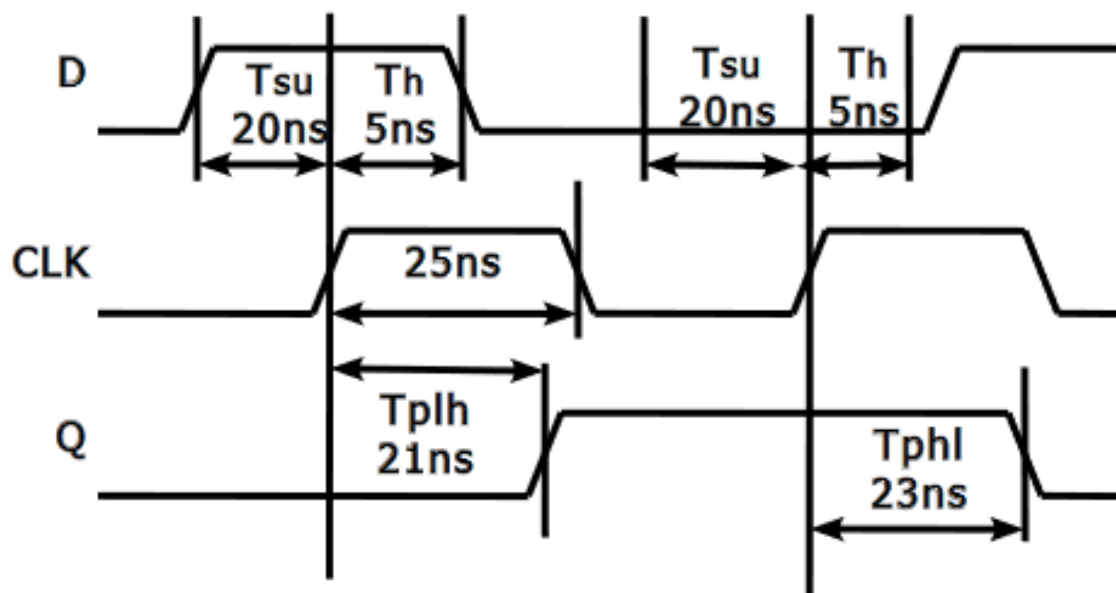
clock



Especificações de Tempo Típicas

□ Positive edge-triggered D flip-flop

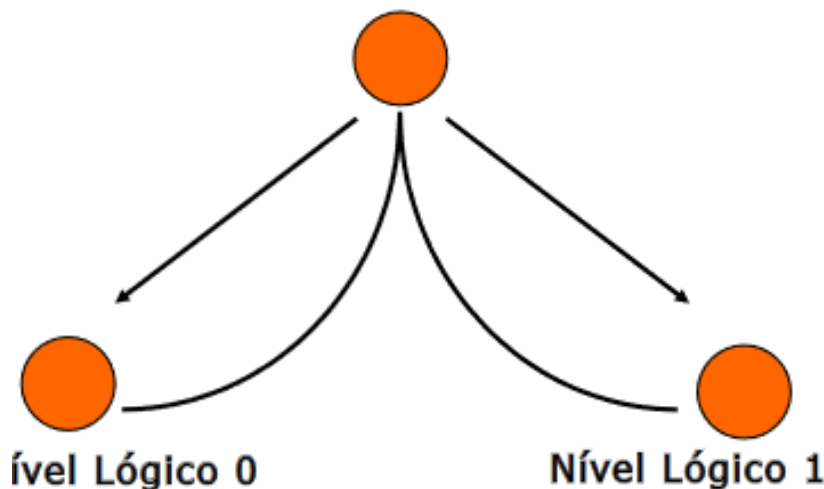
- Tempos de Setup e Hold
- Largura de clock mínima
- Retardos de propagação (0 para 1, 1 para 0, máximo e típico)



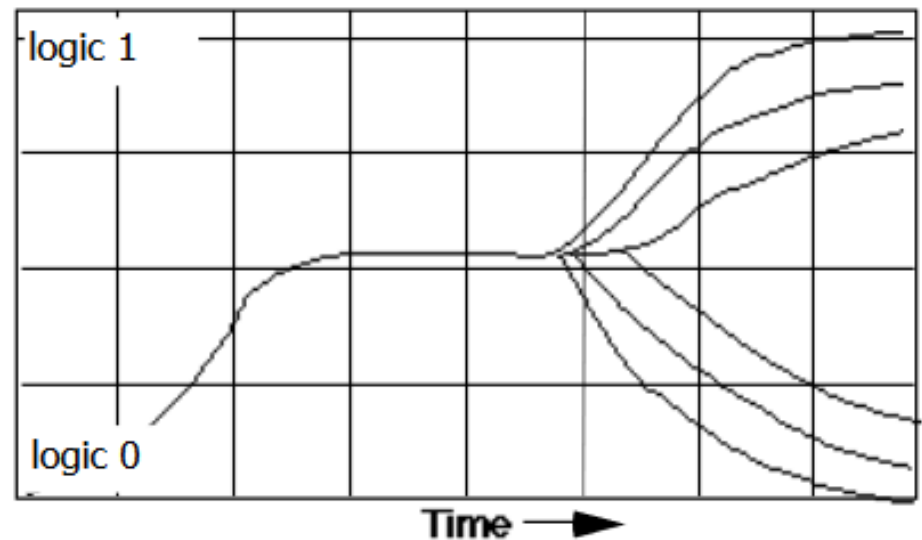
Todas as medidas são feitas a partir do evento de clock, isto é, a partir da borda de subida do clock

Falha de Sincronização

- ❑ Ocorre quando a entrada do flip-flop muda próximo à borda do clock
 - FF pode entrar num estado metaestável – nem 0 nem 1
 - FF pode permanecer neste estado indefinidamente



probabilidade baixa, mas não nula,
de que a saída do FF fique presa
em um estágio intermediário



gráficos no osciloscópio demonstrando
falha de sincronização e eventual
decaimento ao estado permanente

METAESTABILIDADE