

Exercicis Tema 6

S'ha d'entregar un únic fitxer PDF que inclogui la solució que vosaltres proposeu als problemes plantejats. El fitxer PDF no te que ser necessàriament una solució feta per ordinador, pot ser una solució escrita a mà i digitalitzada. El PDF ha d'incloure una capçalera on s'indiqui el vostre nom i cognoms, i l'enunciat de cada pregunta abans de la vostra resposta.

Exercici 1

Es vol dissenyar el comandament del control remot d'un cotxe de joguina. El comandament té dos botons: E i D.

Si el cotxe està parat, en pulsar-se qualsevol botó es posa en moviment: gira a l'esquerra si es pulsa E, gira a la dreta si es pulsa D, i tira endavant si es pulsen tots dos alhora.

Mentre el cotxe està en moviment, si es polsa E

- girarà a l'esquerra si anava recte,
- anirà recte si estava girant a la dreta,
- seguirà girant a l'esquerra si ja ho feia

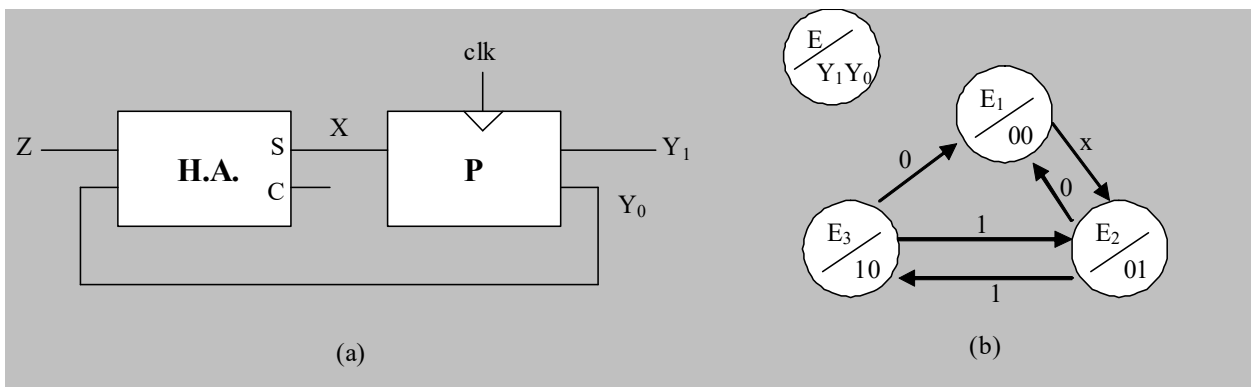
i similarmet quan es polsi D. Quan es polsin tots dos botons alhora es parará. Si no es pulsa res se segueix fent el que feia.

Especifica un sistema lògic seqüencial que rebi com a entrada 2 senyals connectats als botons E i D (1: polsat; 0: no polsat) i generi dos senyals Z1 i Z0 que governaran el cotxe, segons la taula següent:

Acció del cotxe	Z1	Z0
Girar a la dreta	0	0
Girar a l'esquerra	0	1
Parar	1	0
Moure's endavant	1	1

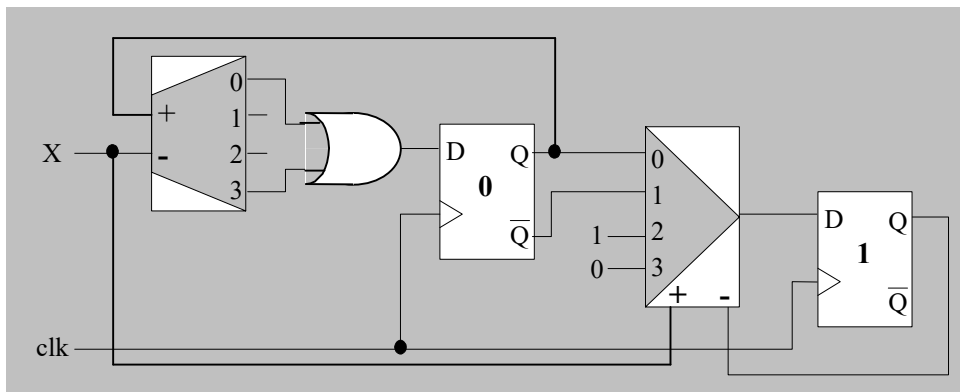
Exercici 2

Dibuixa el graf d'estats del sistema de la figura (a), sabent que P és un sistema lògic seqüencial que es comporta segons el graf de la figura (b).



Exercici 3

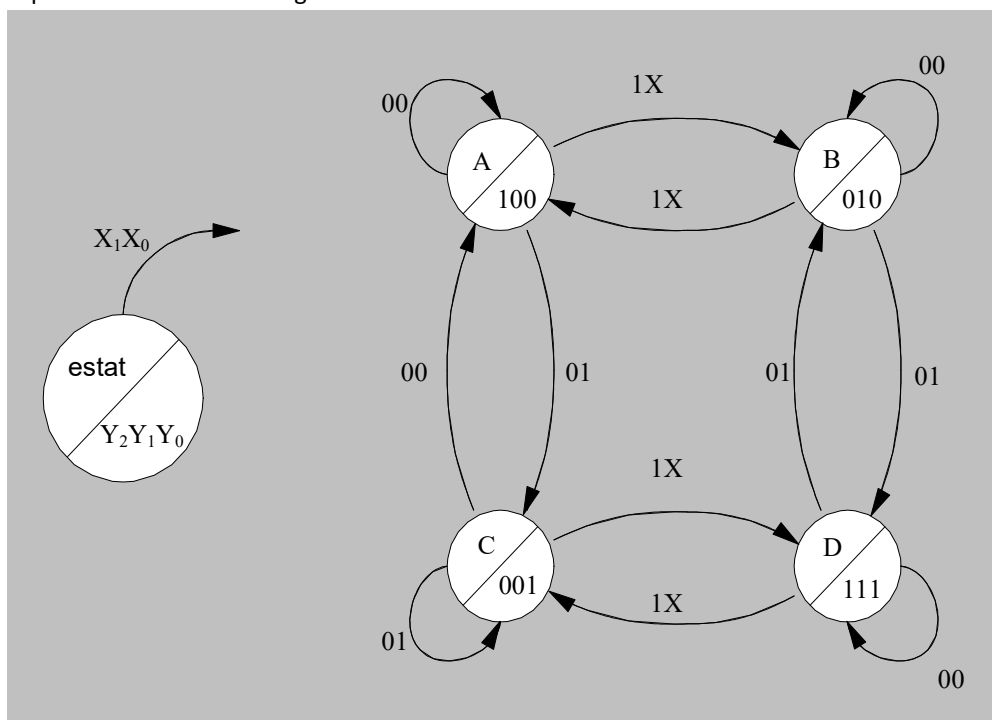
Dado el siguiente circuito:



- Encuentra las expresiones algebraicas de D_0 y D_1 .
- Escribe la tabla de transiciones y la tabla de salidas del circuito. Las salidas son las Q de los biestables.
- Dibuja el grafo de estados asociado al circuito.

Exercici 4

Fes la síntesi del sistema lògic seqüencial següent usant 2 biestables tipus D i dues memòries ROM (una per les sortides i una altra per l'estat següent). Per aquest cas indica el contingut i la mida de les memòries.



Exercici 5

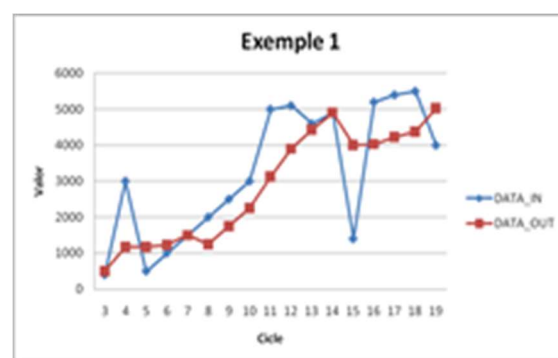
S'ha dissenyat un circuit lògic seqüencial per suavitzar una funció F discreta que ens arriba expressada a través d'una seqüència de nombres naturals codificats en binari d'n bits. El funcionament del circuit és el següent:

- El nostre circuit té un bus d'entrada de 16 bits anomenat DATA_IN i un bus de sortida, també de 16 bits, anomenat DATA_OUT.
- A cada cicle ens arriba un nou valor de la funció F a través del bus DATA_IN.
- El circuit durant un cicle ha de calcular la mitjana aritmètica dels últims quatre valors que hagin arribat incloent el del cicle actual. Formalment:

$$DATA_OUT_u(i) = (DATA_IN_u(i) + DATA_IN_u(i-1) + DATA_IN_u(i-2) + DATA_IN_u(i-3)) / 4$$

- El valor que pren el bus de sortida DATA_OUT durant els primers cicles en què està en marxa el sistema, fins que no està estabilitzat, no importa.
- El circuit no ha de controlar el cas en què la suma dels últims quatre valors no sigui representable amb 16 bits. Si això es dona el circuit retornarà un valor incorrecte

D'aquesta manera aconseguim suavitzar una funció F d'entrada tal i com es veu a l'exemple representat a la gràfica.



Apartat 1. Completa el cronograma pels cicles del 3 al 5.

Cicle	0	1	2	3	4	5
DATA_IN	0x0010	0x0043	0x0022	0x000B	0x0010	0x0013
DATA_OUT						

Apartat 2. Completa el disseny incomplert que et donem a continuació. Per fer-ho, es poden utilitzar els blocs combinacionals i seqüencials de la Digit@Lib, i afegir totes les interconnexions necessàries per implementar la funcionalitat descrita.

