

## Exercicis Tema 12

*S'ha d'entregar un únic fitxer PDF que inclogui la solució que vosaltres proposeu als problemes plantejats. El fitxer PDF no te que ser necessàriament una solució feta per ordinador, pot ser una solució escrita a mà i digitalitzada. El PDF ha d'incloure una capçalera on s'indiqui el vostre nom i cognoms, i l'enunciat de cada pregunta abans de la vostra resposta.*

### Exercici 1

Suposem que anul·lem les quatre instruccions d'accés a memòria del SISC Harvard unicycle. Especifica quin és el nou camí crític i calcula el temps de cycle mínim del processador SISC Harvard unicycle tenint en compte els següents retards per als components. Retards: And-2 20ut, Or-2 20ut, Not 10ut, biestables 100ut, la ROM de la UCG 90ut i els accessos a memòria I-MEM de 64KW i a un mòdul RAM de 32KB es de 800ut.

### Exercici 2

Calculeu el temps d'execució (en u.t.) dels següents programes SISA quan s'executen al SISC Harvard unicycle i multicicle. Obteniu el percentatge d'augment de la velocitat d'execució al multicicle comparat amb la del unicycle, per cada programa (és a dir, calculeu P per a que sigui certa la frase: el programa s'executa un P % més ràpid al computador multicicle que al unicycle).

Nota: Per aquest exercici el temps de cycle és de 3.000 u.t. pel computador unicycle mentre que al multicicle es de 750 u.t. En el multicicle les instruccions d'accés a memòria s'executen en 4 cicles i la resta en 3.

Suposeu que el contingut de la paraula de la adreça 0x1000 conté el valor 43.

a)

```
MOVI R0, 0x00
MOVHI R0, 0x10
LD R1, 0 (R0)
MOVI R3, 0
MOVI R4, 0x01
MOVI R5, 16
MOVI R6, -1
AND R2, R1, R4
ADD R3, R3, R2
SHL R1, R1, R6
ADDI R5, R5, -1
BNZ R5, -5
OUT 3, R3
```

b)

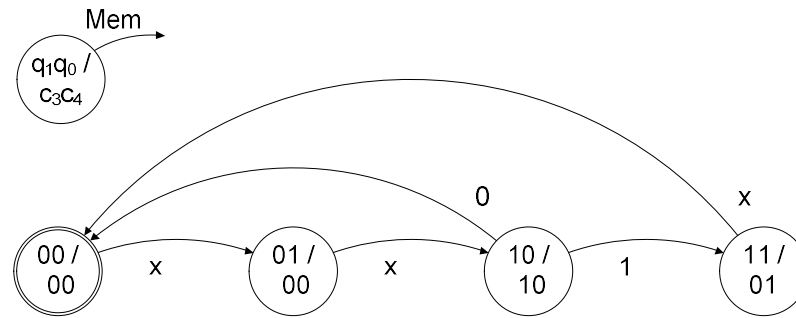
```
MOVI R0, 0x00
MOVHI R0, 0x10
LD R1, 0 (R0)
MOVI R3, 0
MOVI R4, 0x01
MOVI R6, -1
AND R2, R1, R4
ADD R3, R3, R2
SHL R1, R1, R6
BNZ R1, -4
OUT 3, R3
```

### Exercici 3

Redissenyeu el bloc SISC Harvard Multicicle CONTROL per a que el computador funcioni correctament d'acord amb les següents restriccions de disseny:

1. Que el circuit seqüencial del bloc SISC Harvard Multicicle CONTROL encarregat de saber quin és l'últim cycle d'execució de cada instrucció, per modificar durant aquest cycle l'estat del computador, sigui substituït per un altre circuit seqüencial amb

el següent graf d'estats, que té dues sortides: c3 que indica el cicle en què han de modificar l'estat les instruccions ràpides i c4 en el que ho han de fer les lentes.



2. Que aquest graf d'estats s'implementi amb el mínim nombre de biestables i dues memòries ROM.
3. Que no es modifiqui el bloc que es troba a l'interior del SISC Harvard Multicicle CON denominat SISC Harvard Multicicle LOGIC CONTROL.
4. Que la resta de lògica es realitzi amb el mínim nombre de portes lògiques Not, And-2 i Or-2.