

中图分类号: 043

学校代码: 10055

UDC: 530

密级: 公开

南开大学
硕士 学位 论文

单原子层MoS₂忆阻器件逻辑运算研究

Research on logic computing of single-atomic-layer MoS₂
memristor devices

论文作者 周郅璨

指导教师 刘前、张心正 教授

申请学位 理学硕士

培养单位 物理科学学院

学科专业 光子学与光子技术

研究方向 光学微纳加工

答辩委员会主席 李勇男

评 阅 人 蔡卫、谢常青

南开大学物理科学学院

二〇二二年五月

南开大学学位论文原创性声明

本人郑重声明：所呈交的学位论文，是本人在导师指导下进行研究工作所取得的研究成果。除文中已经注明引用的内容外，本学位论文的研究成果不包含任何他人创作的、已公开发表或者没有公开发表的作品的内容。对本论文所涉及的研究工作做出贡献的其他个人和集体，均已在文中以明确方式标明。本学位论文原创性声明的法律责任由本人承担。

学位论文作者签名： 周祁豫 2021年6月3日

非公开学位论文标注说明

(本页表中填写内容须打印)

根据南开大学有关规定，非公开学位论文须经指导教师同意、作者本人申请和相关部门批准方能标注。未经批准的均为公开学位论文，公开学位论文本说明为空白。

论文题目			
申请密级	<input type="checkbox"/> 限制(≤2年) <input type="checkbox"/> 秘密(≤10年) <input type="checkbox"/> 机密(≤20年)		
保密期限	20 年 月 日至 20 年 月 日		
审批表编号		批准日期	20 年 月 日

南开大学学位评定委员会办公室盖章(有效)

注：限制★2年(可少于2年)；秘密★10年(可少于10年)；机密★20年(可少于20年)

南开大学学位论文使用授权书

本人完全了解《南开大学关于研究生学位论文收藏和利用管理办法》关于南开大学(简称“学校”)研究生学位论文收藏和利用的管理规定,同意向南开大学提交本人的学位论文电子版及相应的纸质本。

本人了解南开大学拥有在《中华人民共和国著作权法》规定范围内的学位论文使用权,同意在以下几方面向学校授权。即:

1. 学校将学位论文编入《南开大学博硕士学位论文全文数据库》,并作为资料在学校图书馆等场所提供阅览,在校园网上提供论文目录检索、文摘及前16页的浏览等信息服务;
2. 学校可以采用影印、缩印或其他复制手段保存学位论文;学校根据规定向教育部指定的收藏和存档单位提交学位论文;
3. 非公开学位论文在解密后的使用权同公开论文。

本人承诺:本人的学位论文是在南开大学学习期间创作完成的作品,并已通过论文答辩;提交的学位论文电子版与纸质本论文的内容一致,如因不同造成不良后果由本人自负。

本人签署本授权书一份(此授权书为论文中一页),交图书馆留存。

学位论文作者暨授权人(亲笔)签字: 周郅璨

2021年6月3日

南开大学研究生学位论文作者信息

论文题目	单原子层MoS ₂ 忆阻器件逻辑运算研究				
姓名	周郅璨	学号	2120190199	答辩日期	2022年5月13日
论文类别	博士 <input type="checkbox"/>	学历硕士 <input checked="" type="checkbox"/>	专业学位硕士 <input type="checkbox"/>	同等学力硕士 <input type="checkbox"/>	划√选择
学院(单位)	物理科学学院	学科/专业(专业学位)名称		光子学与光子技术	
联系电话	13896085361	电子邮箱	zhouzc2021@foxmail.com		
通信地址(邮编):	天津市卫津路94号物理科学学院				
非公开论文编号		备注			

注:本授权书适用我校授予的所有博士、硕士的学位论文。如已批准为非公开学位论文,须向图书馆提供批准通过的《南开大学研究生申请非公开学位论文审批表》复印件和“非公开学位论文标注说明”页原件。

摘要

进入信息时代以来，以数据为中心的各种新兴技术高速发展，也对计算机的数据处理能力提出了更高的要求。传统的冯·诺依曼计算架构由于“内存墙”瓶颈，以及摩尔定律的限制，在面对当前激增的算力需求时，已难以取得进一步的突破。而忆阻器作为一种新型的非易失性存储器件，有望实现存储和运算一体化的新型计算架构，该架构能够极大地提升运算速度、降低运算成本。

目前，基于一些传统材料体系的忆阻器已经发展到了相对成熟的程度，并正在逐渐向大规模集成及工业级应用发展。此外，单原子层二维材料近年来同样也被发现具有良好的忆阻特性，并具有较大的开关比、较快的切换速度以及较长的阻态保持时间等优点，这为忆阻器件的发展提供了新的方向。

本文对单原子层 MoS₂ 忆阻器件进行了研究，制备了性能良好的器件，对其阻变机理进行了分析讨论，并验证评估了其用于逻辑运算的能力，具体研究内容和成果如下：

(1) 优化介质层材料和器件制备工艺，搭建了阻变性能良好的单原子层 Au/MoS₂/Au 垂直结构忆阻器件，该器件具有明显的 R_{ON} 和 R_{OFF} 两个阻态，能够对应存储和逻辑运算的“1”和“0”状态，器件开关比最高可达到 10^5 ，阻态保持时间超过 10^4 s。该器件无需施加高电压初始化，阻态切换可直接在 1.5 V 偏压下接近稳定地实现。

(2) 利用第一性原理模拟计算对单原子层 MoS₂ 的忆阻器件阻变机理进行了说明，建立了本征、带有缺陷、电极中的 Au 原子吸附进入缺陷的三种模型，从能带结构、能态密度以及器件电输运等方面进行了分析。计算结果证明了金原子的吸附与脱离是导致器件发生高低阻态切换的主要原因，这一结论与实验结果一致。

(3) 在实验中搭建了基于单原子层 MoS₂ 忆阻器件的逻辑门，成功实现了逻辑“与”门和逻辑“或”门的运算。利用实验数据构建了器件的 SPICE 仿真模型，在仿真中构建了由 8 个忆阻器件组成的基于比例逻辑电路的一位半加器，进一步验证了该器件的逻辑运算能力。此外，还仿真搭建了基于该忆阻器逻辑阵列的二值化神经网络 (Binary Neural Networks, BNN)，验证了该器件在异构逻辑运

摘要

算中的能力，结果显示该阵列模型在 MNIST 手写数字识别任务中，能够实现 73.1 % 的精确度。全文图 52 幅，表 2 个，参考文献 107 篇。

关键词：忆阻器 二维材料 逻辑电路 二硫化钼

Abstract

With the coming of information era, the rapid development of new data-centric technologies has put higher demands on the data processing capability of computers. The traditional von Neumann computing architecture is difficult to achieve further breakthroughs in the face of the current surge in computing power due to the "memory wall" bottleneck and the limitations of Moore's law. As a new type of non-volatile memory device, memristors are expected to realize a new computing architecture for in-memory computing, which can greatly improve computing speed and reduce cost. In recent years, in addition to some traditional material systems, significant memristive behavior has also been found in some single-atomic layer 2D materials, which have higher switch ratio, rapider on-off velocity, longer memory time, providing a new route for further development of memristor devices. This paper focuses on single-atomic-layer MoS₂ memristor-based logic devices with good performance, analyzed and discussed the corresponding mechanisms, and further verified and evaluated the ability used for logic computing. The research content and results are as follows:

(1) The Au/MoS₂/Au vertical structure memristor device based on monolayer MoS₂ with good resistive performance has been constructed by optimizing the dielectric layer material and preparation process. The device has two distinct resistive states, R_{ON} and R_{OFF} , corresponding to the "1" and "0" states of binary logic, respectively. The I_{ON}/I_{OFF} can reach up to 10^5 , and the resistance retention time can exceed 10^4 s. The device does not need to apply a high voltage to start (forming), and the resistive switching behavior can occur directly at approximately 1.5 V bias.

(2) The mechanism of the monolayer MoS₂ memristor device is illustrated using first-principles simulations. We established three different models of intrinsic, contained a defect, and electrode gold atom adsorption into the defect, and then we calculated in terms of the energy band structure, energy density of states, and device electrical transport. The calculation results prove that the adsorption and detachment of gold atoms is the main reason for the switching behavior of the device, which is

Abstract

consistent with the experimental results.

(3) A logic gate based on monolayer MoS₂ memristor devices was constructed and the logical "AND" and "OR" operations were successfully implemented experimentally. A SPICE simulation model of the device was constructed using the experimental data, and a one-and-a-half-bit adder based on *Memristor Ratioed Logic* was constructed in the simulation software consisting of eight memristor devices, in order to verify the logic operation capability of the device. Further simulations were performed to build a binarization neural network (Binary Neural Networks, BNN) based on the logic array of the memristor device to verify the capability of the device in heterogeneous logic operations. The results showed that the array was able to achieve an accuracy of 73.1% for the MNIST handwritten digit data set. In this thesis, there are 52 figures, 2 tables, and 107 references.

Keywords: memristor; two-dimensional material; logic circuit; MoS₂

目 录

摘要..... |

Abstract..... | | |

1 絮论 1

1.1	研究背景及意义	1
1.2	忆阻器概述	2
1.2.1	忆阻器研究背景	2
1.2.2	忆阻器研究现状	3
1.2.3	忆阻器阻变机制	5
1.3	二维材料简介	7
1.3.1	二维材料背景及分类	7
1.3.2	二维材料在忆阻器中的应用	9
1.4	忆阻器逻辑运算的研究现状	12
1.5	本文主要研究内容及结构安排	13

2 单原子层 MoS₂ 忆阻器件的制备及表征 15

2.1	引言	15
2.2	单原子层 MoS ₂ 材料制备与表征	16
2.2.1	单原子层 MoS ₂ 材料制备	16
2.2.2	单原子层 MoS ₂ 材料表征与分析	20
2.3	单原子层 MoS ₂ 忆阻器件的制备工艺	24
2.3.1	阵列化底电极预制	24
2.3.2	材料转移技术	27
2.3.3	定位顶电极制备	29

目录

2.4	单原子层 MoS ₂ 忆阻器件的电学表征	32
2.4.1	器件 $I-V$ 特性及阻态保持能力测试	32
2.4.2	阻变失效测试与分析	34
2.5	本章小结	36
3	单原子层 MoS ₂ 忆阻器件机理探索及模拟计算	37
3.1	引言	37
3.2	单原子层 MoS ₂ 忆阻器件机理探索	37
3.3	第一性原理计算与机理验证	39
3.3.1	理论基础及计算方法	39
3.3.1	单原子层 MoS ₂ 电子能带结构和能态密度	41
3.3.2	单原子层 MoS ₂ 忆阻器件电输运研究	44
3.4	本章小结	48
4	单原子层 MoS ₂ 忆阻器件逻辑运算应用及仿真研究	49
4.1	引言	49
4.2	基于忆阻器的逻辑电路设计方法	49
4.3	逻辑门电路实物搭建与测试	52
4.3.1	逻辑门电路设计与搭建	53
4.3.2	逻辑门电路表征与分析	53
4.4	器件电学模型建立及半加器逻辑电路仿真	54
4.4.1	忆阻器模型类型及原理	55
4.4.2	基于 SPICE 的仿真模型建立	57
4.4.3	半加器逻辑电路设计及验证	59
4.5	基于逻辑阵列的二值化神经网络计算仿真	60
4.5.1	二值化神经网络结构设计	61
4.5.2	器件阵列模型及权重加载方式设计	64
4.5.3	仿真结果分析与讨论	66

目录

4.6 本章小结	67
5 总结与展望	69
5.1 工作总结	69
5.2 研究展望	69
参考文献	71
致 谢	78
个人简历、在学期间发表的学术论文及研究成果	80

图目录

图 1.1 四类基本电学无源元件及其数学关系。	2
图 1.2 忆阻器结构示意图和典型 Pt/TiO ₂ /Pt 器件电学特性。	4
图 1.3 两类 VCM 忆阻器切换前后 TEM 截面照片。	6
图 1.4 ECM 机制导电细丝形成过程示意图及 SEM 表征。	7
图 1.5 二维材料的分类。	8
图 1.6 自 2015 年以来 45 项代表性工作中二维材料忆阻器件性能汇总。	11
图 2.1 常用二维材料制备方法及其优缺点。	15
图 2.2 OTF 1200X-II 型双温区管式炉。	17
图 2.3 所采用的 CVD 生长方法示意图。	19
图 2.4 不同 CVD 工艺参数下生长的单原子层 MoS ₂ 材料 OM 表征图。	21
图 2.5 材料厚度的 AFM 表征。	22
图 2.6 CVD 和机械剥离制备的材料拉曼及荧光光谱表征。	23
图 2.7 所用微栅铜网结构及 TEM 表征结果。	23
图 2.8 所设计的底电极掩模板及实物图。	24
图 2.9 正胶 Lift-off 工艺流程示意图。	25
图 2.10 磁控溅射原理及所用设备照片。	26
图 2.11 镀膜前后衬底照片。	27
图 2.12 干法转移样品 OM 表征图。	27
图 2.13 湿法转移工艺步骤及转移后样品 OM 表征图。	29
图 2.14 新型激光直写系统 LDW-100 II。	30
图 2.15 顶电极制备流程 OM 表征图。	31
图 2.16 所制备垂直结构单原子层 MoS ₂ 忆阻器件示意图。	32
图 2.17 机械剥离材料所制备器件的 I-V 特性曲线。	33
图 2.18 CVD 生长材料所制备器件的电学特性表征。	34
图 2.19 C-AFM 测试原理及结果。	35
图 3.1 单原子层 MoS ₂ 忆阻器件 STM 观察及 DDA 模型提出。	38
图 3.2 不同方式制备的材料在 TEM 表征下的缺陷数量对比。	39
图 3.3 本征材料计算结果。	42

图目录

图 3.4 含有硫空位缺陷的材料计算结果。	43
图 3.5 Au 原子吸附入缺陷处的材料计算结果。	43
图 3.6 单原子层 MoS ₂ 器件高低阻态情况示意图。	44
图 3.7 Au-MoS ₂ 异质结模型建立。	45
图 3.8 Au-MoS ₂ 异质结平均静电势。	45
图 3.9 完整器件模型。	46
图 3.10 零偏压下两种器件模型的电子透射谱对比。	47
图 3.11 器件阻态切换机制示意图。	47
图 4.1 忆阻器在电路中的示意图。	50
图 4.2 蕴含逻辑“非”门和辅助逻辑“非”门示意图。	50
图 4.3 基于比例逻辑的“与”门和“或”门示意图。	51
图 4.4 真实逻辑门搭建示意图及 OM 表征。	53
图 4.5 真实逻辑门测试照片及测试结果。	54
图 4.6 SPICE 模型示意图。	57
图 4.7 调试得到的单原子层 MoS ₂ 器件仿真模型。	58
图 4.8 一位半加器仿真逻辑电路搭建及其真值表。	59
图 4.9 所搭建半加器逻辑电路仿真结果。	60
图 4.10 MNIST 手写数字识别数据集。	61
图 4.11 所建立的 MLP 网络结构。	63
图 4.12 模型训练过程。	63
图 4.13 忆阻器逻辑阵列示意图。	64
图 4.14 器件阵列离线学习仿真运算流程。	65
图 4.15 器件切换失败对识别准确度的影响。	66
图 4.16 器件切换阻值波动对识别准确率的影响。	67

表目录

表 1.1 化学药品清单	18
表 4.1 SPICE 模型参数说明	58

1 绪论

1.1 研究背景及意义

随着人工智能（AI）、5G 通讯、物联网（IoT）等新一代数字基础设施在全球的迅猛发展，智慧计算时代的序幕已经拉开。我们的生活已离不开各类的新兴数字化技术，这些技术也随之带来了激增的算力需求。以人工智能技术为例，根据 2018 年 Open AI 发布的分析报告，从 2012 年开始，AI 训练所用的计算量呈现指数级增长，平均每 3.43 个月便会翻倍，截至报告发布时计算量已扩大 30 万倍^[1]。面对如此巨大的计算需求，传统的计算范式受到了前所未有的挑战。一方面是摩尔定律逐渐走向终结，继续缩小特征尺寸以增加集成度的方案面临着成本和工艺难度剧增的限制。另一方面，广泛使用的冯·诺依曼（von Neumann）计算架构，由于其存储和计算单元分离的设计，数据需要被频繁搬运，严重限制了运算速度的进一步提升。为了突破以上种种限制，人们一方面致力于寻找尺寸更小的新型元件来取代晶体管，另一方面也提出了近存运算、存内运算、类脑运算等在内的众多更高效的新型计算架构^[2-6]。其中，非易失性存储器（Non-Volatile Memory, NVM）能够在存储的同时进行逻辑计算，是实现高性能存内运算架构的有力候选者。目前，基于多种非易失性存储器，如磁存储器（Magnetic Random Access Memory, MRAM），相变存储器（Phase-Change Random Access Memory, PCRAM），阻变存储器（Resistive Random Access Memory, RRAM）等，均已存内运算原型的提出^[7-10]。其中，阻变存储器，又称忆阻器（Memristor），因其具有相对小的额尺寸、功耗低、工作条件要求不高、制备工艺和结构简单等优点，近年来受到了大量的关注。

可用于制备忆阻器的介质材料种类较多，包括氧化物薄膜、有机和无机材料等，但面对实际应用而言，这些材料体系下的忆阻器件仍然有诸多亟待改善的方面，比如更高集成度的实现，更低的功耗等^[11,12]。因此，当前仍有大量的研究在尝试为忆阻器引入新的材料体系，为进一步的性能优化和未来的产业集成等方面提供新的思路。在这些新材料体系中，二维材料因其拥有对于三维集成十分有利的原子级材料厚度，同时还具有优异的载流子迁移性能以及较大的机械强度等优点，得到了学术界和工业界广泛的青睐^[13,14]。目前，已有诸多种类的二维材

料被发现存在明显的忆阻效应，但因二维材料的稳定制备具有一定的难度，且器件搭建过程不稳定因素较多，故大量的研究仍停留在单一忆阻器件的结构和性能开发和优化。而未来要将二维材料基忆阻器真正应用于存算一体架构的搭建，并实现运算加速，就必须首先验证该类器件在逻辑电路以及异构逻辑阵列中的运算能力，因此，基于二维材料的高性能忆阻器件的制备，以及其在逻辑运算中的实际应用均值得深入的开发和研究。

1.2 忆阻器概述

1.2.1 忆阻器研究背景

电学中，常见的基础无源器件包括电阻、电感、电容三类，而在 1971 年，蔡少棠从电路理论的对称性和完整性出发，预测了第四类无源器件的出现，并将其称作忆阻器^[15]。

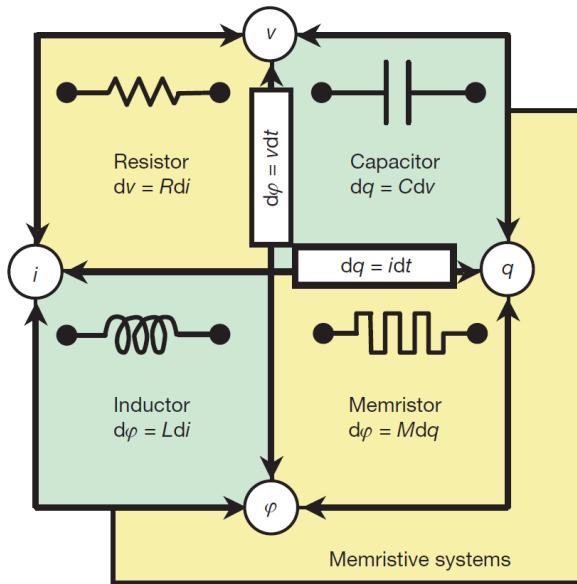


图 1.1 四类基本电学无源元件及其数学关系^[16]。

由图 1.1 可以看出，电阻的阻值 R 可由电压与电流的关系表示为: $R = dv/di$ ，电感的自感系数 L 可由电流与磁通量的关系表示为: $L = d\varphi/di$ ，电容的电容量 C 可由电压与电荷量的关系表示为: $C = dq/dv$ 。蔡少棠教授按照这样的逻辑类推，认为磁通量和电荷量之间也应存在 $M = d\varphi/dq$ 的关系，该式即描述了忆阻器的本

构函数,参量 M 表示了忆阻器的忆阻值,也就是说该器件的电阻值并非固定值,而是会随着电荷量的变化而变化的,这是忆阻器最明显的特征。

然而,这一类电学器件自提出后始终是处于概念的状态,在漫长的几十年里都没有物理模型的提出,直到 2008 年惠普实验室的 Strukov 等人以 Pt/TiO₂/Pt 垂直结构的电学器件为例,将其在超过某一电压阈值下的电阻切换行为,以及其非线性的滞回电流-电压 ($I-V$) 特性与蔡少棠提出的忆阻理论相对应^[16]。他们将该上述特性称为忆阻特性,并称该器件即为第四类无源器件——忆阻器。此后的十年间,对忆阻器的研究如雨后春笋一般迅速增长,经历了材料体系、器件结构以及集成应用等方面优化和发展,并逐渐向成熟的工业级应用迈进。

1.2.2 忆阻器研究现状

最早关于电阻切换现象的实验观测是在 1967 年,由 Simmons 等人在 Au/SiO/Al 器件中首次发现,但受限于当时的实验条件,这一发现并未引起广泛关注^[17]。2000 年,休斯顿大学的研究人员在 Pr_xCa_{1-x}MnO₃ 复杂氧化物薄膜中同样发现了电阻转变现象,并得到了相差 10 倍以上的非易失性高低阻态,他们认为该器件能够应用在制备基于阻值变化的新型存储器,因而该项发现引得了工业界广泛的关注^[18]。2008 年,惠普实验室的研究正式将这一类具有电滞回 $I-V$ 特性的器件归类为忆阻器,并提出了该类器件的一般电学模型,进一步引发了研究忆阻器的热潮^[16]。

常见的忆阻器结构为垂直的“三明治”结构,如图 1.2 所示,由垂直堆叠的三层材料组成,包括上下两端的金属电极(顶电极、底电极)以及二者之间的介质层。器件的典型电学特性可参考惠普实验室早期制备的 Pt/TiO_{2-x}/Pt 器件^[19]。不同的功能层材料以及电极材料等因素均对忆阻器性能有较大的影响,因此在过去的十几年里,人们的研究重心很大一部分都集中在忆阻材料的探索以及器件性能的优化。早期的忆阻器研究中,介质材料的选择大多是复杂的多元薄膜材料,之后越来越多的材料被发现具有忆阻特性,极大地拓宽了忆阻器材料的选择范围。其中,金属氧化物薄膜体系是一类研究较多,且已经比较成熟的忆阻器介质材料,具有易于制备且能与 CMOS(Complementary Metal Oxide Semiconductor) 工艺较好地兼容等特点。早在 2004 至 2005 年的国际电子器件会议(IEDM)中,三星(Samsung)^[20]及飞索半导体(Spansion)^[21]就均已公布了采用金属氧化物薄膜(Ni 和 Cu)作为介质材料的忆阻器件。此后,基于 TiO₂、TaO_x、HfO_x 等材

1 绪论

料的忆阻器纷纷问世，并稳步提升了忆阻器的各种性能。2011 年，三星报道了基于 TaO_x 的忆阻器，实现了 10 ns 的快速开关和 10^{12} 次的切换次数，已接近满足商用级性能要求^[22]。除了在传统的氧化物材料体系的深入研究以外，科研人员多年来也致力于将更多的新材料应用在忆阻器的开发中，比如生物有机材料^[23,24]、钙钛矿^[25,26]以及二维材料^[27,28]等。这些新材料的引入使得忆阻器在诸多新兴领域中有了更大的发展可能性，为包括生物相容、柔性、小尺寸以及低功耗等在内的新型电子器件的开发提供了新的机会。

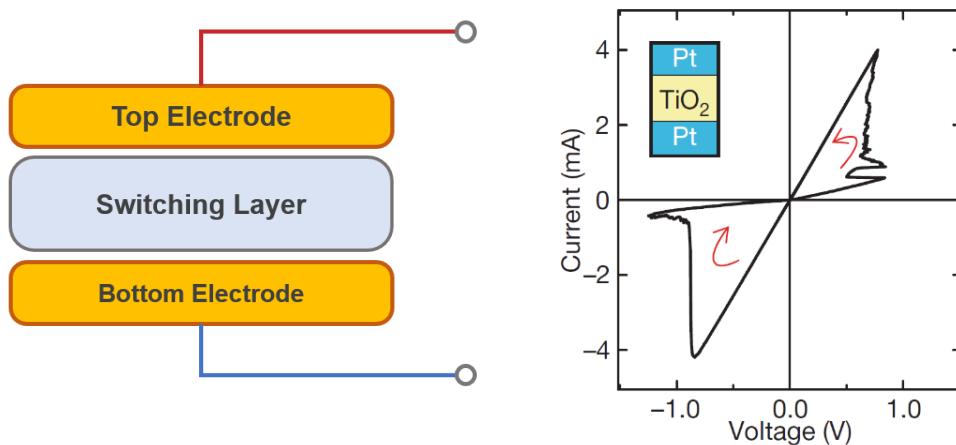


图 1.2 忆阻器结构示意图和典型 Pt/TiO₂/Pt 器件电学特性^[19]。

另一方面，在制备性能优良的忆阻器件的基础上，研究人员也提出了多种方案尝试将忆阻器扩展到集成阵列。2005 年，三星提出了应用交叉阵列（Crossbar）结构的 50 nm 忆阻器阵列，结合忆阻器三明治结构简单的优势，极大减小了阵列尺寸，方便了未来更大规模的集成^[29]。到 2013 年，闪迪（Sandisk）就已经报道了 24 nm 工艺下的高性能忆阻器阵列，存储容量达到了 26 Gb^[30]。除存储功能以外，研究人员进一步开发了新型忆阻器阵列在电路运算中的应用。2009 年，普渡大学的研究团队报道了忆阻器在电路中的基本电学特性，并说明了其用于实际电路的可行性^[31]。此后，麻省大学的 Xia 等人报道了将忆阻器阵列成功集成到了 CMOS 平台上的工作，所制备的可重构的混合逻辑芯片验证了忆阻器阵列用于逻辑运算的能力^[32]。此外，忆阻器在仿生领域内的应用同样也已得到验证，Lu 等人设计的基于 Ag:Si 功能层的忆阻器能够模拟尖峰时间相关可塑性（STDP）规则，可以用于人工神经网络中突触的实现^[33]。同时，阵列化的忆阻器能够模拟

1 绪论

神经元网络，这也证明了忆阻器用于类神经计算的可行性。到目前为止，已有多
个基于忆阻器阵列的神经网络计算加速芯片原型被提出（如 ISAAC^[34], PUMA^[35]
等），而清华大学^[36]、惠普^[37]等研究机构也已报道了硬件实现的忆阻器神经网络
计算系统。同时，在新材料体系中，二维材料忆阻器在阵列化集成与计算应用中
表现亮眼，现已有研究小组基于不同种类的二维材料成功搭建出了低功耗逻辑
运算电路^[38]，以及用于神经网络计算的晶圆级高密度集成交叉阵列^[39]。

综上所述，不同材料体系下的忆阻器所表现出的多值/二值逻辑以及模拟开
关等独特的电学特性，使其在逻辑运算和神经网络运算中具有重要的应用前景。
当前对于忆阻器的研究已经由单一器件的性能优化逐步过渡到了系统级的构建
和大规模的电路级集成，从上游的材料和制备工艺到下游的硬件实现和应用等
方面均取得了长足进展。

1.2.3 忆阻器阻变机制

忆阻器的阻变机制一直是忆阻器研究的基础和重点，因此有大量科研人员
在这一方面进行了深入的探究。目前，对于忆阻器件的阻变机制已有多种理论提
出，包括化学价变化机制（Valance Change Mechanism, VCM），电化学金属化机
制（Electrochemical metallization, ECM），纯电子/静电机制，热化学机制等。在此
我们选择其中接受较为广泛，且研究较多的化学价变化机制及电化学金属化机
制进行详细介绍。

1.2.3.1 化学价变化机制

化学价变化机制，又称为阴离子迁移机制。适用于该迁移机制的忆阻器件，
其介质层材料一般为相对绝缘的氧化物体系，比如金属氧化物、钙钛矿氧化物等，
而其电极材料则普遍为不易发生氧化还原反应的惰性金属，难以在电场的作用
下进行迁移，如 Au、Pd、Pt 等。基于 VCM 的阻变机制主要分为两类，第一类
是随化学价变化而产生的界面势垒变化，即介质材料中的氧空位（或氧离子）在
电场的作用下发生迁移，并逐渐在金属电极处积累进而形成局域的金属氧化物，
这将改变接触界面的肖特基势垒，直接导致器件的阻态发生改变。2009 年，
Asanuma 等人通过透射电子显微镜（TEM）成功观察到了在 Ti/Pr_{1-x}Ca_xMnO₃ 肖
特基结界面处的 Ti 氧化层厚度变化^[40]，如图 1.3 (a)-(b)，直观证明了界面对于氧
空位的捕获和释放是导致阻态切换的主要原因，之后 Jo 等人在 Pt/Al/PCMO/Pt

结构的忆阻器件中也观察到了类似的界面厚度变化现象^[41]。另一类阻变机制则是由于化学价变化引起的导电细丝的生长和破坏，具体来说，在电压较低的初始启动阶段，介质层材料中的缺陷及晶界，由于扩散能较低的缘故，将首先成为氧离子的迁移通道。之后，在继续升高的电压和焦耳热的作用下，氧离子迅速移动致使晶格运动和碰撞加剧，进一步增加了材料中氧空位（或氧离子）的数量。当氧空位从阴极成功生长到阳极时，两个电极之间就相当于形成了一条电阻率远低于周围介质材料的导电通路，该过程需要施加相对较大的电压，可称为导电细丝的初始化形成过程（Forming）。而当施加反向电压时，存储在电极处的氧离子再次发生迁移，会与介质材料中的氧空位复合，致使通道断开，器件重新回到高阻态，称为复位（Reset）。之后，再施加较小的电压即可再次连通导电通道得到低阻态，该过程称为写入（Set），此时的忆阻器件即可在较小的正负电压下实现 Set 和 Reset 过程的循环。如图 1.3 (c)-(d)，Kwon 等人同样利用 TEM 手段在 Pt/TiO₂/Pt 器件中直接观察到了导电细丝的形成和破灭^[42]，而 Yang 等人之后在同样结构的器件中观察到了 Pt 电极表面出现的气泡，这些气泡会在施加正/反电压时逐渐出现（或消失），这进一步说明了这一类忆阻器件的切换行为中存在着氧离子的交换过程^[43]。

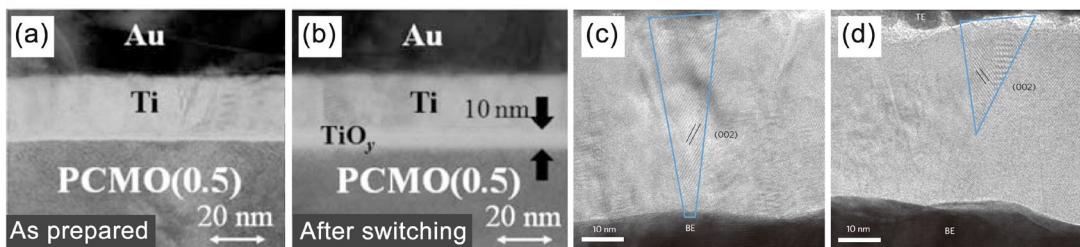


图 1.3 两类 VCM 忆阻器切换前后 TEM 截面照片^[40,42]。(a)-(b) Ti/Pr_{1-x}Ca_xMnO₃ 肖特基结界面处 Ti 氧化层厚度变化，(c)-(d) Pt/TiO₂/Pt 器件中导电细丝的变化。

1. 2. 3. 2 电化学金属化机制

电化学金属化机制，又称阳离子迁移机制。这一类模型主要针对固态电解液基的忆阻器件提出，该类器件的电极材料是不对称的，通常一端是电化学活性的金属材料，如 Ag、Cu 等，而另一端则是惰性辅助电极，其介质层材料则应选择可供电极材料在电场作用下发生迁移的固态电解液。最初应用较多的固态电解液材料是包含 Ag 和 Cu 元素的硫系化合物^[44]，然而这些材料还未在 CMOS 工艺

中广泛使用，致使其与 CMOS 工艺不相兼容，而且在这类材料中，Cu 和 Ag 等电极材料十分容易迁移，这使得器件的操作电压过低，受电路中的噪声影响，降低了器件可靠性。随后，较多的研究将与 CMOS 兼容的氧化物材料作为电解液材料引入，氧化物使得离子的迁移更加困难，提高了器件的可靠性。该机制仍然是基于导电细丝的生长和破灭，根据 Waser 等人在 2009 年综述中的总结，金属阳离子导电细丝的生长（SET 过程）具体可分成阳极氧化、阳离子电迁移、阴极还原三个阶段^[45]，如图 1.4(a)。而当施加反向电压时，导电细丝的尖端处将首先在焦耳热的作用下熔解，最终完全断裂，重新回到高阻态。如图 1.4(b)所示，Guo 等人在平面的 Ag/H₂O/Pt 器件中通过扫描电子显微镜（SEM）观察到了不同电压激励时间下 Ag 导电细丝的生长和破灭过程^[46]。

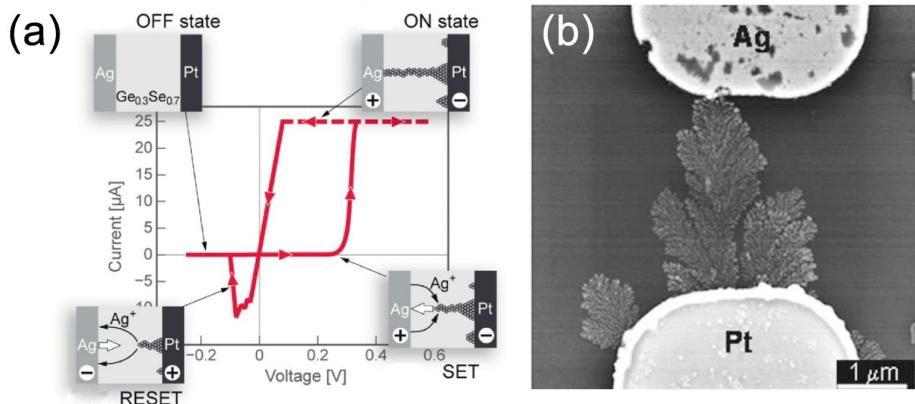


图 1.4 ECM 机制导电细丝形成过程示意图及 SEM 表征^[45,46]。

以上所述的两类机制几乎可以解释目前大部分的忆阻器件的阻态切换原理，然而当下忆阻器的发展仍然十分迅速，仍有许多不同的阻变机制被提出，因此对于一些基于新型结构或材料的忆阻器件的原理，仍需要进一步去研究和探索。

1.3 二维材料简介

1.3.1 二维材料背景及分类

二维材料，是一类超薄的层状材料。在三维坐标下，这一类材料将有一个维度上的尺度远远小于另外两个维度。通常来说，其厚度方向上仅有原子量级，而在另外两个方向上可以无限延伸。这样的材料不再有体相材料中复杂的层间相

互作用，只有微弱的范德华作用力的存在，进而展现出各式各样的独特性质。2004 年，Geim 等人利用透明胶带成功剥离出单层石墨烯，震撼了整个学术界，并一举打开了二维材料世界的大门^[47]。此后，学术界和工业界都在二维材料领域内做了大量的研究，二维材料逐渐拓展了广泛的元素组合，展现出多种不同的电子特性，在化学催化、光电器件、传感器、清洁能源等多个领域均有广泛的应用潜力^[14]。

石墨烯是第一个受到大量研究的二维材料，也是目前已知最薄且硬度最高的二维材料，其超高的电子迁移率和优异的稳定性、导热性能，以及机械强度等特性，都让其在制备新型的电子器件等方面被寄予厚望。但由于石墨烯具有狄拉克锥（Dirac cone）的能带结构，没有带隙的特点让其很难在半导体工业中应用起来^[48]。因此，人们在过去的十几年中积极探索了多种其他类型的二维材料，如黑磷（BP）、六方氮化硼（h-BN）、过渡金属硫族化物（TMDs）、层状金属氧化物（MOs），金属有机骨架（MOF）以及共价有机骨架（COF）等等，这些材料与石墨烯形成互补，进一步拓宽了二维材料的适用场景。对于日趋庞大的二维材料家族，目前研究人员已经提出了多种的分类方案，比如按照其带隙大小、稳定性、组分及晶体结构等进行分类。在此我们沿用 Tyagi 等人在 2020 年对相对常见的二维材料提出的分类方法，主要包括石墨烯类、过渡金属硫族化物以及金属氧化物三大类二维材料，并对其稳定性进行了标注^[49]，如图 1.5 所示。

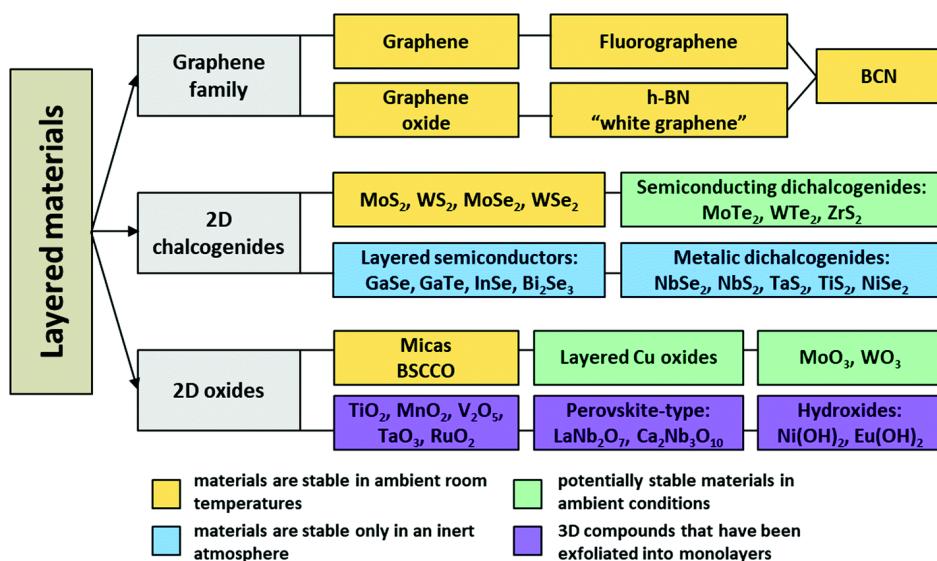


图 1.5 二维材料的分类^[49]。

在众多的二维材料种类中，TMDs 是研究较多且最具有未来商用潜力的一类。广义的 TMDs 类材料范式为 MX_2 ，式中 M 为过渡金属元素通常为 Mo 和 W，而 X 则代表了硫族元素（如 S、Se 及 Te 等）。这一类材料的晶体具有类石墨烯六角蜂巢的准二维堆垛结构，故相邻层间仅有较弱的范德瓦尔斯力结合，能够相对容易地实现层状剥离。根据堆垛方式的不同，二维 TMDs 通常包含有三种晶相结构：四方结构（1T 相）、六方结构（2H 相）以及菱方结构（3R 相）。其中能够最稳定存在的，且研究中较多采用的是 2H 相的材料。目前的研究发现，一些 2H-TMDs 材料具有十分优异的半导体特性，通过掺杂和搭建异质结等方法还能够进一步对其能带结构及其他多种性质进行精准调控，于是这些材料成为了开发新型半导体器件的热点研究对象。其中，二维 MoS_2 更是脱颖而出，得到了广泛的关注，并已有相当多的工作得到报道，故以下将主要针对 MoS_2 进行介绍。

二维 MoS_2 材料能够在室温下稳定存在，属于较易制备的一种二维材料，单层的 MoS_2 厚度约为 0.65 nm。该材料最大的特点是其具有可调节的带隙，通过控制材料的层数即可一定程度控制材料的带隙，当 MoS_2 层数减少到单层时，其带隙将由间接带隙（约 1.3 eV）变为直接带隙（1.8 eV），这使得单原子层 MoS_2 材料能够实现光致发光，极大方便了光电子类器件的应用^[50,51]。同时，二维 MoS_2 还具有较高的电子迁移速率（约为 $100 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ ），优秀的机械强度和较高的开/关电流比。综合以上特点，二维 MoS_2 在新型电子器件（如柔性设备、光电设备等）应用中有极大的潜力。2011 年，瑞士洛桑理工大学的研究团队成功制备了世界上首个基于单原子层 MoS_2 的晶体管，这一开创性的工作是该材料在纳米微电子领域中应用的起点^[52]。经过十年的迅猛发展，2021 年，台积电公司联合麻省理工大学团队在 Nature 上发表成果，称已成功大幅降低了 MoS_2 电子器件的接触电阻，将 MoS_2 晶体管的效能提升至与硅基器件相当^[53]。同时，该技术有望与目前主流的硅基制程技术相兼容，使得 MoS_2 有望成为未来 1 nm 及以下制程晶体管的理想沟道材料。这一新材料体系的引入，在继续驱动摩尔定律（进一步成比例缩小晶体管尺寸，提升集成度）的同时，也极大地提升了器件性能（如更高的开关比、更低的亚阈值摆幅等），具有良好的发展前景。

1.3.2 二维材料在忆阻器中的应用

近年来，在多方研究人员及团队的共同努力下，忆阻器领域内已取得了众多研究成果。尤其是基于传统氧化物材料的忆阻器，在对其阻变机理、性能优化、

1 绪论

硬件集成等多方面做了大量研究之后，这一类忆阻器已逐渐走向成熟的产业化应用。然而，其仍然面临诸如启动电压高，功耗较高，以及开关速度较慢等问题，这都是忆阻器商用道路上不得不解决的障碍。解决以上问题的途径之一即是积极探索新的材料体系，目前，许多研究人员将目光放在了二维材料上。二维材料表面无悬挂键，具有优良的力学、电学性质，且其超薄的厚度，十分有利于未来进一步微缩器件尺寸。因此，二维材料基忆阻器在体系庞大的忆阻器领域研究中受到了越来越多的关注。

二维材料现已在新型纳米电子器件的构建中取得了很多令人瞩目的成果，在忆阻器的应用中同样也已有了相当多的探索。目前学术界关于二维材料基忆阻器的研究可主要总结为基于石墨烯或其衍生物的工作，基于 TMDs 的工作，以及基于其他材料体系（如 BN、BP、钙钛矿等）的工作。

对于石墨烯而言，由于其超高的电子迁移率，通常都是用作的电极或界面材料来优化器件的性能，如纽约大学曾报道的基于石墨烯电极的柔性忆阻器，该器件能够弯曲超过 1.5×10^5 次^[54]。同时，也有研究团队开发了以有机材料为介质，石墨烯作为电极的超高透明度（92%）忆阻器^[55]。而氧化石墨烯（GO）则早已被证明具有用作忆阻器介质层的能力，2010 年，Zhuang 等人首次利用改性 GO 作为介质层成功制备了开关特性稳定的忆阻器件^[56]。对于 TMDs 类材料，最早走进研究人员视野中的就是 MoS₂。最初本征的 MoS₂ 并未被发现具有明显忆阻效应，一直是与 GO 及一些有机物结合共同搭建忆阻器件^[57,58]。直到 2015 年，完全基于 MoS₂ 的忆阻器件才被成功开发，这一器件的忆阻特性受到栅压的调控且与材料的晶界相关，这使得其切换行为受限于晶界构型，切换电压也远高于传统忆阻器^[59]。之后，人们进一步发现 1T-MoS₂ 能在 Ag 作为电极的垂直结构器件中，得到更为明显且优异的忆阻性能（开关比 $\sim 10^3$ ，擦写电压仅 0.2V），但 1T 相的 MoS₂ 较难制备且并不稳定^[60]。此后，Miao 等人报道了基于局部热氧化掺杂的 2H-MoS₂ 忆阻器，该器件具有良好的忆阻性能，且其鲁棒性得到了极大的提升，在 340 °C 下可循环擦写超 10⁷ 次^[61]。

最近，Akinwande 等人进一步将垂直结构的 MoS₂ 忆阻器件尺寸缩小到了亚纳米级，他们以单原子层的 MoS₂ 作为介质层，搭建了 Au/MoS₂/Au 的垂直结构器件，观察到了明显的忆阻效应，并且在许多其他 TMDs 材料中观察到了同样的现象（如 MoSe₂, WS₂、WSe₂ 等），推翻了学术界长期以来认为的，单原子层忆阻器件受到巨大漏电流影响而无法实际应用的观点^[62,63]。此外，BN 和 BP 近

年来也被成功引入作为忆阻器介质层，在降低器件功耗和提高稳定性等方面做出卓越贡献^[39,64]。为了更直观地比较这一领域内现有的众多工作，促进未来二维材料基忆阻器性能的进一步发展，我们从开关比、持续时间以及可循环次数三个维度，对 2015 年至今报道的 45 项关于二维材料基忆阻器的代表性工作进行了统计，并将结果进行了可视化处理，如下图 1.6 中所示。其中，小球代表了某一工作中的器件性能，红色代表石墨烯及 GO 基器件，蓝色代表 TMDs 基，黄色代表 BN/BP 基。五角星表示部分性能优秀的工作中，所构建的器件的性能指数在三个性能维度上的投影。

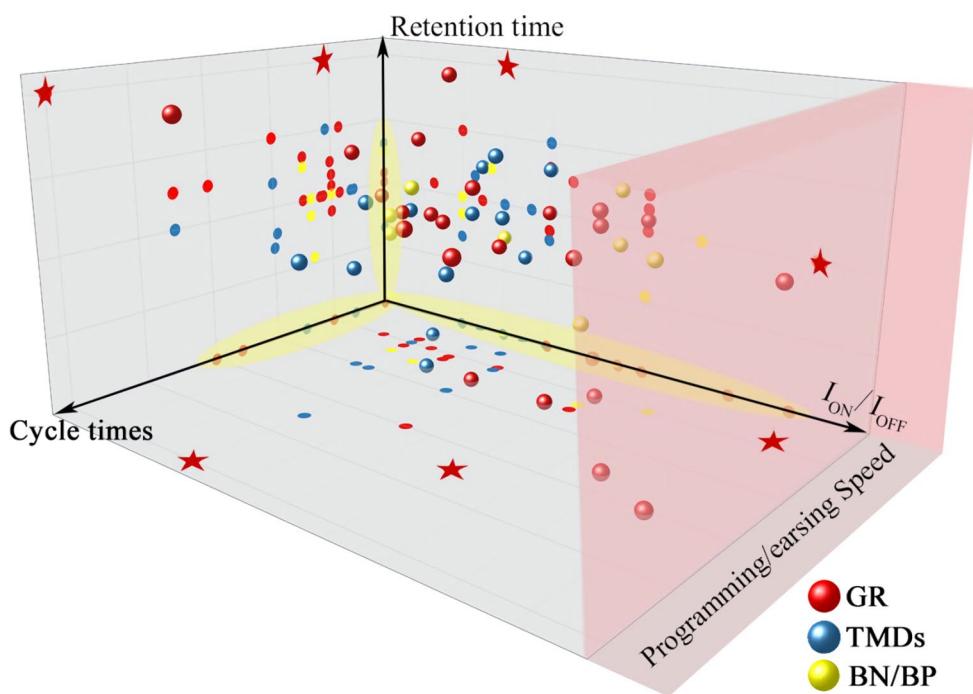


图 1.6 自 2015 年以来 45 项代表性工作中二维材料忆阻器件性能汇总。

总的来说，二维材料的引入极大地推动了忆阻器的发展，这一新材料体系以及其不同于传统材料的新奇特性，能够进一步提出新的器件优化方案并拓宽应用场景。然而，目前二维材料基忆阻器的发展，依旧面临着一些亟待解决的问题。一是新材料/结构下的二维材料忆阻器具有不同于传统材料体系的物理开关机制，比如单原子层 TMDs 忆阻器件，因此对于其机理还需进行深入探索；第二，我们还需解决二维材料的大面积高质量制备这一工艺难题，并在未来探索提出与 CMOS 工艺高度兼容的制备方案；最后，二维材料基忆阻器件的耐久性能仍然不

及传统材料体系的忆阻器，还需继续改善材料的掺杂工艺及器件结构等，以进一步提升器件性能。

1.4 忆阻器逻辑运算的研究现状

传统的数字逻辑运算主要依靠芯片上集成的大量的晶体管，通过电路设计，得到能够将输入信号进行特定运算后再输出的功能。为了进一步提升算力，人们致力于提出各类新型方案，以在芯片上堆叠更多的能够用于计算的电学元件。忆阻器作为一种新型的电子器件，结构简单，可拥有相对更小的尺寸，十分有利于高密度集成。同时，忆阻器的阻值能够随两端施加电压的改变而发生切换，使得其出现高、低两个阻态，正好能够经过一定设计对应数字逻辑中的状态量“0”和“1”，这也就赋予了忆阻器开关特性，意味着其在逻辑存储及运算电路研究领域内有着巨大的应用潜力^[65]。此外，得益于忆阻器非易失性的存储特性，其具有同时完成存储和运算的潜力，有望在未来实现存内运算，突破冯诺依曼瓶颈^[32]。

基于忆阻器的逻辑电路设计现主要分为三类，即比例逻辑（MRL），蕴含逻辑（IMPLY），和辅助逻辑（MAGIC）。2009 年，IMPLY 由 Lehtonen 等人^[66]提出，这一设计方法首次实现了忆阻器存储和计算的融合，使用该方法能够设计得到 16 种完备布尔逻辑^[67,68]。随后，Kvatins 等人在 IEEE 上报道了 MRL，基于这一方法，他们设计并验证了忆阻器半加器及全加器电路^[69]。之后，加拿大温莎大学的研究者基于 MRL 将忆阻器与 CMOS 器件结合，进一步构建了混合 CMOS 逻辑电路^[70]。2014 年，Kvatinsky 等人提出了 MAGIC，其使用两个单独的忆阻器来实现信号的输入输出^[71]，是一种能够完全由忆阻器构成的逻辑电路方案。以上所列的逻辑电路设计方法至今均已取得了较大的发展，每种方法的适用场合不同，且具有不同的优缺点。因此，在实际设计中我们应根据具体需求，权衡并选择不同的设计方法。

当下关于忆阻器逻辑运算的研究，一方面在继续完善忆阻器逻辑电路理论，使之电路功能未来更具有多样性，另一方面，则在研究如何将新材料体系下的忆阻器（比如二维材料基忆阻器）与现有的忆阻器逻辑电路理论结合，使之能够真正实现逻辑运算应用。对于二维材料基忆阻器在逻辑运算中的应用，目前已有一些相关成果的报道。最近，Zhou 等人搭建了高性能、低功耗的 Ti/HfSe_xO_y/HfSe₂/Au 结构忆阻器件，并对功能完整的低功耗布尔逻辑进行了实验

1 绪论

演示，使其能够应用于节能的内存计算^[38]。He 等人同样利用部分氧化掺杂的 HfSe₂ 作为功能层，搭建了高性能忆阻器件，并与二维 MoS₂ 晶体管集成，实现了 D 型逻辑触发器的应用^[72]。值得注意的是，单原子层 TMDs 基忆阻器件无需初始化 forming 过程，突变式的阻态切换模式使之具有超快的切换速度和稳定的高低二值阻态，同样适合用于逻辑器件的搭建。同时，如果将该类器件构建成为二值化逻辑阵列，即能够实现高密度数据存储以及二值化神经网络计算。上述这些方面的研究相对较少，仍是二维材料基忆阻器中一个崭新的领域。因此，如何去搭建基于单原子层 TMDs 基忆阻器件的逻辑电路，并进一步验证其更复杂的逻辑运算能力，这些问题都是这类器件在未来大规模实用化之前，必须进行深入探索的重要研究课题。

1.5 本文主要研究内容及结构安排

单原子层 MoS₂ 忆阻器，作为一类新型二维材料基忆阻器件，拥有优良的忆阻性能，同时能将忆阻器件尺寸拓展到了亚纳米级别，对未来进一步缩小大规模集成电路的单元器件尺寸起到了积极推动作用。目前对于该类器件的研究已不再局限于单一器件的性能优化，而是逐渐集中于进行更深入的机理分析，以及对器件的集成和电路功能化应用等方面的开发，这将为未来该类器件的实际化应用铺平道路，具有十分重要的研究意义。

因此，本文优化了器件的材料及整体制备工艺，以提升器件性能，并对这类新型忆阻器件的阻值切换机理进行了深入研究。同时，本文建立了器件电学模型及器件阵列模型，对其逻辑运算能力进行了实验验证和仿真验证，进一步拓展了该类器件的应用场景。本文的各章节内容安排如下：

第一章：对本文的研究背景进行描述，详细介绍了忆阻器的切换机理，二维材料忆阻器的研究意义，分析了目前忆阻器及忆阻器逻辑电路应用的研究现状和存在的挑战。

第二章：介绍了单原子层 MoS₂ 忆阻器的材料和器件制备工艺流程以及优选参数设置，对所获忆阻器件进行了电学性能表征，结果表明所获器件性能已最优化，能够用于开展后续实验。

第三章：简要介绍了第一性原理模拟计算原理，并建立了本征、带有缺陷、电极中的金原子吸附进入缺陷的三种模型，从能带结构、能态密度以及器件电输

1 绪论

运三方面进行了分析。通过计算结果与真实实验数据的对比，给出了器件切换机理的详细阐释。

第四章：在实验中实际搭建并测试了基于单原子层 MoS₂ 忆阻器的逻辑门电路。介绍了多种忆阻器 SPICE 模型，并基于通用模型和真实器件数据，成功搭建了吻合度高的忆阻器模型。利用该模型，在 LTSPICE 中设计了一个基于 MRL 的一位半加器电路，验证了该器件的逻辑运算能力。基于该器件的模拟二值逻辑阵列，进行了二值化神经网络仿真计算，成功验证了基于该器件的异构逻辑运算的可行性。

第五章：对全文内容进行归纳总结，并在本文所做工作的基础上提出了未来进一步工作的展望。

2 单原子层 MoS₂忆阻器件的制备及表征

2.1 引言

适合于逻辑运算应用的忆阻器件，要求具有较快的高低阻态切换速度，长时间保持阻态的能力，以及较大的忆阻窗口和线性度良好的 $I-V$ 特性曲线等特点。因此，获得性能优异的忆阻器件是进行后续研究的第一步，也是十分重要的一步，尤其是对于单原子层忆阻器这类对材料性质及工艺均十分敏感的器件。二维材料的高质量制备一直是广受关注的研究内容之一，在此，我们将常用的一些制备方法及其优缺点^[73-75]整理为下图 2.1。

制备方式		剥离法			水热法	
	示意图	机械剥离	超声液相剥离	电化学剥离	化学气相沉积法	
优点		适用对象广、方法简单、样品质量高	方法简单、利于规模化生产	适用对象广泛、利于规模化生产	适用范围广、生长面积大	生长样品形貌多样
缺点		重复性差、产率低、无法大规模生产	所制备样品缺陷过多	方法过于繁琐	生长参数难以控制、方法较为复杂	所制备样品杂质较多

图 2.1 常用二维材料制备方法及其优缺点^[73-75]。

在众多的材料制备方法中，最为学术界所青睐的有两种方法，一是自上至下的剥离方法，另一个则是从下至上的生长方法，如化学气相沉积法（Chemical Vapor Deposition, CVD）。未来的二维材料忆阻器应用势必需要实现大规模的集成，因此，为了制备更复杂的器件阵列，在保证高质量二维材料制备的同时，也需要实现大面积材料的获取。在研究人员的努力下，不管是剥离法还是生长法都已取得了大面积制备的成果，如中科院物理所报道的利用 Au 薄膜辅助的情况下

2 单原子层 MoS₂忆阻器件的制备及表征

成功用胶带剥离出了厘米级的众多单层 TMDs 材料^[76]，最近，北京大学的 Ye 等人也报道了利用 CVD 技术成功生长了 4 英寸硅片大小的高质量单晶 MoTe₂，并基于此制备了极高产率的大面积的晶体管阵列^[77]。

除了较为核心的材料制备以外，要搭建完整的器件，还需要多种后续工艺，包括材料的转移，电极阵列的制备（光刻、薄膜制备等工艺的探索），以及材料的掺杂和器件接触改善等。同时，各种表征技术也在整个工艺流程的优化过程中起到了重要作用，包括最初的材料方面的表征（厚度、成分等），以及后续整个器件的形貌以及电学性质的表征。对于实验中偏小规模的二维材料基器件制备，我们直接以表征结果为指导，对整个工艺过程进行负反馈调整优化，以获得相对最优的工艺组合。而目前，对于中大规模的二维材料基器件制备而言，也有研究团队尝试引入了深度学习技术，现已实现了基于深度学习的自动化二维材料转移技术^[78]、二维材料层数图像识别评估^[79]、器件工艺参数组合评估^[80]等功能，总而言之，二维材料基电学器件距离未来的工业级实用已越来越近。

接下来，我们将详细介绍单原子层 MoS₂材料的制备与表征，以及其后续实现器件制备的过程和参数的选择，对所用设备及方法进行说明，同时也对表征结果进行了分析。最终制得的器件具有明显的突变型阻变行为，开关比最高可达到 10^5 ，阻态保持时间超过 10^4 s，而且该器件无需 Forming 过程，十分适合于二值逻辑运算电路的搭建。

2.2 单原子层 MoS₂材料制备与表征

本节中，主要采用机械剥离法和 CVD 技术生长法制备单原子层 MoS₂，对材料形貌和光谱特性等方面进行了对比分析，进一步优化了制备工艺，以得到优质材料作为后续实验中的忆阻器件介质层。

2.2.1 单原子层 MoS₂材料制备

2.2.1.1 实验所需设备及材料

本论文中所有实验均使用的表面氧化的 SiO₂/Si 作为衬底（购于 Sibranch 公司），其制备方式为直拉法(CZ)，晶向为 (001)，掺杂类型为 N 型（掺杂剂为硼），氧化方式为干法氧化，表面氧化厚度约为 285 nm，总厚度为 525 μm ，电阻率小于 $0.005 \Omega\cdot\text{cm}$ 。

2 单原子层 MoS₂ 忆阻器件的制备及表征

对于机械剥离法，我们采用的是对 2H-MoS₂ 块状晶体直接进行胶带剥离，要求该胶带的粘合力适中，且剥离后不会有残胶。同时该胶带还应具有一定的硬度，在剥离过程中起到一定的支撑作用，避免剥离的材料由于胶带的弯折而受到过大的应力，造成单原子层材料的破碎。经过前期对比实验后，我们选择了日东（NITTO）公司生产的蓝膜胶带，型号为 224S，基材为 PVA，厚度约 0.08 mm。

在初步观察单原子层材料时，我们需要将胶带上的材料先转移到中间衬底上，该衬底需要具有一定粘度，且透明易于观察。为此，我们选择了在二维材料研究中广泛使用的美国 Gel-Pak 公司的 PDMS 胶膜作为中间衬底，型号为 PF。

对于 CVD 生长法，我们需要用到的实验用具和设备包括：石英舟，天平，玛瑙研钵，管式炉，石英管。管式炉设备照片如图 2.2 所示，为合肥科晶公司生产的 OTF 1200X-II型双温区管式炉，最高加热温度可达 1200 °C，可编程控制升温速率，并配套装有炉膛氛围调节器以及 ZDR-I 型电阻真空计。连接有完整的气路，包括真空泵，纯度 99.99 % 的 Ar 气，Sevenstar 公司的 D08-2F 型流量控制计，以及尾气处理系统。



图 2.2 OTF 1200X-II型双温区管式炉。

2 单原子层 MoS₂ 忆阻器件的制备及表征

下表 2.1 列出了本节所需用到的化学药品信息。

表 2.1 化学药品清单

药品名称	分子式/型号	纯度	制造商
硫粉	S	99.5 %	Alfa Aesar
氧化钼	MoO ₃	99.998 %	Alfa Aesar
氯化钠	NaCl	AR	西陇化工
无水乙醇	CH ₃ CH ₂ OH	AR	北京化工
丙酮	CH ₃ COCH ₃	AR	国药集团
去离子水	H ₂ O	S<0.0055 μs/cm	清华大学精细化工
氢氧化钠	NaOH	AR	北京通广精细化工

注：AR 为分析纯

2.2.1.2 机械剥离方案

机械剥离方法相对比较容易，工序简单，但由于难以控制剥离材料的层数和大小，一次需制备较多样品，再从中筛选满足需求的单原子层样品。

具体操作如下：

第一步，取一块大小合适且表面相对平整的 MoS₂ 单晶样品，将其置于胶带中央，并在另一面同样覆盖胶带，将晶体包裹。轻轻按压晶体，反复贴合、揭开胶带，可见明显的薄层状晶体粘附在胶带上。

第二步，取出块状晶体，密封保存。将带有薄层晶体的胶带与另一新胶带贴合，两胶带每次错开一定角度，使晶体逐渐在胶带上被剥离成为扇形或圆形的区域，应注意贴合时不能出现覆盖重叠的部分。这一操作应持续重复，直到新的揭开的部分已无明显金属光泽。

第三步，取将合适大小的 PDMS 粘贴在载玻片上，并揭下上表面的保护薄膜，使得其具有粘性的部分裸露出来。从最终留在胶带上的材料区域中，选取材料较多的部分对准 PDMS 并覆盖，轻轻按压胶带，再揭下胶带。此时就已有部分层状 MoS₂ 材料留在了 PDMS 衬底上。等待在后续的材料表征中找到满足要求的单原子层 MoS₂ 样品的区域，再定点转移该区域的样品。

2.2.1.3 CVD 生长方案

利用 CVD 的方法生长得到单原子层 MoS₂ 已经有了比较多的报道^[73,81,82]，

2 单原子层 MoS₂ 忆阻器件的制备及表征

我们沿用了这些报道中的材料及工艺流程，并加入了一些针对性的改进调整。实验中，材料直接生长在 SiO₂/Si 基底上。

具体生长工艺如下：

我们首先切取与石英舟宽度相当的 SiO₂/Si 衬底（可刚好平稳放置在石英舟顶部），衬底长度可稍长，以保证有足够的基底空间供材料生长。因为生长过程中，衬底上的有机物和灰尘等杂质会对材料的生长质量造成较大的影响，所以我们先对 SiO₂/Si 进行预处理，依次在丙酮、无水乙醇和去离子水之中超声处理约 10 min，之后再用干燥的氮气吹干，并在 60 °C 的烘箱中烘烤四至五个小时。

接下来，我们称量反应所需的化学药品，将 1.4 g 硫粉放置在石英管区域 I，将 1.2 mg 的 MoO₃ 混合研磨过的 0.2 mg 的 NaCl 放置于区域 II，并把清洗好的衬底，正面（抛光面）朝下恰好盖住药品所放置的位置，如图 2.3 所示。



图 2.3 所采用的 CVD 生长方法示意图。

密闭石英管，用真空泵将管内气压抽至 0.1Pa 以下，关闭真空泵，打开阀门，设置 Ar 气流速为 100 SCCM，让 Ar 气充满整个石英管。管内气压恢复常压后，保持 Ar 气流通至少 20 min，使空气完全排尽。

设置好管式炉两个温区的升温速率，保证两边能够同时达到反应温度（850°C），同时生长过程中始终通 Ar 气作为载气。Ar 气的流动速率对材料生长有一定影响，应保持到合适的速率，在此选择 85 SCCM。总生长时间控制在 15 至 20 min 之间，之后关闭加热器，使炉内自然降温。最后，将衬底小心从石英管内取出并表征，观察材料生长情况。

2.2.2 单原子层 MoS₂材料表征与分析

2.2.2.1 材料形貌表征

所制备的单原子层 MoS₂ 材料需要表征的形貌特征主要为其形状大小和厚度，所用仪器为光学显微镜（OM）和原子力显微镜（AFM）。实验中采用的光学显微镜为产自 OLYMPUS 公司的高分辨共聚焦显微镜，型号为 OLS4000。原子力显微镜为美国 Bruker 公司生产的多模式扫描探针显微镜，型号为 Bruker Multimode-8。

机械剥离的样品由于具有随机性，需要多次重复实验并在光学显微镜下观察，通过衬度对比，找到相对独立、面积较大的单原子层材料。然后将目标样品通过干法转移技术定点转移到目标衬底上，再进行 AFM 原位表征。单原子层的 MoS₂ 厚度约为 0.6 nm，因此我们仅筛选 AFM 表征结果满足该厚度的样品进行后续实验。

对于 CVD 生长的单原子层 MoS₂ 材料，通常在衬底的前部，由于反应最为剧烈，因此会形成多层或连成片状的材料，不利于后续实验。在衬底长度合适的情况下，衬底的中部至尾部可以观察到相对独立，且密度较大的材料区域，该区域的材料通常即用于后续实验的首选。该区域内材料的质量优劣受到多种因素的影响，包括 Ar 气流速、S 和 MoO₃ 的配比以及反应时间等。为了获取面积较大的单原子层 MoS₂ 样品，可以选用较慢的 Ar 气流速和更长的反应时间。同时，目前也有报道称，在反应过程中加入少量 NaCl 可以提供更多的成核位点，催化大面积 MoS₂ 的生长^[83]。值得注意的是，这些工艺参数必须进行合理的组合，否则将无法得到预想材料的生长结果，并可能伴随质量下降的现象。

在我们的实验过程中，主要易出现以下两类问题。一是虽然所生长材料的面积较大，但无法得到完整的三角形畴，且材料周边出现不连续的粗大成核位点，如图 2.4(a)所示，插图为去色处理的局部放大图。这一问题通常是由于前驱反应物之间的局部配比关系不当造成的，通常需要调整 Ar 气流速并调整 S 粉和 MoO₃ 的量。二是三角畴中间会出现许多微小的晶核，在高倍数光镜下可以明显观察到，如图 2.4 (b)，由于三角畴的中央部分是我们用于搭建器件的主要区域，因此这些微小晶核的出现会极大影响器件性能。这一现象的出现说明了材料已有向多层生长的趋势，因此我们需要调节气体的流速或者减少 NaCl 的用量。

通过对工艺参数的反复优化，我们得到了大小适中，形状规整的单原子层

2 单原子层 MoS₂忆阻器件的制备及表征

MoS₂材料，如图 2.4 (c)所示，材料分布相对均匀，密度适中，且从图 2.4 (d)中可以看出，三角畴内部没有多余的成核位点，表面比较清洁，能够满足后续实验要求。

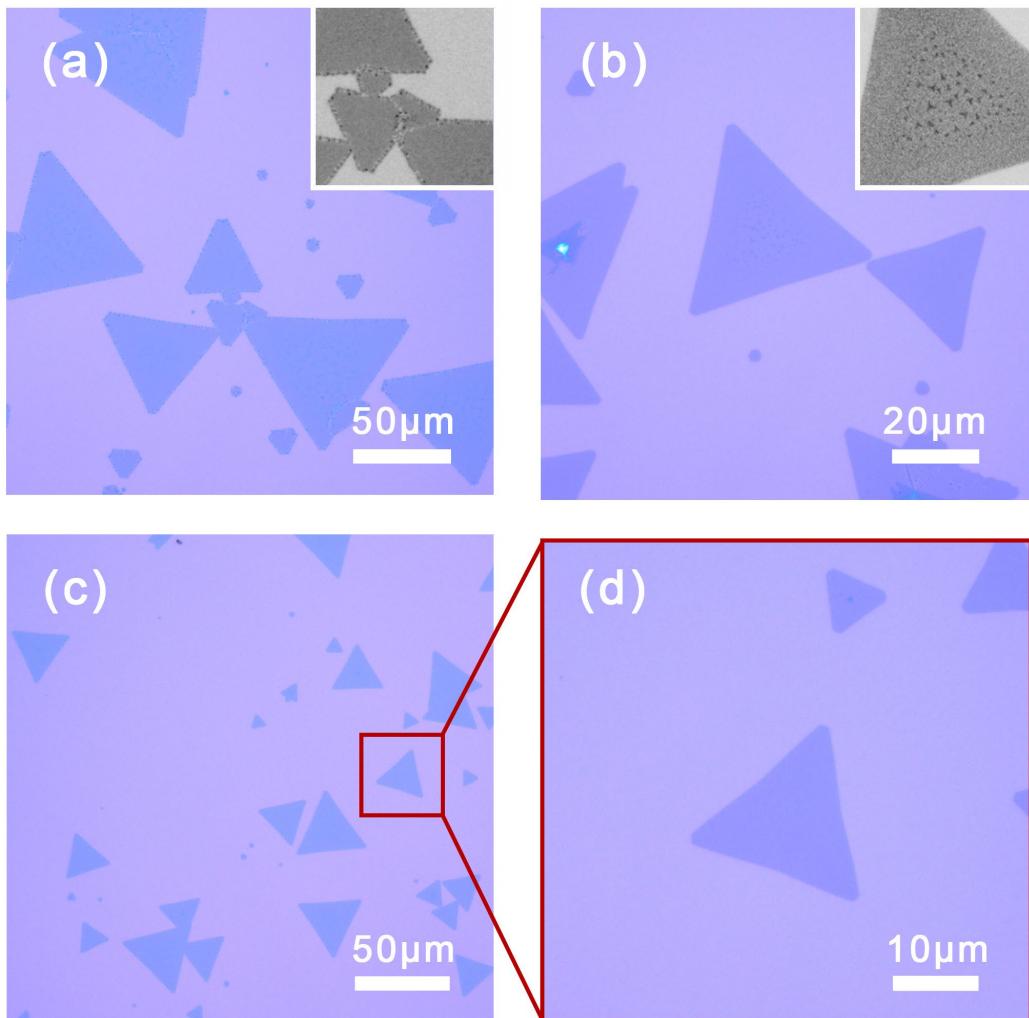


图 2.4 不同 CVD 工艺参数下生长的单原子层 MoS₂材料 OM 表征图。(a) 材料边界处出现粗大成核位点，(b) 材料内部不均匀，存在微小晶核，(c) 优选工艺参数下所制得的材料，形貌良好，(d)为其局部放大图。

我们进一步利用 AFM 对生长的单原子层 MoS₂进行了厚度表征，由于单层二维材料极薄，高度差较小，因此为了保证测量的准确性，我们选择了接触模式（Contact）。该模式下，AFM 的针尖将一直与材料接触，为了保护材料不被破坏，我们采用的是相对偏软的探针，弹性常数 k 较小（0.4 N/m），针尖半径为 2 nm。

2 单原子层 MoS₂ 忆阻器件的制备及表征

测量结果如图 2.5 所示，明显可以看到一个台阶，显示该材料厚度大约为 0.6 nm，与文献报道一致^[73]。

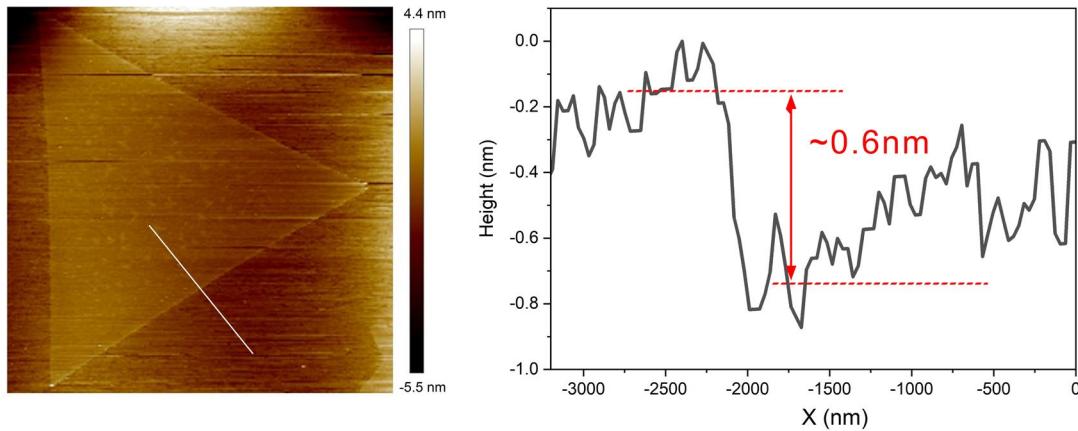


图 2.5 材料厚度的 AFM 表征。

2.2.2.2 拉曼光谱与荧光光谱分析

根据文献^[84,85]介绍，与机械剥离的单原子 MoS₂ 相比，CVD 生长的材料具有相对更多的材料自身的缺陷。因此，我们进一步对 CVD 生长的单原子层 MoS₂ 进行了拉曼光谱和荧光光谱测试，并将结果与文献中报道的光谱特性进行了详细对比。

拉曼光谱和荧光光谱均是常用的材料检测手段，我们在此采用显微拉曼光谱仪对制备的单原子层 MoS₂ 材料进行分析。仪器产于 RENISHAW 公司，型号为 inVia Plus，光谱范围为 200 nm 至 1000 nm，光谱分辨率为 1 cm⁻¹。

测试时，材料的衬底为 SiO₂/Si，拉曼光谱结果如图 2.6 (a)所示，出现了明显的 E_{2g}¹ 和 A_{1g} 峰，与文献报道一致^[86]。而两峰之间的差值与材料层数和材料生长质量有一定关系^[87]，我们的测试结果显示两峰差值为 22.28 cm⁻¹ 稍大于机械剥离样品的 19.74 cm⁻¹，说明 CVD 生长的单原子层 MoS₂ 材料中相对具有更多的缺陷。图 2.6 (b)显示了机械剥离的多层和单原子层 MoS₂ 样品，以及 CVD 生长的单原子层样品的荧光光谱，可直观看出单原子层样品的荧光光谱强度高出多层样品 5 倍以上，该现象是由 MoS₂ 自身的性质造成的，单层 MoS₂ 是直接带隙激发，远高于多层材料的间接激发^[84]。而 CVD 生长样品的主峰稍低于机械剥离的样品，这也进一步验证了 CVD 生长样品中缺陷相对更多的说法。

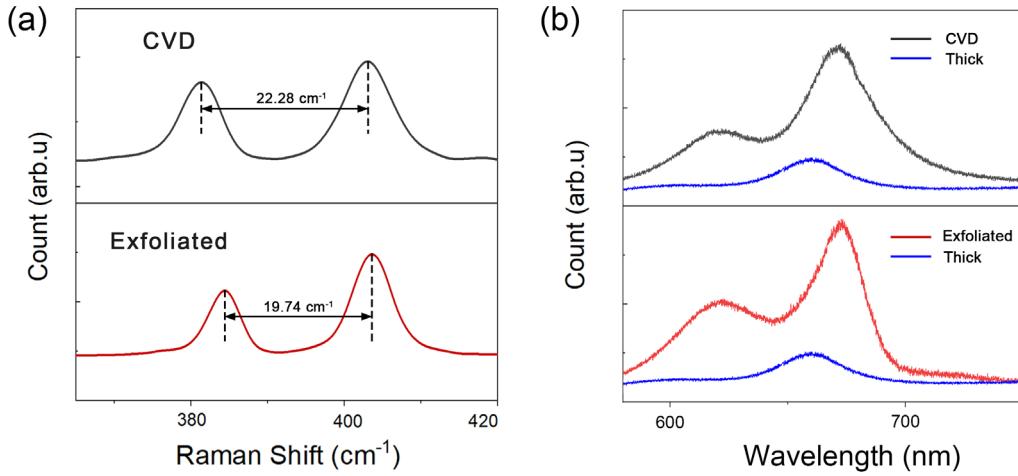


图 2.6 CVD 和机械剥离制备的材料拉曼(a)及荧光光谱(b)表征。

2. 2. 2. 3 MoS₂组分及结构分析

机械剥离的单原子层 MoS₂只有物理过程，制备工序简单，因此其原子结构与 2H 相的体相原材料一致。而 CVD 生长的材料制备过程中则存在加热以及复杂的化学反应，因此我们对 CVD 生长的材料进行了 TEM 分析，包括高分辨晶格像 (HRTEM) 和选区电子衍射分析 (SAED)。实验中选用美国 FEI 公司生产的 Tecnai G2 F20 U-TWIN 场发射透射电子显微镜，点分辨率 0.19 nm。制样时，将 MoS₂通过湿法转移至铜网上，为了方便寻找和识别样品，选用的带有字母标号的微栅铜网，如图 2.7 (a) 所示。

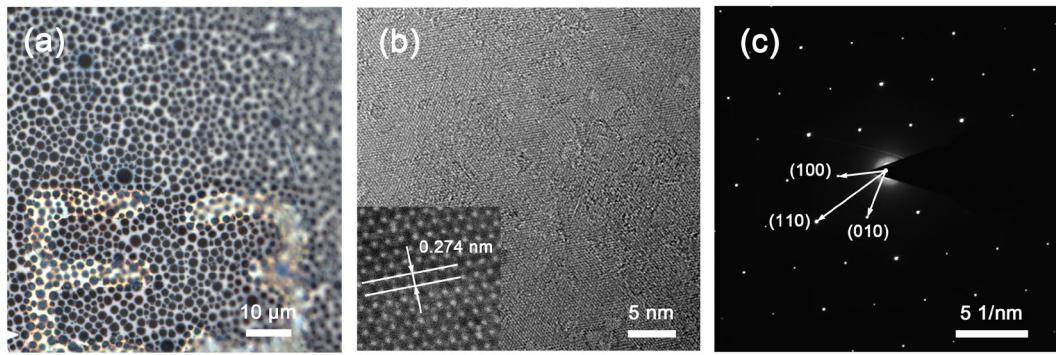


图 2.7 所用微栅铜网结构及 TEM 表征结果。

结果图像如图 2.7 (b)，该图展示的是单原子层 MoS₂的高分辨图像，插图为局部放大的图像。由图 2.7 (c)的选区电子衍射信息可以计算出该样品的晶格常数

2 单原子层 MoS₂忆阻器件的制备及表征

为 0.274 nm，与文献报道的 2H 相 MoS₂晶格常数吻合^[82]。此外，该图只显示了十分清晰的一套格点，未出现其他格点，进一步说明了我们所生长的样品质量较好，具有良好的单晶性。

2.3 单原子层 MoS₂忆阻器件的制备工艺

得到质量较好、可用面积较大的单原子层 MoS₂材料之后，我们进一步搭建了垂直的 Au/MoS₂/Au 器件，以验证并优化该器件的忆阻特性。在制备该器件的过程中，还需进行光学曝光、薄膜溅射、材料转移等一系列半导体工艺流程，接下来对制备所用的方法、设备以及工艺进行介绍。

2.3.1 阵列化底电极预制

为了实现对器件制备中的各种工艺参数进行负反馈调节，我们需要一次制备大量的器件，同时，这也将有利于我们后续尝试组合器件的功能性电路搭建。因此，为了达到单次工艺搭建多个器件的目的，我们首先需要制备大面积周期化的底电极阵列，这将通过一整套的光刻工艺流程制得。

2.3.1.1 掩模板的设计

我们设计了 4 英寸大小的掩模板，图案设计如图 2.8 (a)所示，红色部分为加工区域，黑色部分为标注。电极块部分设计为 120 μm 的正方形，主要作用是与探针接触，故尺寸设计较大。

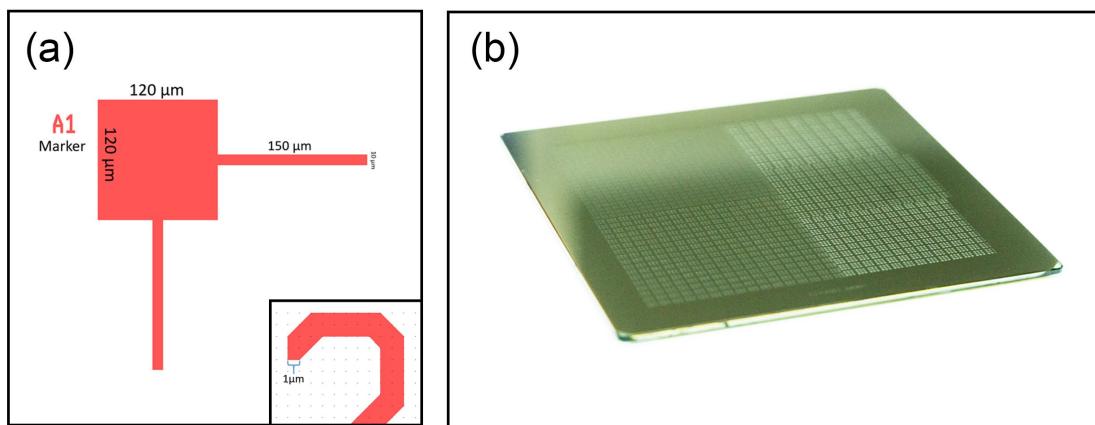


图 2.8 所设计的底电极掩模板(a)及实物图(b)。

所展示的电极杆部分设计为长 150 μm，宽 10 μm，该区域与材料直接接触。电极杆的宽度设计必须适中，过小会影响最终器件的性能，过大（大于大部分单原子层 MoS₂三角畴的宽度）则会导致材料无法完整覆盖底电极，使得器件容易发生短路，因此在后续实验中，我们还设计了其他宽度的底电极阵列。

整个掩模板的图形最小分辨率为 1 μm，如图 2.8 (a)中的插图所示。完成设计后，我们将其交由中科院微电子所加工制作，最终所得掩模板实物如图 2.8 (b)。

2.3.1.2 光学曝光工艺

得到掩模板之后，我们以 4 英寸的 SiO₂/Si 为衬底，开始进行光刻。所用仪器为德国 SUSS 公司生产的双面对准接触式紫外光刻机，型号为 MA6，曝光波长为 UV400，最大曝光面积为 4 英寸，分辨率 ≤ 0.8 μm。该仪器适用于所有标准化的光刻应用，具有顶部和底部对准系统。相应地，光刻胶我们选择了 ALLRESIST 公司生产的 AR-P 3110 型紫外光刻正胶，最小分辨率可达 0.5 μm，显影液使用的 ALLRESIST 公司的 AR 300-35 型。光刻全过程在超净间中完成。

工艺流程示意图绘制如图 2.9 所示，具体工艺步骤如下：

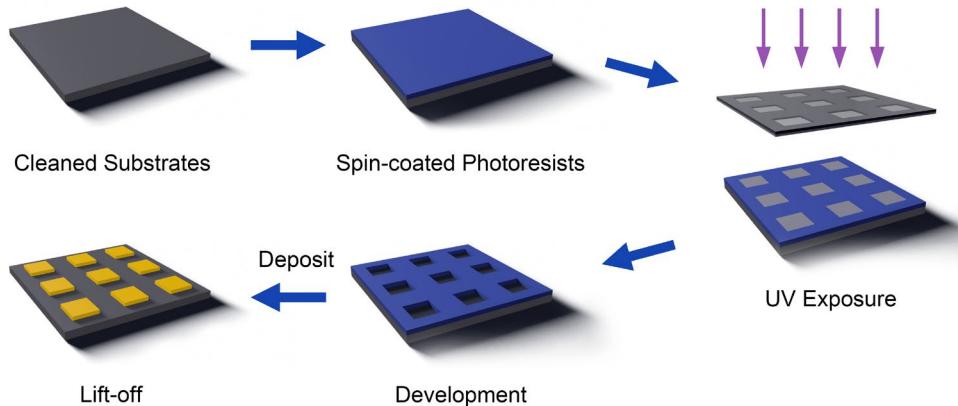


图 2.9 正胶 Lift-off 工艺流程示意图。

第一步，按照上文提到的方法清洗得到干净的 SiO₂/Si 基片，在匀胶机中将光刻胶旋涂在基片上，匀胶机转速程序设置为两段，第一段是 500 rpm (10 s)，紧接着是 3000 rpm (60 s)。加入第一段低速旋转是为了在最初阶段，将滴在基片表面的光刻胶分散开，进而保证整个基片都能被光刻胶覆盖，且厚度相对均匀。最终旋涂的光刻胶薄膜厚度约为 180 nm。

第二步，对涂覆有光刻胶的基片在热台上进行 1 min 的前烘，温度设置为

2 单原子层 MoS₂忆阻器件的制备及表征

90 °C。这一步中的前烘温度和时间直接影响光刻质量，需根据不同光刻胶类型和型号进行试验。

第三步，将该基板与掩模板均固定于紫外光刻机，接触模式为硬接触，待曝光完成后取出。该步骤中曝光时间需根据后续的显影质量进行调试。

第四步，将曝光完成的基板浸没在显影液中，待 1 min 40 s 后刻写部分的光刻胶完全溶解后，图案得以显示。取出基板，并用干燥的氮气吹干。

第五步，在带有微图案的基板表面沉积金属材料，再用丙酮去除基板上剩余的光刻胶，即可将图案化的金属留在基板上。

2.3.1.3 薄膜制备工艺

在光学曝光工艺流程的最后，将图案最终转移到基板上的步骤是沉积金属或者刻蚀基片表面。对于使用正胶的情形，一般是利用薄膜制备工艺，在基片表面沉积一层牢固的金属膜。之后，在利用丙酮去胶的过程中，将未刻写区域的金属薄膜一并去除，只在基片表面留下设计图案化的金属薄膜。

实验中，我们选择的薄膜制备方法为磁控溅射。这是物理气相沉积法中的一种，在薄膜制备领域中有着广泛的应用。它有着制膜速率高，薄膜粘附性好，能大面积沉积等众多优势。其原理示意图^[88]如图 2.10(a)所示，即电子基于电场力的作用与背景气氛中的惰性气体进行碰撞，通常为氩气 (Ar)，这将使氩气发生电离，形成氩离子和电子。这些氩离子得到数量得到稳定之后，将于阴极的靶材发生冲撞，进而使得靶材中电离出相应的离子或者原子，并沉积到样品表面。图 2.10 (b)为我们使用的 Kurt J. Lesker, PVD 75 型磁控溅射镀膜仪。

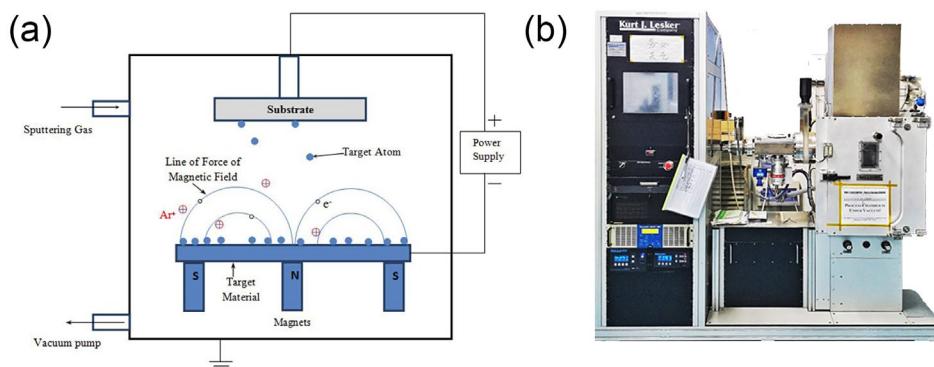


图 2.10 磁控溅射原理及所用设备照片。(a) 磁控溅射原理示意图^[88]，(b) Kurt J. Lesker, PVD 75 型磁控溅射镀膜仪。

为了将我们需要的金薄膜牢固地黏附在衬底上，我们在镀金薄膜之前，预先镀了 2 nm 的铬薄膜作为粘附层，之后再在之上镀了 80 nm 的金薄膜。铬靶和金靶均购自中诺新材公司，纯度 99.99%。图 2.11 (a)展示了未镀膜之前，仅有显影后光刻胶图案的状态，图 2.11 (b)即为镀膜并除胶后得到了 4 英寸的金电极阵列。

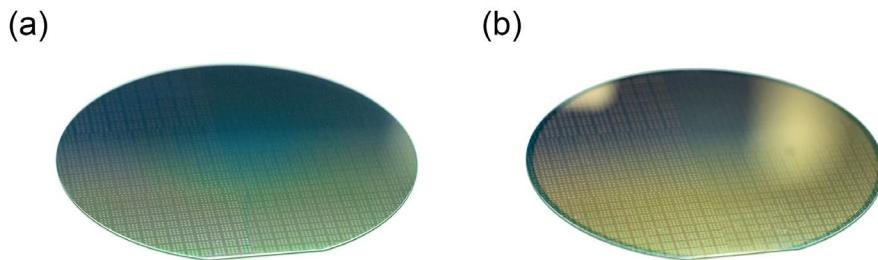


图 2.11 镀膜前后衬底照片。

2.3.2 材料转移技术

在预制底电极阵列后，我们需要将制备得到的单原子层材料通过一定的方式转移到目标底电极上。对于机械剥离的样品和 CVD 生长的样品，由于原始基底以及材料的分布情况不同，我们采用了干法和湿法两种不同的材料转移方式。

2.3.2.1 干法转移

机械剥离的单原子层 MoS₂ 样品原始基底为 PDMS，干法转移方法就是要将 PDMS 表面的材料贴合和目标基底区域，以使材料自发地从原始基底脱离，转移到新的衬底上。

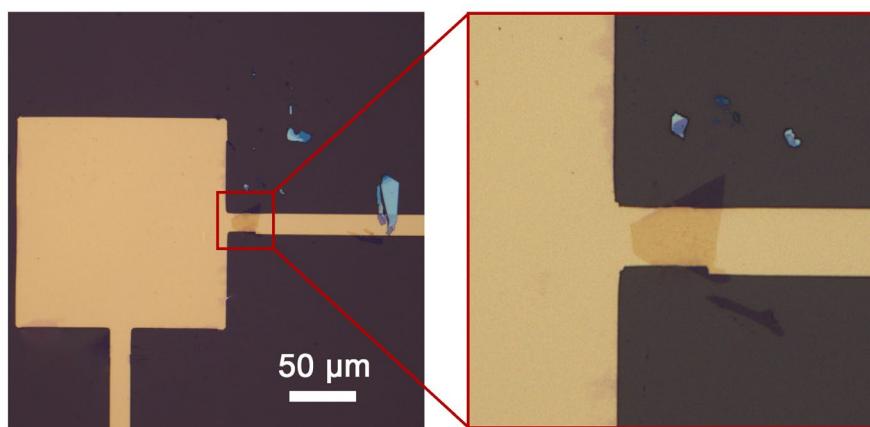


图 2.12 干法转移样品 OM 表征图。

实验中，我们采用了由昂维（ONWAY）公司开发的二维材料转移平台，该平台配有最高 20 倍的显微镜，可以在转移时对材料的贴合情况进行实时观察，同时样品可以多方向多角度的相对移动，保证其可以精准将材料定位转移到目标底电极上。由于该转移过程中需要对贴合区域进行短暂加热，使 PDMS 上的材料更利于脱落并转移到底电极上，为了避免在加热过程中材料被氧化，整个转移过程将在手套箱内进行，并始终保持水氧含量在 5 ppm 以下。转移后的样品在光镜下的观察图像如图 2.12 所示。

2.3.2.2 湿法转移

对于 CVD 生长的单原子层 MoS₂ 材料，其原始基底为 SiO₂/Si，无法简单依靠物理方法完成转移。目前，对于 CVD 生长材料的转移方法已有较多报道，我们选择了较为常用的一种，即利用饱和 NaOH 溶液腐蚀 SiO₂ 层的方法来完成材料的转移。同时，材料在 NaOH 溶液中浸泡，也有一定的掺杂作用，通过控制浸泡时长，能够一定程度控制引入缺陷的量。实验中需要用到电子束光刻胶 PMMA，产自 ALLRESIST 公司，型号为 AR-P 679.04。

工艺流程示意图绘制如图 2.13 (a) 所示，具体工艺步骤如下：

第一步，在长有单原子层 MoS₂ 材料的基片上直接旋涂纯 PMMA，匀胶机转速程序以及前烘温度设置与 2.3.1.2 小节中一致。由于未稀释的 PMMA 较为粘稠，因此最终旋涂的 PMMA 薄膜厚度较厚（约 300 nm），而这一较厚的薄膜能够提供更多的支撑，便于后续的转移操作。

第二步，配制饱和 NaOH 溶液，将带有 PMMA 的基底置于其中，等待 SiO₂ 层被完全腐蚀。失去 SiO₂ 后的基片，剩余的 Si 将与 PMMA 分离，由于 PMMA 与 MoS₂ 材料共形接触，材料将留在 PMMA 下表面。

第三步，将带有材料的 PMMA 薄膜置于去离子水中反复清洗，尽量减少 NaOH 在薄膜上的残留，需注意不能使薄膜发生折叠。

第四步，将清洗后的 PMMA 薄膜进一步转移到预制的底电极阵列衬底上，在光镜下观察并轻微调整位置后，在 80 °C 热台上加热 1 min，除去薄膜与衬底之间的水分。

第五步，将转移到衬底上的样品在室温下干燥 12 h，然后在 150 °C 下退火 10 min。之后将样品浸入丙酮 24 h，除去表面的 PMMA，最后将所有转移的样品在 300 °C 的超高真空（UHV）中退火 2 小时，以去除任何可能的聚合物残留。

2 单原子层 MoS₂忆阻器件的制备及表征

经过以上的步骤后，不仅能够高质量、完整地将单原子层 MoS₂材料从原始基底转移到预制的底电极阵列衬底上，同时，还能通过引入一定浓度的缺陷对器件进行掺杂，这一适当的掺杂是有助于提升器件忆阻性能的。转移后的样品 OM 表征如图 2.13 (b)所示，图 2.13 (c)为其局部放大图。

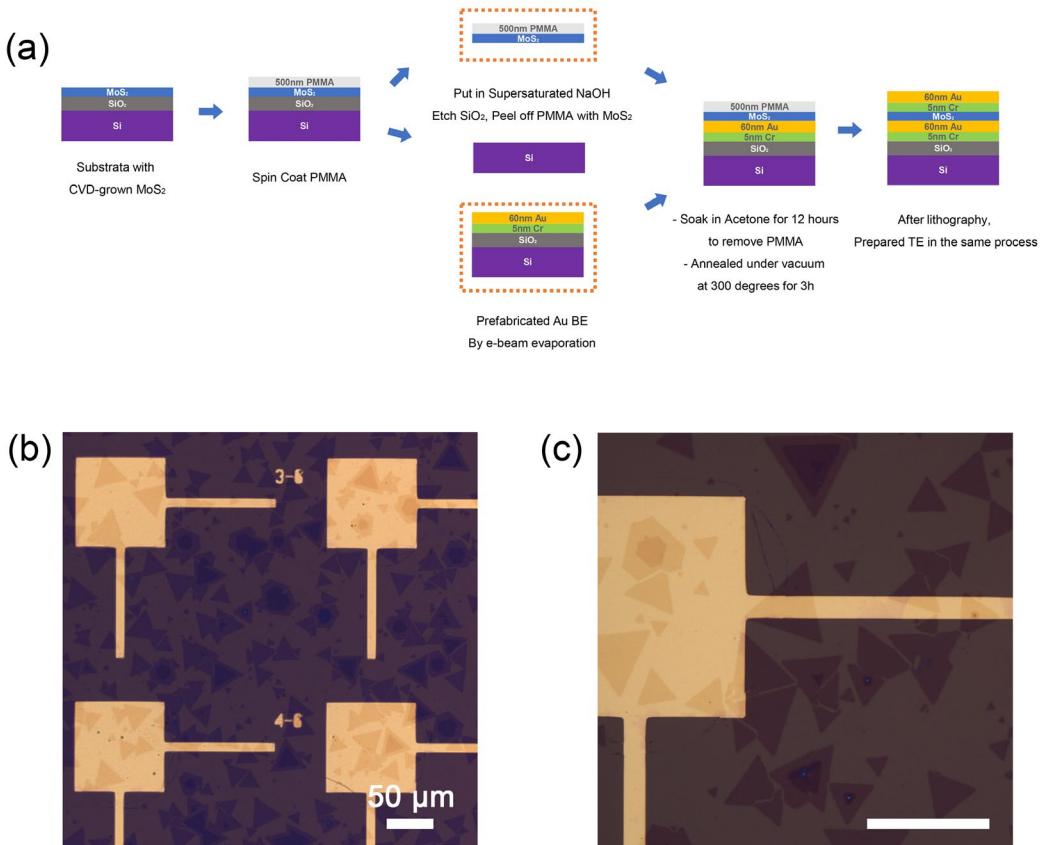


图 2.13 湿法转移工艺步骤(a)及转移后样品 OM 表征图(b)-(c)。

2.3.3 定位顶电极制备

器件制备的最后工序为顶电极的制备，要求在有目标材料的指定区域加工图案化的金属顶电极，电极要能够恰好覆盖单原子层 MoS₂材料，且不能超出材料区域造成短路。这一加工要求相对较高，且需要根据材料实时完成图案设计，就需要使用高效率，能实时观察样品表面，且能够高精度定位的微纳加工技术。通常，电子束曝光技术能够完成定制化的微纳图形制备，但其成本较高，且对加工环境要求高，效率较低。

2 单原子层 MoS₂忆阻器件的制备及表征

于是，我们选择了本课题组自主研发的第二代激光直写系统 Nano LDW-100 进行器件顶电极的制备，设备如图 2.14 (a)所示。该激光直写设备的激光光斑直径约 300 nm，其原理是通过自动化手段控制激光光束的运动轨迹，使激光与材料之间发生纳秒级的相互作用，进而实现图案化加工。由于激光光斑的能量符合高斯分布，如(b)所示，通过进一步精确的调节，能够只让受体材料中超过加工阈值的部分与激光束发生作用，进而实现超分辨加工，得到远小于激光光斑直径的加工精度。综合来看，该系统具有以下优点：第一，能够直接在大气环境中加工，对环境要求不高；第二，该系统配备有基于 LabVIEW 自主开发的软件系统，能够简便操作完成刻写，程序主界面如图(c)；第三，搭载有 50 倍的 CCD (Charge Coupled Device) 显微相机，能够实时观察样品表面情况，如图(d)，进行定制化的图案制备；第四，光斑直径较小，加工精度高，定位控制精准，无需掩模板，同时加工效率较高。鉴于以上优势，该激光直写设备能够完全满足我们对定位制备顶电极的需求，且能够为我们的实验带来极大便利。

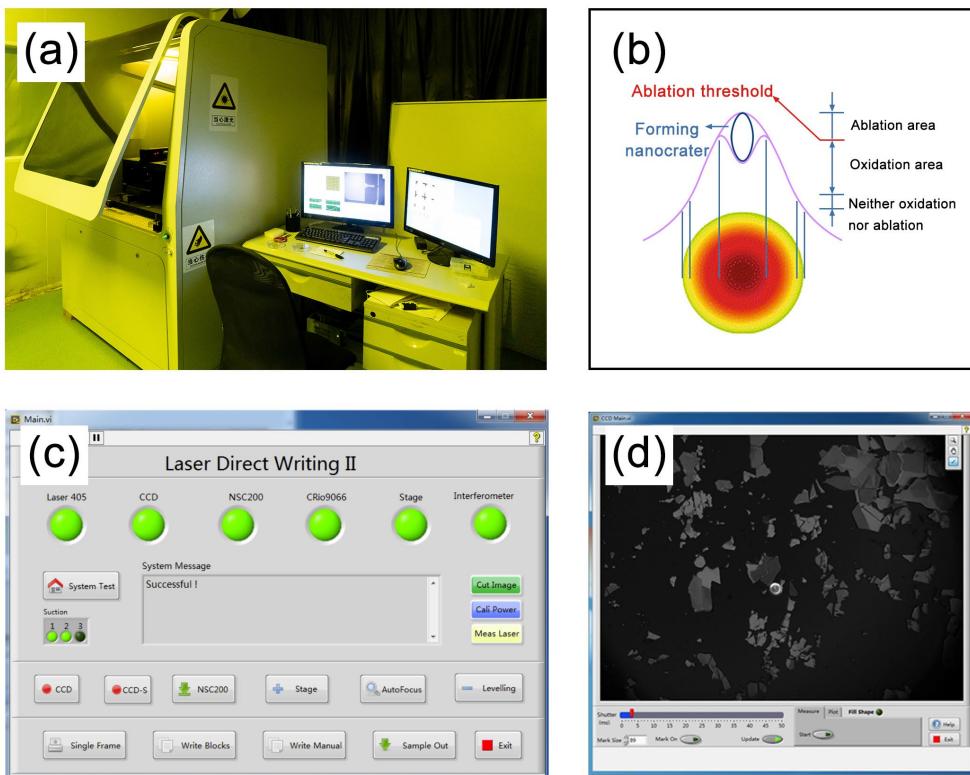


图 2.14 新型激光直写系统 LDW-100 II。(a) 设备照片，(b) 聚焦光斑非线性能量分布图，(c) 系统操作主界面，(d) 系统 CCD 界面下显示的样品图。

2 单原子层 MoS₂忆阻器件的制备及表征

利用该激光直写设备进行的顶电极制备工艺流程与 2.3.1.2 小节所述的光学曝光工艺流程相类似。主要的区别在于基于激光直写技术的工艺无需使用掩模板，可以直接在软件中绘制电极图形，并进行原位刻写。除此之外，工艺中的匀胶、前烘、显影、去胶等一系列操作均与上文所述相同。唯一有所不同的是，由于该单原子层 MoS₂材料比较脆弱，在磁控溅射时材料有可能由于过高的冲击能量而被破坏，因此我们选择了使用薄膜沉积速度相对较慢，对材料破坏较少的热蒸镀方案，仍然是沉积 2 nm 的铬，80 nm 的金薄膜。

本实验中的激光直写系统能够通过调节激光器的功率和脉冲宽度来调节作用于样品表面的能量，功率可调范围为 0~300 mW，可调精度为 0.1 mW，脉冲宽度可调范围为 10 ns~10 ms。光刻胶对于光束的加工比较敏感，过低的激光功率会导致无法刻透光刻胶薄膜，过高则会导致过曝，使得精度下降，影响图形质量。因此，我们进行了大量的参数调试，最终选定激光器功率和脉宽调节分别为 120 mW，120 ns。在该参数下，我们分别对 CVD 材料样品和机械剥离的样品进行了直写加工，并最终制得了高质量顶电极，如图 2.15 所示。其中图(c)为机械剥离材料所搭建的器件，图(d)则为 CVD 材料所搭建。

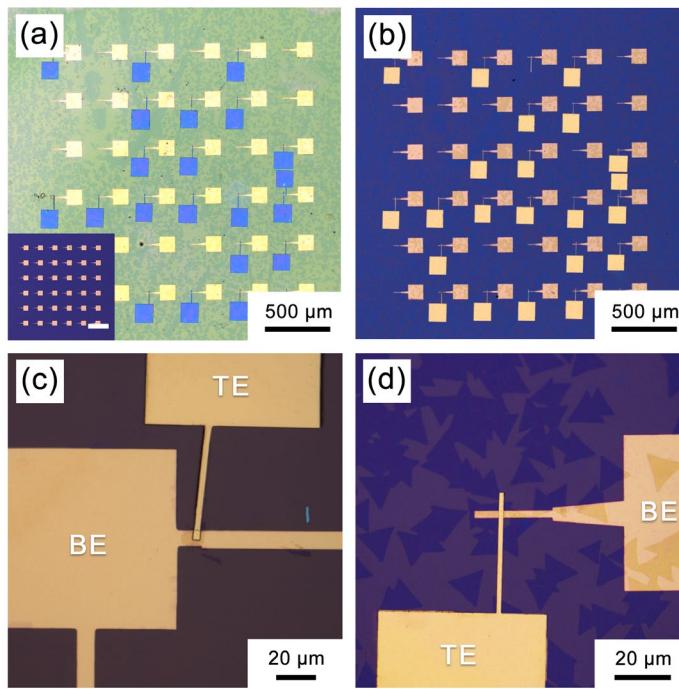


图 2.15 顶电极制备流程 OM 表征图。(a) 直写加工（显影后）顶电极，插图为阵列化底电极，(b) 薄膜沉积后器件阵列，(c) 机械剥离材料器件，(d) CVD 生长材料器件。

2.4 单原子层 MoS₂忆阻器件的电学表征

经过以上的工艺流程,以及不断的工艺参数优化,我们得到了分别基于 CVD 生长和机械剥离的两类单原子层 MoS₂ 忆阻器件,结构示意图绘制如图 2.16 所示。接下来,我们将对这两类器件的电学特性进行表征分析。

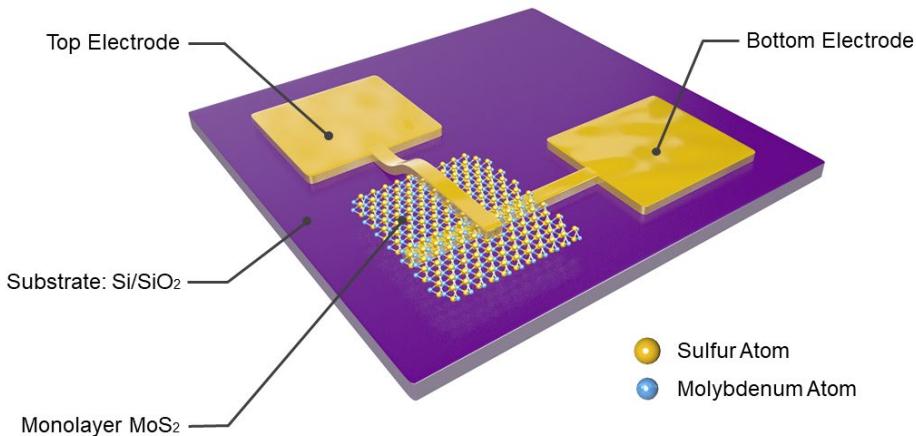


图 2.16 所制备垂直结构单原子层 MoS₂ 忆阻器件示意图。

2.4.1 器件 $I-V$ 特性及阻态保持能力测试

首先, 我们对器件的伏安特性进行了测试, 并绘制了 $I-V$ 特性曲线。测试实验中, 我们使用的设备为美国 Keithley 公司生产的 2602A 系列数字源表, 测试分辨率为 100 fA / 100 nV。与之配合的是我们自行搭建的探针平台, 该平台最多可同时装备四个探针, 对应四个输入输出端口。所用探针为表面镀金的钨探针, 针尖直径为 1 μm 。此外, 该平台上还配有 20 倍的显微 CCD 相机, 可以实时观察材料, 并选取不同器件进行测试。

基于该测试平台, 我们先对机械剥离的单原子层 MoS₂ 材料作为介质层的器件进行了测试。对于单个器件而言, 我们的测试方法是直流电压扫描 (VSM), 即在测试时将底电极接地, 逐步改变施加在顶电极上的偏压, 该偏压以 0 V \rightarrow x V \rightarrow - x V \rightarrow 0 V 为一个周期进行台阶式电压扫描, 所设置步长为 0.01 V。之后, 绘制器件的 $I-V$ 特性曲线, 即可得到器件的阻变性能, 一般我们会将纵坐标取绝对值后再转换为对数坐标, 以方便直观地观察器件的阻值变化的数量级。由于单原子层 MoS₂ 属于半导体, 其电阻远小于传统氧化物薄膜, 因此 x 的取值应尽量小,

2 单原子层 MoS₂ 忆阻器件的制备及表征

实验中我们设置从 0.1 V 开始第一次循环，每测试一个周期后 x 适当增大，直到器件出现明显忆阻特性。利用这一方法对该类器件进行测试，典型 $I-V$ 测试结果如图 2.17 所示。当电压升至 2 V 时，仍未发现明显的忆阻特性，仅有正向扫描时窗口小于一个量级的迟滞现象。这与文献中所报道的现象基本一致，已有较多研究表明利用机械剥离制备的 2H 相的 MoS₂ 材料，其所搭建的垂直结构器件并不能观察到明显的忆阻性能^[89]。我们认为该现象与介质材料（单原子层 MoS₂）的缺陷数量有直接关系，在图 2.6 的材料光谱表征中已经初步证实了机械剥离与 CVD 生长材料之间在缺陷数量上存在较大的差异，在后续的章节中我们将对缺陷与忆阻性能之间的具体关系进行更为深入的研究与讨论。而在本节中的实验中观测到的小量级正向窗口我们认为是由于机械剥离材料具有较大的随机性，在剥离过程中会随机引入局部的缺陷或杂质态，进而通过俘获电子而得到了一定的滞回窗口，但该现象几乎不具有可重复性。

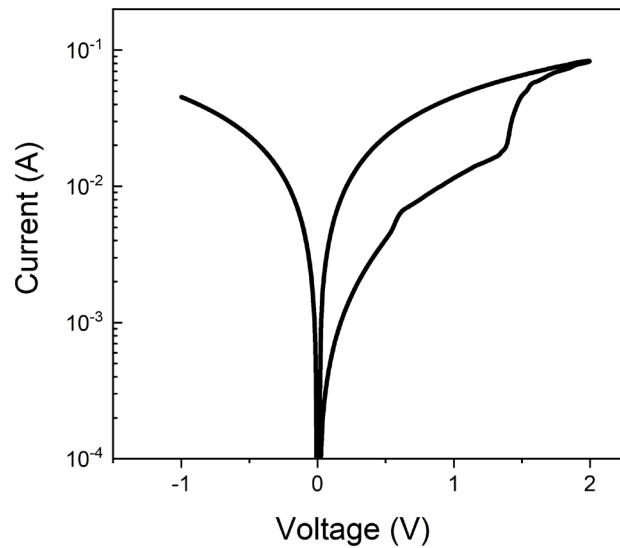


图 2.17 机械剥离材料所制备器件的 $I-V$ 特性曲线。

在确认基于机械剥离的单原子层 MoS₂ 器件难以产生稳定、非易失的阻变现象之后，我们进一步对 CVD 的器件进行了测试。利用相同的测试方案，我们得到了较好的测试结果如图 2.18 (a)，显示出该类器件具有明显的阈值型忆阻器件特性，具有快速的突变式切换行为。正负阈值电压范围内，器件的 $I-V$ 曲线呈现良好的线性度，忆阻窗口（开关电流比）最高可达到 10^5 ，且能够在多个器件中测量到相似的阻变性能。在实验中，我们最终确定的扫描范围为 ± 2 V 之间，由

0 V 升至 2 V 时，器件在 1.5 V 左右能够发生高阻态到低阻态的转变，对应数据的存储，代表二进制数值“1”。之后，在负向的偏压作用下，器件在 -1.5 V 附近发生低阻态回到高阻态的转变，对应数据的擦除，代表二进制数值“0”。此外，我们还对器件的阻态保持能力进行了测试。我们用一个极低的读取电压 (0.01 V) 即可完成对当前阻值的测量，该电压值远低于器件的写入电压，不会使器件发生阻态变化。通过这一方式，我们能够使测试平台每一秒施加一个小电压，并读取一次当前电流值，最终绘制得到图 2.18 (b)，该图说明了器件的阻态保持能力，可以看到高低阻态均十分稳定。图中高阻态下电流值的波动，是由于在小电流状态下电表的测量噪声较大引起的，并不影响器件的非易失存储性能，最终我们的器件展现出稳定保存数据超过 10⁴ s 的优异性能。

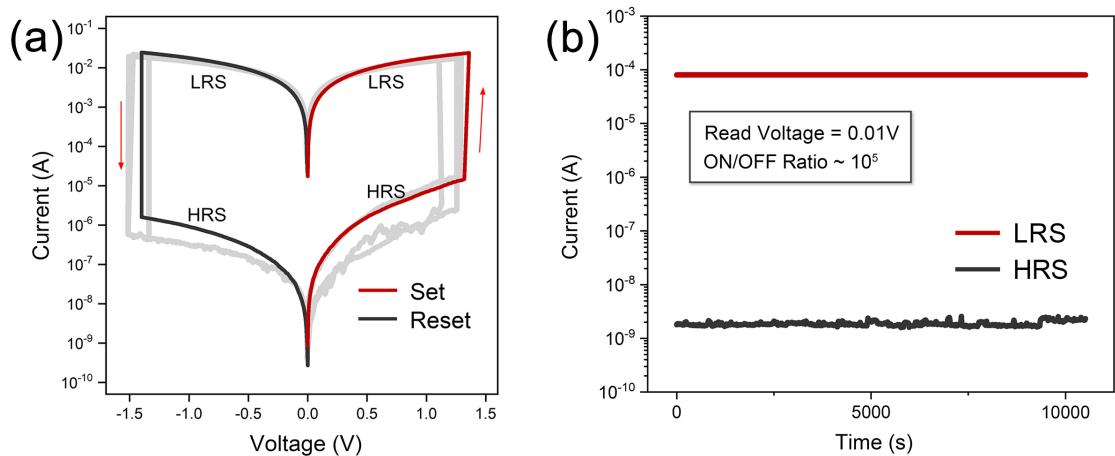


图 2.18 CVD 生长材料所制备器件的电学特性表征。

2.4.2 阻变失效测试与分析

在测试中我们发现，基于单原子层 MoS₂材料的忆阻器件虽然能够得到优异的阻变特性，但是其循环切换的次数有限。通常出现的失效形式包括断路，或者器件在写入成为高阻态之后难以再复位回低阻态等。这一耐用性方面的问题在众多已报道的关于该类忆阻器的工作中普遍存在，目前基于该类器件最多能够实现约 100 次左右的循环切换^[62]。这说明该类器件在耐用性上还具有较大的提升空间，于是我们对该器件的各类失效原因进行了分析，这将对未来该类器件稳定性方面的进一步研究发展起到一些指导性的作用。

首先，我们利用导电原子力探针显微镜 (C-AFM) 从材料层面进行了测试分

2 单原子层 MoS₂ 忆阻器件的制备及表征

析。C-AFM 是一种能够在测量样品形貌的同时，记录探针尖端纳米尺度区域电流变化情况的仪器，其原理示意图如图 2.19 (a) 所示，探针尖端所测得的电流由电流密度 J 和有效发射面积 A_{eff} 共同决定，如下式：

$$I = J \cdot A_{\text{eff}} \quad (2.1)$$

由于 J 值受到样品电导率、样品内部不均匀性（如厚度波动、局部缺陷以及局部掺杂等的影响），因此选取的测量点的性能与材料的性质有重要关系。在测试中，我们在材料表面随机选取了多个点位进行测试。材料的衬底为镀金的 SiO₂/Si 同样保持底电极接地，探针充当顶电极，进行 ± 8 V 的电压扫描，C-AFM 测试成像如图(b) 所示。测试点在扫描电压下相当于形成了独立的微器件，每个点位的写入和复位电学特性如图(c)-(d) 所示。大部分的测试点在电压扫描下能够实现写入和复位的操作，说明就该类单原子层 MoS₂ 材料而言，是具有一定耐受性的。对于其中失效的测试点，我们认为是由于生长和转移等工艺过程中，局部累积的大量缺陷、晶界或者是微裂缝等所引起的，这些材料内部不良因素的影响直接体现为该处无法正常发生阻值切换。

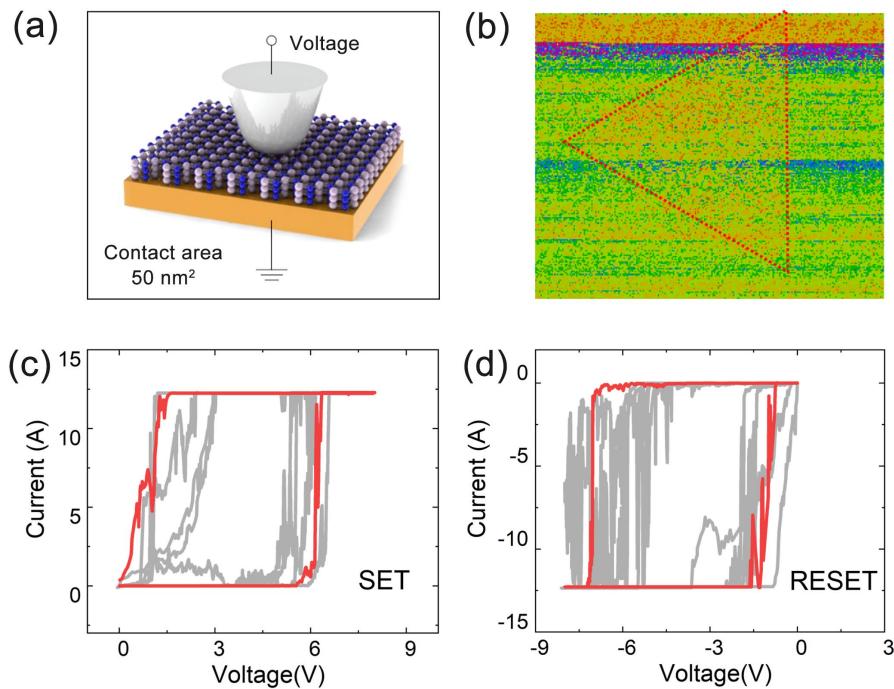


图 2.19 C-AFM 测试原理及结果图。(a) 测试原理图, (b) 测试成像图, (c)-(d) 多位点写入 (Set) 及复位 (Reset) 测试 I - V 图。

除材料以外，在器件的测试中过大的电流也会导致器件的失效，因为在电流的作用下，器件本就会逐渐积累较多的热量。如果通过器件的电流过大，则会使得器件的工作温度过高，进而很容易造成击穿失效。因此，在测试中设置合适的限流值是十分重要的，在后续的测试中，我们通过电表的设置将电流值限制在了 0.1 A 之下。此外，另一个可能导致器件失效的原因是测试环境或样品表面的水氧成分影响，通电测试后可能导致器件短路而发生局部过热，进而使得材料和电极都发生损毁。基于以上分析，经过我们的尝试，在真空环境或者惰性氛围手套箱中测试能够一定程度提升器件的循环性能。此外，在整个器件制备过程中还应尽量保持材料和电极均干净整洁。同时，对器件进行合理的封装也是提升其鲁棒性的良好方案之一，比如目前二维材料常用的利用绝缘层状材料 h-BN 实现封装，现已有报道称这种封装方式能够显著改善器件稳定性^[90]。

2.5 本章小结

本章主要介绍了适合于在逻辑存算电路中应用的单原子层 MoS₂ 忆阻器件的制备及性能表征。为了得到具有忆阻窗口大、切换迅速、阻态保持时间长等优点的器件，我们从材料制备到器件搭建工艺等方面进行了优化研究，对工艺流程中材料形貌、材料成分、器件电学性能等方面进行了详细的表征，并基于这些表征结果进一步反馈去调节工艺参数，最终我们得到了性能优异的忆阻器件。该器件为突变式切换，开关比最高可达到 10⁵，阻态保持时间超过 10⁴s，能够满足我们下一步实验的要求。

3 单原子层 MoS₂忆阻器件机理探索及模拟计算

3.1 引言

目前普遍接受的忆阻器阻值切换机理为化学价变化和电化学金属化两种，这在 1.2.3 中已进行了详细的介绍。但是，对于单原子层 MoS₂ 忆阻器乃至是更广泛的单原子层 TMDs 类材料搭建的忆阻器件而言，其阻变机理与之前提出的理论均有所不同。因此，目前亟需对该类器件的机理进行实验上及模拟计算上的深入探究，这对于未来器件性能的进一步优化和应用场景的拓展等均有着十分重要的意义。

目前，已有研究团队称在实验上确认了该类器件的机理，并提出“解离-扩散-吸附”(Dissociation-Diffusion-Adsorption, DDA) 的模型对该机理进行解释^[62]。为了探究我们制备的器件所展现的电学特性是否同样是由该机制导致，我们构建了不同状态的材料模型以及这些材料所构成的器件物理模型，并进行了模拟计算。具体来说，本章我们基于第一性原理的密度泛函理论和非平衡格林函数相结合，对本征单原子层 MoS₂、含空位缺陷的单原子层 MoS₂ 以及 Au 掺杂进入缺陷处的单原子层 MoS₂ 的电子能带结构和能态密度进行了计算和分析。此外，我们还对 Au 掺杂前后的异质结器件模型进行了电子输运计算，得到了与实验现象吻合并且能够解释器件机理的模拟计算结果。

3.2 单原子层 MoS₂ 忆阻器件机理探索

长期以来，人们一直认为单原子层的垂直忆阻器件会因为过大的漏电流而无法使用。然而，最近多个团队的实验结果直接说明了在亚纳米级别的单原子层材料中（如 TMDs, h-BN 等），非易失性的忆阻现象仍然是广泛存在的。在验证了单原子层材料具有制备高性能忆阻器件的潜力之后，研究人员进一步着力于探索该实验现象背后的物理机制。通常这一类器件是垂直的三明治结构，由两端的惰性电极（如 Au）和中间的功能层构成。硫空位是 MoS₂ 单原子层中最主要的缺陷形式，然而这一缺陷并不像传统氧化物中的空位缺陷一样，在电场的作用下可发生迁移，致使其不能作为自然形式的低电阻通路，这与现存的化学价变化机制有明显的不同。同时，由于电极是惰性金属，且单原子层厚度极薄，其机制

也不能与电化学金属化相匹配。

最近，德州大学奥斯汀分校的 Akinwande 等人^[63]在单原子层忆阻器件的机理解释方面取得了较大的进展。2020 年，他们结合扫描隧道显微镜/扫描隧道光谱（STM/STS）和局部输运研究等手段，在 Au/MoS₂/Au 结构器件中直接观察到了从底部或顶部电极迁移并填入介质层材料的缺陷处的金原子如图 3.1 (a)-(c)。

伴随这一现象同时发生的是器件由高阻态切换到低阻态，之后在反向电场的作用下，金原子脱离，缺陷恢复其初始的空位结构，系统则再次回到高阻态。研究人员在实验中选用的是机械剥离的缺陷较少的单原子层 MoS₂材料，经过退火处理人为引入了一定量的缺陷，进而在单个缺陷的表征中观察到了该金原子的吸附和脱离行为。因此，他们认为单原子层忆阻器件的阻变现象与缺陷的数量有直接关系。之后，他们进一步进行了理论计算，并提出了 DDA 模型。在该模型中，他们认为 Au 原子从电极上解离后将出现两种情况，如图 3.1 (d)所示，情况 1 是直接吸附（化学键合）最接近的空位，情况 2 是先与原始的区域弱结合，然后扩散穿过表面并达到空位处进行填充和吸附。

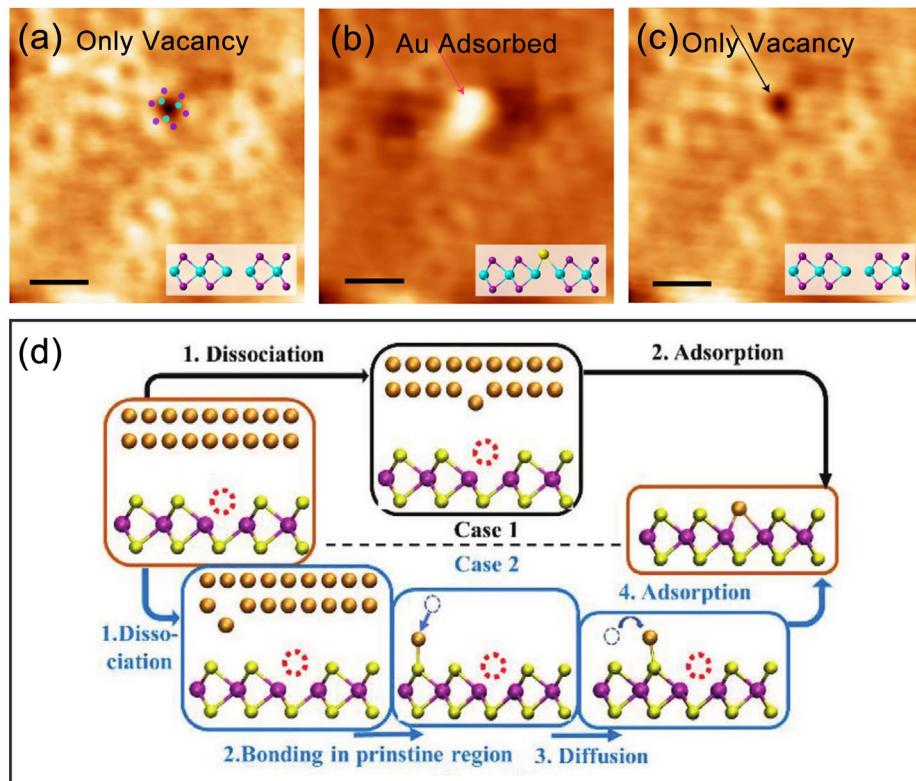


图 3.1 单原子层 MoS₂忆阻器件 STM 观察^[63]及 DDA 模型提出^[62]。

为了判断我们所搭建的器件是否基于同样的机理，首先我们对所制备的机械剥离单原子层 MoS₂材料和 CVD 生长的材料进行了 TEM 分析，结果如图 3.2 所示，可以明显看到机械剥离样品（图 a）相较于 CVD 生长的材料（图 b）具有更少的硫空位缺陷，与文献所述吻合^[62,81,82]，也与基于这两种材料的不同器件的忆阻特性差异相对应。值得注意的是，在我们的整个工艺流程中，湿法转移、退火等操作均会再次对缺陷浓度产生影响，在这些叠加的影响因素中，通过逐步优选工艺参数就能够得到缺陷适中的功能层材料，最终使得我们成功制备了高性能忆阻器件。基于以上实验分析，我们可以初步认为相应材料的器件同样适用于上述机理。

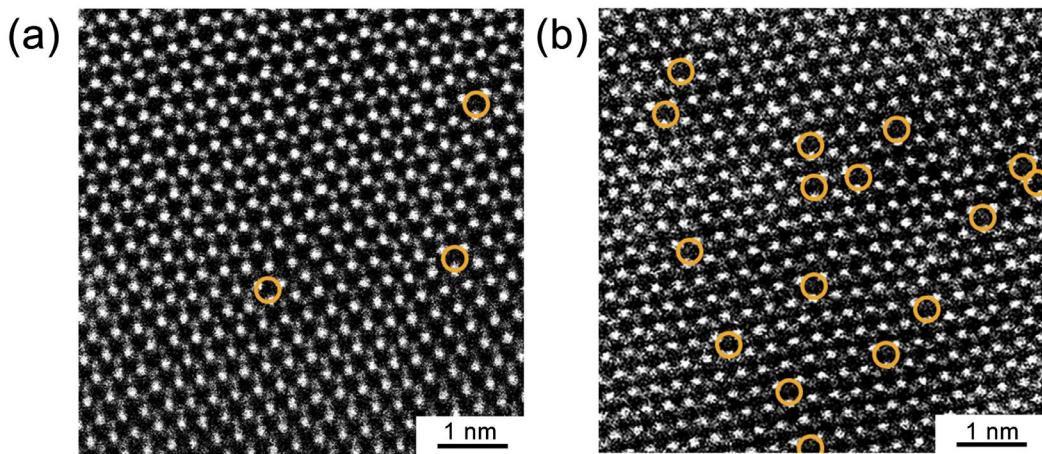


图 3.2 不同方式制备的材料在 TEM 表征下的缺陷数量对比。(a) CVD 生长的单原子层 MoS₂ 材料, (b) 机械剥离的单原子层 MoS₂ 材料。

为了更进一步探究 Au 原子的吸附和脱离对材料导电性以及器件电学性能的影响，并尝试验证是否与实验中所观察到的现象一致，我们接下来进行了详细的模拟计算与机理验证。

3.3 第一性原理计算与机理验证

3.3.1 理论基础及计算方法

我们利用第一性原理方法对单原子层 MoS₂ 材料及由其搭建的忆阻器件进行计算，这是一种基于求解薛定谔方程来获得整个系统的物理性质的计算方法，已被广泛地应用在研究材料的各种性质中。第一性原理计算的核心是将电子和

原子替代性地看作多粒子体系，再利用量子力学的基本原理和“非经验性”方法对问题进行近似简化，以最大限度地去方便薛定谔方程的求解。

3.3.1.1 密度泛函理论

密度泛函理论是研究多粒子体系的主要理论方法，通过广泛应用的 Kohn-Sham 方法能够实现大部分的多粒子体系分析^[91,92]。通常来说，多体问题的分析是十分复杂的，需要引入一系列的等效近似来对问题进行简化。在 Kohn-Sham 方法中，这类复杂多体问题即被简化成为了单个无相互作用的电子在有效势场中运动的问题，也就是求解 Kohn-Sham 单电子方程：

$$\left[-\frac{\hbar^2}{2m} \nabla^2 + V(r) + V_H(r) + V_{xc}(r) \right] \psi_i(r) = \epsilon_i \psi_i(r) \quad (3.1)$$

该式中第一项为单电子的动能，第二项为单电子和体系中离子实的相互作用势能，第三项为 Hatree 势能，最后一项则可由交换关联泛函求得。其中，最难的部分其实是交换关联作用的处理，因为目前尚不能知道其确切形式，难以精确求解，但是这部分能量仍然是客观存在的。在 Kohn-Sham 单电子方程中，基本的前提是电子间没有相互关联，而交换-关联能则能填补这一被舍弃的能量，进而可以让计算的体系符合客观事实。最简单的近似求解方法是局域密度近似（Local Density Approximation, LDA），该方法把交换-关联能看作是局域密度的一元函数，虽然准确度不高，但由于其形式简单，计算速度快，在小型体系的计算中应用广泛。另一种近似方法是广义梯度近似（Generalized Gradient Approximation, GGA），这种方法进一步引入了局域电荷密度的梯度的影响，并通过多种不同的方式包含了电荷梯度，如 Perdew-Burke-Ernzerhof (PBE)^[93,94]。

最终，利用级数法即可求解式 3.1 单电子方程，选定一组完备基组，再将波函数沿基组展开并求出级数系数即可，此时的方程即转化成为了简单代数方程。

3.3.1.2 非平衡格林函数与电子输运

由于密度泛函理论仅适用于平衡状态下的电子密度，而不能简单地用于我们需要的非平衡状态下的电子输运计算，因此我们需要引入非平衡格林函数（Non-Equilibrium Green's Function, NEGF），二者结合来进行电子输运研究。对于一个典型的两端器件，其体系一般分为半无限大的左/右电极及扩展分子区域三个部分。其中，扩展分子区域包含功能层及其左右相邻的几层电极，而半无限

大的电极即代表边界条件视为开放。

通过自洽迭代的方法能够求出该器件体系的电荷输运特性^[95]，该自洽迭代过程概括来说即：首先通过体系的初始电荷密度计算体系的哈密顿量→结合两端电极耦合产生的自能势，进一步计算平衡格林函数→通过延迟格林函数得到非平衡电荷密度→将该电荷密度视为初始电荷密度重复计算过程，迭代直到体系收敛。利用该方法即可求得所计算器件的非平衡态密度矩阵、电子透射谱等。目前，已有一些工作报道了利用该方法计算了 HfO_x、TiO₂ 等忆阻器件的 *I-V* 特性曲线及导电通道形成过程等^[96,97]，其模拟结果均对实验起到了积极的指导作用。

3.3.1 单原子层 MoS₂ 电子能带结构和能态密度

电子能带结构可以通过单电子近似理论获得，能够描述材料中各个电子之间的不同运动状态。而电子能态密度则反映了电子整体的运动状态，即在某一能量范围内的能态密度面积越大，该范围内的电子态数量也就越多。我们首先对单原子层 MoS₂ 材料的电子能带结构和能态密度进行了计算，通过计算结果来分析缺陷的引入和 Au 原子的掺杂对于材料导电性的具体影响。同时，我们初步分析了该材料搭建成为器件之后其能带的弯曲，进而得出了此时器件的电阻状态，初步对器件阻态切换机理进行了分析。

3.3.1.1 超晶胞模型建立及计算条件设置

首先，我们建立了常温下 2H 相的单原子层 MoS₂ 材料模型，其晶格常数为 $a = 5.5124 \text{ \AA}$, $b = 5.5124 \text{ \AA}$, $c = 20.1265 \text{ \AA}$ 。考虑到后续还有含缺陷及掺杂的材料模型建立，我们的材料模型的大小需适中，应避免缺陷和掺杂浓度过高而影响计算结果。因此，我们最终搭建了 $2\sqrt{3} \times 2\sqrt{3}$ 包含 36 个原子的模型，该模型大小计算速度相对较快，且不会对材料性质有大的影响能够与实际实验情况相对应。在此模型的基础上建立了含有单个 S 空位缺陷和缺陷处吸附 Au 原子的模型。在建立以上模型后，我们使用基于密度泛函理论的 VASP (Vienna Ab-initio Simulation Package) 软件进行了模型弛豫优化和能带结构、态密度的计算。在计算中，我们采用了投影缀加平面波 (PAW) 和比较适合于二维结构的广义梯度近似 (GGA) 处理电子-离子势和交换-关联泛函。计算中设置的平面波截断能量为 500 eV，布里渊区 k 点选取为 $3 \times 3 \times 1$ ，对于体系的收敛条件设置，我们将能量和应力的收敛标准分别定为 0.02 eV/Å 和 10^{-5} eV。采用半经验 DFT-D2 方法处理

范德华相互作用。基于上述的计算方法和参数设置，我们分别计算了以上三种模型各自的电子能带结构和能态密度。

3.3.1.2 计算结果与讨论

模拟计算的本征单原子层 MoS₂材料的能带结构如图 3.3 (a)所示，其横坐标为 $\Gamma/M/K/\Gamma$ 的对称点，纵坐标值为能量值，能态密度的横坐标为能带密度值 (DOS)，纵坐标同样为能量值。图中虚线处标注了费米能级位置，以其为界，其上半部分是导带，下半部分为价带。结果中所展示的单原子层的 MoS₂ 为直接带隙，其带隙值在 Γ 对称点的计算结果为 1.65 eV，在带隙中未观察到缺陷能级，说明单原子层 MoS₂ 是典型的半导体材料。以上计算结果与文献报道基本一致，仅带隙的计算值略低于参考值 1.8 eV^[51]，产生该误差的原因是理论计算中 GGA 近似方法通常会低估导带底的能量。材料的能态密度计算结果如图 3.3 (b)，可以看到导带底和价带顶分布基本与能带结构图中展示的一致，材料导带底的电子态主要分布在 1.36 eV 到 2.64 eV 能量范围之间，密度峰面积较大且较为尖锐峰高较高。而价带顶的电子态则主要分布在 -0.36 至 -1.96 能量范围之间，密度峰相对更平衡。

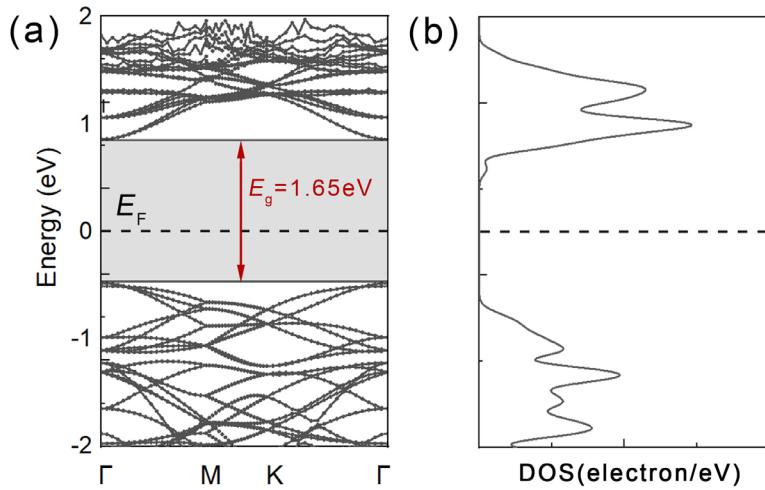


图 3.3 本征材料计算结果。(a) 能带结构, (b) 能态密度。

对于移除了一个硫原子的单个硫空位缺陷模型，其能带结构和能态密度计算结果如图 3.4 所示。与本征材料的图对比，在带隙中明显引入了新增的缺陷能带，在能态密度图中体现为一个缺陷态，这直接使得带隙由原来的 1.65 eV 降低 0.5 eV，这使得价带顶十分接近费米能级，再加之带隙的下降，共同作用下导致

外界注入的电子更容易发生跃迁，一定程度增强了单原子层 MoS₂的导电性。

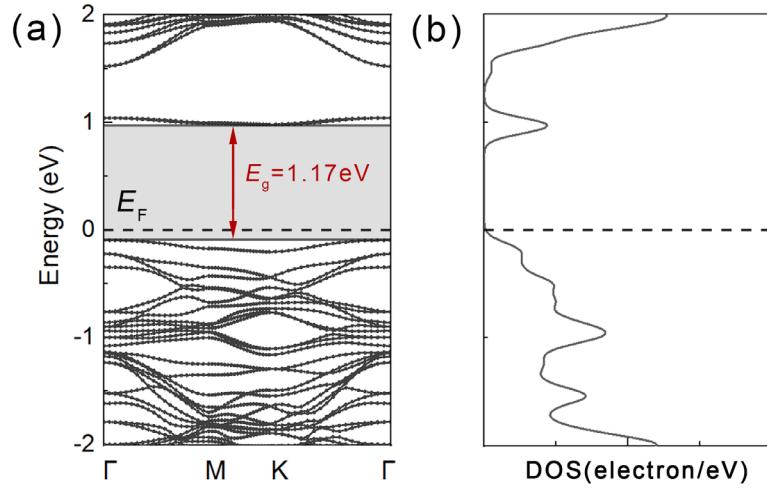


图 3.4 含有硫空位缺陷的材料计算结果。(a) 能带结构, (b) 能态密度。

当电极上的 Au 原子被吸附进入缺陷处之后，相当于对单原子层 MoS₂材料进行了掺杂，其能带结构和能态密度计算结果如图 3.5 所示。与上述图 3.3 和图 3.4 对比，可以发现吸附了 Au 原子后 MoS₂ 的能带发生了杂化，这使得体系的能带整体向价带方向上升了 0.83 eV。由态密度结果可知，杂化后的导带是由金原子与 MoS₂ 共同导致的，此时的导带底几乎与费米面重合，价带顶部的电子很容易就能被激发到导带底部，这使得掺杂 Au 原子后的 MoS₂ 的导电性得到了极大的增强。

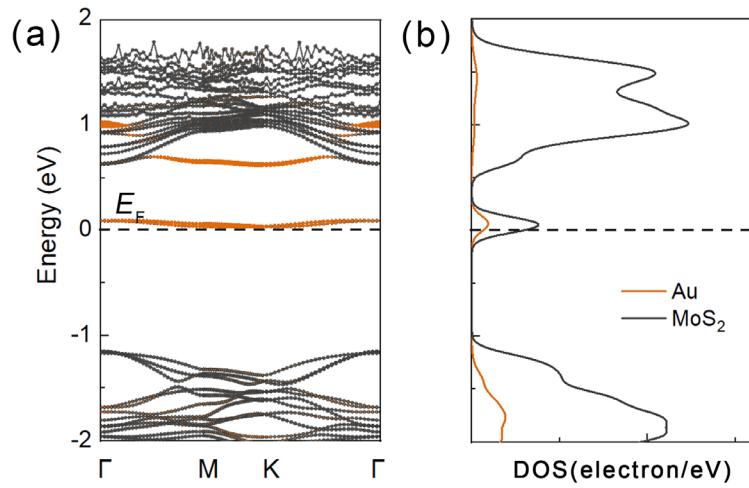


图 3.5 Au 原子吸附入缺陷处的材料计算结果。(a) 能带结构, (b) 能态密度。

进一步考虑将含有硫空位的单原子层 MoS₂ 材料和 Au 原子吸附进入缺陷处

的材料作为介质层，搭建成为垂直结构忆阻器件。Au 电极与 MoS₂ 材料接触后，MoS₂ 的能带将向下弯曲^[98]，根据上述能带结构计算结果，含有硫空位的器件虽然导电性得到了增强，但仍具有一定势垒，如图 3.6(a)所示，需施加较高的电压其价带顶的空穴才能跃迁，进而使器件导通，因此其仍具有较高的电导值。而金原子吸附后的器件，由于能带整体的下移，费米面穿过材料导带，外部注入的电子能够直接进入导带将器件导通，如图 3.6(b)所示，此时的器件相当于一个导体，将具有较低的电导值。以上分析初步说明了金原子的吸附与脱离将导致该忆阻器件出现高低两个阻态。

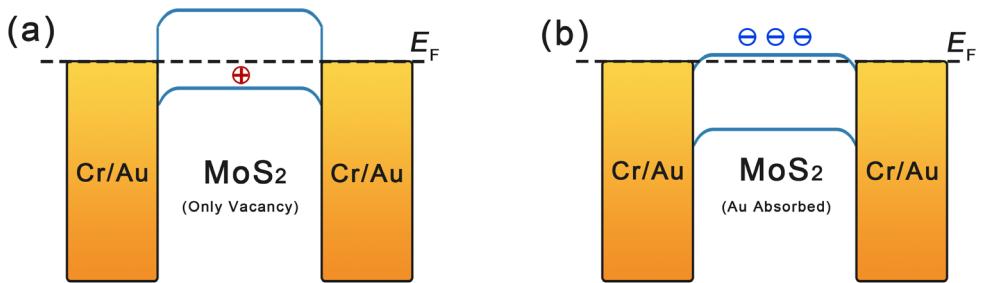


图 3.6 单原子层 MoS₂ 器件高低阻态情况示意图。(a) 高阻态, (b) 低阻态。

3.3.2 单原子层 MoS₂ 忆阻器件电输运研究

器件的电子输运研究引入了非平衡格林函数进行计算，在这里我们建立了 Au/MoS₂/Au 的器件模型，主要计算了零偏压下器件的电子透射谱。该电子透射谱能够反映在计算所设置的条件下，不施加偏压，电子透过器件中间散射区（单原子层 MoS₂）的概率，直接反映该情况下器件的导电性，能够直观用于说明我们器件在不同状态下的电学性质，进而解释其切换机理。

3.3.2.1 忆阻器件异质结建立及计算条件设置

我们尝试利用不同单原子层 MoS₂ 材料搭建了 Au 电极与 MoS₂ 异质结模型，分别以上述本征单原子层 MoS₂ 材料，含有硫空位缺陷的 MoS₂ 材料和缺陷处吸附 Au 原子的材料作为器件开关层。考虑到晶格失配等因素，我们以 4×4 的 Au(111)堆垛而成的薄膜作为器件的金属电极，之后对模型进行了弛豫优化。优化后的模型如图 3.7(a)-(c)所示，其电荷密度如图(d)-(f)，红色圈出部分为缺陷所在处，蓝色圈出部分为 Au 原子掺杂所在处，金电极和 MoS₂ 之间形成了 Au-S 键，这与文献报道一致^[99]，说明了器件的介质层和金电极为良好的欧姆接触。

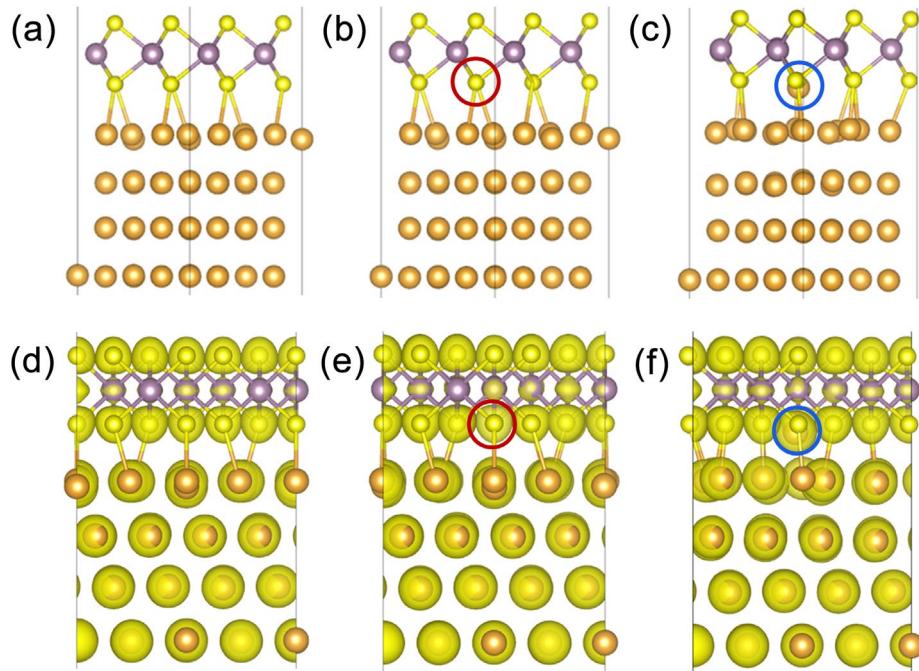


图 3.7 Au-MoS₂异质结模型建立。(a)-(c) 优化后的模型 (从左至右依次为: 本征、含 S 缺陷、Au 原子掺杂), (d)-(f) 为其各自对应的电荷密度图。

电极与散射区之间相对平缓的静电势变化是对器件进行电子输运计算的重要前提。如图 3.8 所示, 我们所搭建的即使是 Au 原子掺杂的异质结, 在电极与散射区之间仍具有较为平缓的变化趋势, 尚在可接受范围以内。这说明了该部分的原子排列规则, 电极和材料的模型构建比较合理。

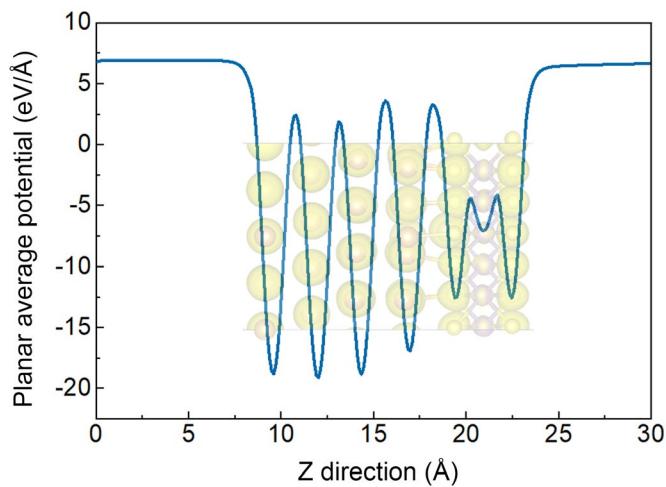


图 3.8 Au-MoS₂异质结平均静电势。

进一步将电极以 MoS₂ 材料为对称轴对称后，我们建立了完整的器件模型（图 3.9），并使用 Quantum ATK（Atomistix ToolKit）软件进行了异质结的结构优化和电输运计算。在计算中，我们采用了数值化的原子轨道基函数做基组，对所有原子采用双 ζ 极化（DZP）原子轨道基函数，电势和电荷实空间网格划分的截断能设置为 100 Hartree，器件温度设定在 300 K 的条件下，为了得到稳定的优化结构，我们设置了相关力和能量的标准：力的收敛标准是 0.01 eV/Å⁻¹，能量的收敛标准是 5×10^{-6} eV/Atom。布里渊区选取 $10 \times 10 \times 100$ 的 k 点取样。

价电子的描述我们采用了基于非平衡格林函数的 LDA-1/2 泛函。整个器件的模型可看作体相规格的材料模型，因此适合于用 LDA 算法进行计算，而 LDA-1/2 算法进一步用电子半占据的过渡态描述了实际材料中的激发态原子^[100]，不再单单考虑原子的基态，这使得其能够起到一定的修正作用，很好地解决普通 LDA 算法中如低估带隙等在内的问题，可以在相对小的计算量下保证计算结果更精确，这是我们在计算中选用了该种近似算法的主要原因。

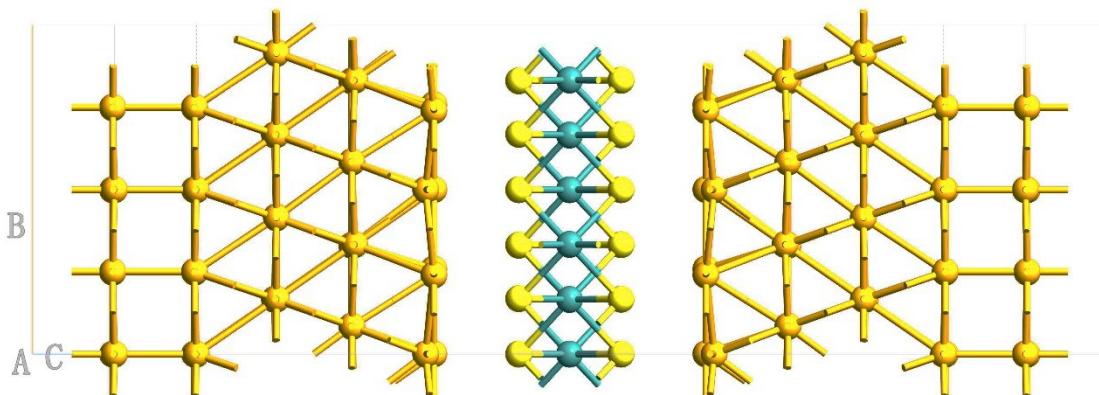


图 3.9 完整器件模型。

3.3.2.2 计算结果与讨论

根据以上器件模型及条件设置所计算得到的电子透射谱如图 3.10 所示，图中黑色曲线代表仅有硫空位缺陷的模型器件电子输运特性，红色曲线代表 Au 原子吸附后的器件输运特性。在零偏压下的费米能级处 ($E - E_F = 0$)，可以明显看到红色曲线的值更高，也就是其散射区电子透射的概率更高，这意味着 Au 原子吸附后的器件将拥有更低的电阻值，而仅有硫空位缺陷的器件电阻值则更高。两个状态下器件具有不同的阻值，也就直接对应了忆阻器的开态关态切换过程。

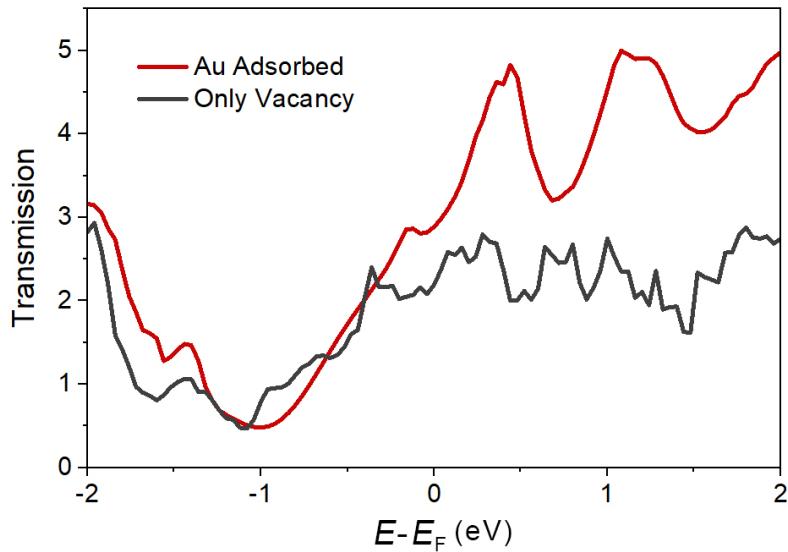


图 3.10 零偏压下两种器件模型的电子透射谱对比。

综合以上计算结果，我们可以对单原子层 MoS₂ 忆阻器件的阻变机理进行合理的分析和解释。CVD 生长的单原子层 MoS₂ 材料具有相对多的硫空位缺陷，虽然一定程度增强了材料的导电性，但仍然具有较大的势垒，需要施加相对更大的偏压，器件才能导通，这表现为器件的高电阻状态，也就是关态，如图 3.11 (a)。

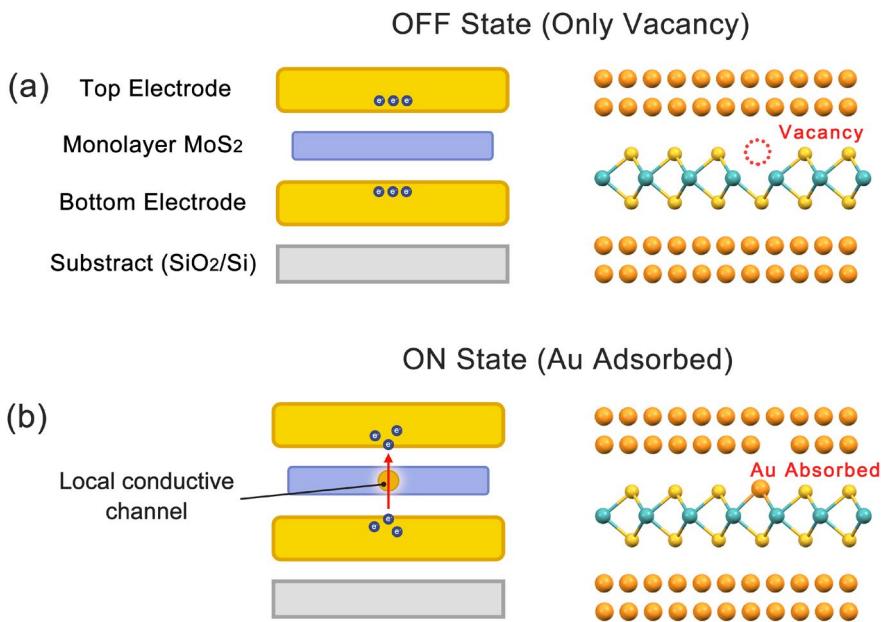


图 3.11 器件阻态切换机制示意图。(a) 关态, (b) 开态。

当 Au 原子取代进入硫空位后，材料会产生更易于导电的局部态密度 (LDOS)，从而大大降低器件电阻值，体现为器件由高阻态向低阻态的切换，也就是此时的器件为开态，如图 3.11 (b) 所示。断电后，该 Au 原子将依旧留在缺陷处，使器件表现出非易失性的存储特性，仅在施加高于切换电压的反向偏压时，Au 原子才会在电场作用下从缺陷处脱离，使器件再次回到关态。因此，我们可以得出结论，Au 原子在单原子层 MoS₂ 材料缺陷处的吸附和脱离是导致器件出现高低阻态切换行为的主要原因，也就是使该器件表现出非易失性忆阻特性的根源所在。

3.4 本章小结

本章首先介绍了单原子层 MoS₂ 忆阻器件的切换机制与介质层材料的缺陷浓度相关联的观点。之后，我们对不同的状态下的材料和器件进行了建模，主要利用密度泛函理论和非平衡格林函数对单原子层 MoS₂ 材料及其所搭建的忆阻器件进行了第一性原理模拟计算，分别从材料角度的电子能带结构和能态密度，以及器件角度在零偏压下的电子透射谱这几个方面进行了分析。最终，我们通过以上计算结果对材料和器件在不同情况下的导电性变化进行了解释，得到的结论是，单原子层 MoS₂ 忆阻器件出现非易失性忆阻特性的主要机制是由于 Au 原子在单原子层 MoS₂ 材料缺陷处的吸附和脱离。

4 单原子层 MoS₂ 忆阻器件逻辑运算应用及仿真研究

4.1 引言

目前在逻辑运算实现方面，基于传统材料体系的忆阻器件已有多种方案提出，美国、日本、中国等多个国家的研究团队都开展了大量的研究工作，通过器件电路仿真外加硬件实现等方式，忆阻器的逻辑运算应用已得到了较大的发展。然而，单原子层忆阻器件由于前期一直未被学术界和工业界重视，且长期以来并不明确器件的切换机制，因此并未能受到广泛的关注。直到近几年，多个工作报道了基于单原子层忆阻器件的优异性能，这才逐渐引起了该领域的研究热潮。当前，该研究领域还处于起步阶段，大部分的研究仍在针对单个器件进行性能调试和结构优化等，对于组合器件的逻辑应用研究则相对较少，因此单原子层基忆阻器件在逻辑运算中的应用还有很大的研究发展空间。

忆阻器用于逻辑电路中能够通过存算一体的方式，在相同制程下大幅提升算力，而且单原子层忆阻器件具有超薄的层厚，十分利于未来集成电路尺寸的进一步微缩和三维集成。鉴于以上优势，我们首先基于前文所述的优选材料及器件制备工艺，搭建了性能优异的组合器件逻辑门电路，测试了单原子层 MoS₂ 组合器件用于逻辑电路中的能力。进一步，我们用仿真计算的手段对单原子层 MoS₂ 器件进行了电学建模，在更复杂的功能性逻辑电路中验证了该器件的运算能力，并利用二值化忆阻逻辑阵列模型，验证了该阵列化器件用于 BNN 计算的能力。

4.2 基于忆阻器的逻辑电路设计方法

时至今日，正如前文 1.4 所介绍，忆阻器在逻辑电路中的应用已经在理论和实验等方面实现了巨大的突破和进展。本小节将对目前忆阻器用于逻辑电路设计的三类主要的方法进行详细介绍：蕴含逻辑（IMPLY）、辅助逻辑（MAGIC）以及与 CMOS 混合的比例逻辑（MRL）。我们的器件是很明显的阈值型忆阻器件，其切换阻值的切换是迅速且突变的，与非线性（模拟式切换）器件相比，更适合于逻辑电路应用，因此，本节的设计方法介绍均基于阈值型忆阻器件。

在介绍具体设计方法之前，首先介绍一下忆阻器在电路图中的符号，我们选择了使用较为广泛的器件示意图（如图 4.1），左边带有黑色区域的为负端，右边

则为正端。我们的器件为阈值型忆阻器，即在正向（或反向）电压达到阈值时，器件的阻值会发生突变，分别对应 R_{ON} （“1”）和 R_{OFF} （“0”）两个状态。通常对于传统忆阻器件而言，其正负端的判断与电极所用材料和自身的非对称结构相关，而我们的器件是对称的，因此其正负端需要进行人为的规定。在此，我们在本文中将器件的正端始终规定为顶电极（TE），负端始终为底电极（BE）。



图 4.1 忆阻器在电路中的示意图。

蕴含逻辑可以表达为“如果……，那么……”，通常用“ \rightarrow ”来表示。蕴含逻辑通过测试器件阻态的高低来代表“0”和“1”。以有两个输入的蕴含逻辑“非”门，即“ $x \rightarrow y$ ”为例，该逻辑门可由两个忆阻器和一个电阻构成电路，设置 x 端的忆阻器为输入忆阻器， y 端为工作忆阻器。输入忆阻器能够控制施加在工作忆阻器上的电压，当施加在改变工作忆阻器上的电压超过正负切换阈值后，工作忆阻器的阻值会发生切换，进而实现逻辑“0”和“1”的编码和存算，如图 4.2 (a)。

辅助逻辑类似于蕴含逻辑，但其特点是能够只使用忆阻器实现逻辑运算。虽然其逻辑状态同样是用忆阻器的阻值来表示的，但不同的是辅助逻辑需要使用单独的忆阻器来集成输入和输出信号。同样以辅助逻辑构建的“非”门为例，如图 4.2 (b)，两个忆阻器串联且极性相反，分别为输入忆阻器 1 和输出忆阻器 2。该方法需要先设置两个忆阻器的起始值，在通过一个适当的大小的电压来控制分压，以调节输出忆阻器 2 的阻值，进而实现逻辑门运算。在这两种电路的操作中，均需要给忆阻器施加不同的电脉冲，和多个时钟周期来执行多个操作步骤，此外还需要考虑将计算结果读取出来并对电压进行控制，这使得其在设计上比较复杂，同时也不利于与 CMOS 集成。

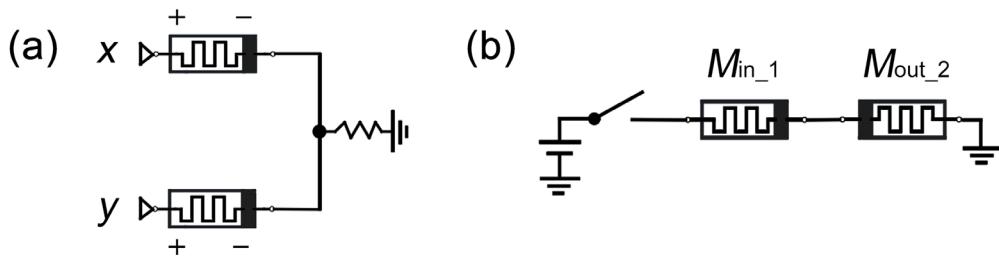


图 4.2 蕴含逻辑“非”门(a)和辅助逻辑“非”门(b)示意图。

比例逻辑与上述两种逻辑设计方法不同，其逻辑状态是由高低电压来表示的，而不是电阻值。该设计方法中，高电平对应信号“1”，低电平对应信号“0”。接下来，我们详细对逻辑“与”门和逻辑“或”门基于比例逻辑的具体实现方式进行介绍。

如图 4.3，左端为“或”门示意图，右端为“与”门示意图。逻辑信号“1”由高电压（>器件切换阈值）表示，信号“0”即由低电压表示。两输入端电压分别为 V_{in1} 和 V_{in2} ，两忆阻器电阻值分别为 r_{M1} 和 r_{M2} ，输出电压 V_{out} 可表示为：

$$V_{out} = \frac{r_{M2}}{r_{M1} + r_{M2}} V_{in1} + \frac{r_{M1}}{r_{M1} + r_{M2}} V_{in2} \quad (4.1)$$

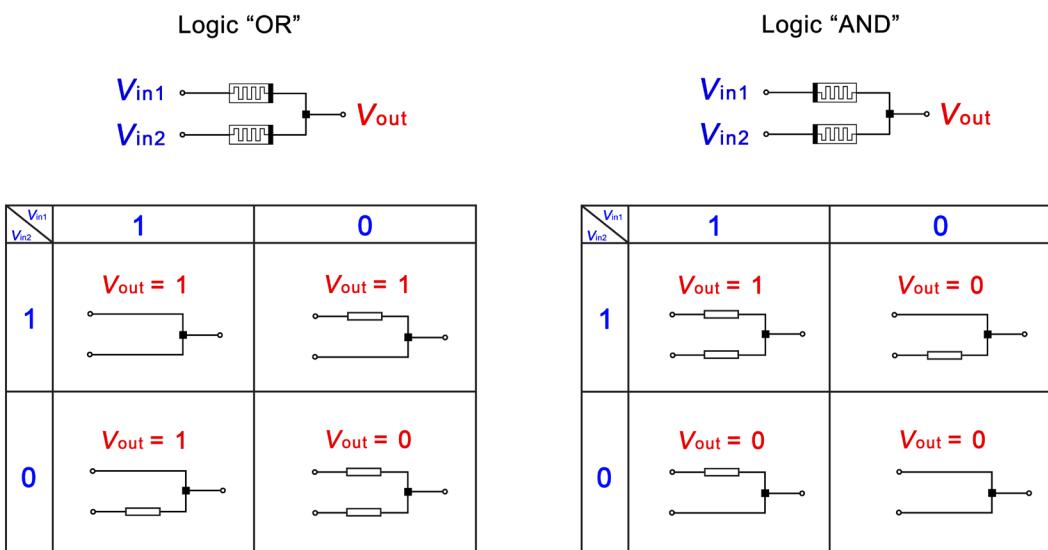


图 4.3 基于比例逻辑的“与”门和“或”门示意图。

此外，我们还在图中绘制了“或”门与“与”门情况下的等效电路图，我们可进行如下分析。

(1) 对于“或”门，如图 4.3 左端所示：

当 V_{in1} 和 V_{in2} 输入信号相同（均为“1”或“0”时），此时的输出结果 V_{out} 与输入信号一致，同样为“1”或“0”。

当 V_{in1} 和 V_{in2} 不一致时，即一端为“1”，另一端为“0”的情况。此时，处于输入“1”端的忆阻器上所施加的是正向偏压，阻值为低阻态 R_{ON} ，而处于输入“0”端的忆阻器上所施加的则是反向偏压，阻值为高阻态 R_{OFF} 。因此，该情况下根据分压公式 4.1，最终输出端 V_{out} 的结果为“1”。

(2) 对于“与”门，如图 4.3 右端所示：

当 V_{in1} 和 V_{in2} 输入信号相同（均为“1”或“0”时），此时的输出结果 V_{out} 仍然是与输入信号一致的信号“1”或“0”。

而在 V_{in1} 和 V_{in2} 不一致的情况下，此时与“或”门相反，处于输入“1”端的忆阻器上所施加的是反向偏压，阻值为高阻态 R_{OFF} ，而处于输入“0”端的忆阻器上所施加的则是正向偏压，阻值为低阻态 R_{ON} 。因此，同样根据分压公式 4.1，最终输出端 V_{out} 的结果为“0”。

通过以上分析我们可以发现，基于比例逻辑所构成的忆阻器逻辑电路，其输出端是经过分压输出的，尽管 $R_{OFF} \gg R_{ON}$ ，其依旧只能是近似等于原始高电压的一个相近值，输出信号无论如何都会有一定幅度的衰减。这一细微的衰减并不会对单个逻辑门电路造成影响，但在更复杂的组合逻辑电路中，当需要同时用到多个逻辑门电路时，这一信号衰减现象将会逐渐累积并最终对结果造成严重影响。因此，目前真正广泛使用的比例逻辑电路是将 CMOS 与忆阻器混合搭建的，通常需要在忆阻器所搭建的“与”门和“或”门之后增加一个 CMOS 反相器，以实现对信号的抬升。

综上所述，相较于蕴含逻辑和辅助逻辑电路而言，比例逻辑电路的操作和设计相对简单（无需单独的读取和写入机制），且能够节省空间，极其有利于未来的集成应用。然而，比例逻辑电路不能单纯依靠忆阻器来实现，而是需要与 CMOS 电路混合设计。幸运的是，忆阻器和 CMOS 工艺有较好的兼容性，目前有大量的研究已验证忆阻器阵列可以在设计并制作好的 CMOS 基片上直接制备。此外，对于我们的单原子层忆阻器件体系而言，二维材料的反相器也已经有了比较多的报道^[85,101]，未来很有可能能够开发出基于全二维材料的忆阻逻辑电路。基于以上分析，我们选择使用比例逻辑对后续逻辑电路进行设计和搭建。

4.3 逻辑门电路实物搭建与测试

我们所搭建的单原子层 MoS₂ 忆阻器件是很明显的阈值型忆阻器件，具有良好的电学特性，且其阻值的切换是迅速且突变的，与非线性器件相比，更适合于逻辑电路应用。根据上述比例逻辑理论，我们可以简单地利用之前所优选的工艺在实验上搭建逻辑“与”门和逻辑“或”门，对该器件的逻辑运算能力进行测试与验证。

4.3.1 逻辑门电路设计与搭建

首先我们对基于比例逻辑的逻辑门电路进行了设计，单原子 MoS₂ 忆阻器件所表现出的高阻态和低阻态，分别可以对应逻辑运算中的关态“0”和开态“1”。如图所示 a，所设计的逻辑门电路为两个输入端和一个输出端。由于我们的器件是对称的，因此我们可以直接使用前文所述的器件制备工艺，将高密度的 MoS₂ 材料转移到逻辑门专用的底电极阵列上，两个电极杆上需同时都有目标材料区域，再定制加工顶电极电路。最后所制成的逻辑门电路实物如图 b，器件的初始状态均为高阻态，器件的顶电极为正端，底电极为负端，通过施加不同方向的电压即可控制逻辑门电路表现出“与”和“或”两种不同的逻辑。

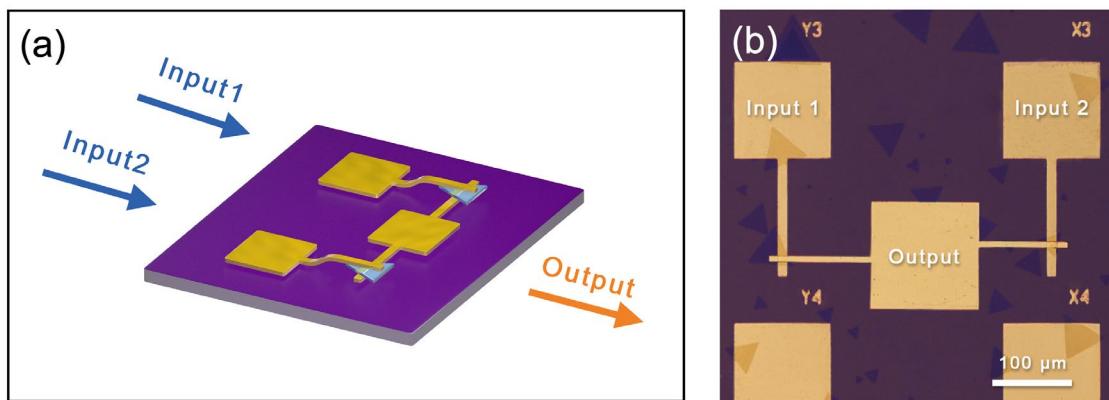


图 4.4 真实逻辑门搭建示意图及 OM 表征。

4.3.2 逻辑门电路表征与分析

我们使用了与 2.4 相同的电学测试平台，在逻辑门的表征中共用到了三个探针，两个用于输入电压信号，一个用于输出运算结果。测试平台所用的数字多用源表 2602A 可以产生多种波形的源电压信号，在测试中我们选择了方波电压信号。我们电表在测试所选用的量程下，精度可保持在 1 ms，即每 1 ms 能够进行一次当前电压信号的读取。图 a 为测试中的实验图，测试结果如图(b)，前两行为输入的电压信号波形，后两行为“与”门和“或”门分别得到的输出电压信号。可以明显看到我们所搭建的基于单原子层 MoS₂ 器件的逻辑门，能够实现逻辑“与”和逻辑“或”的运算。

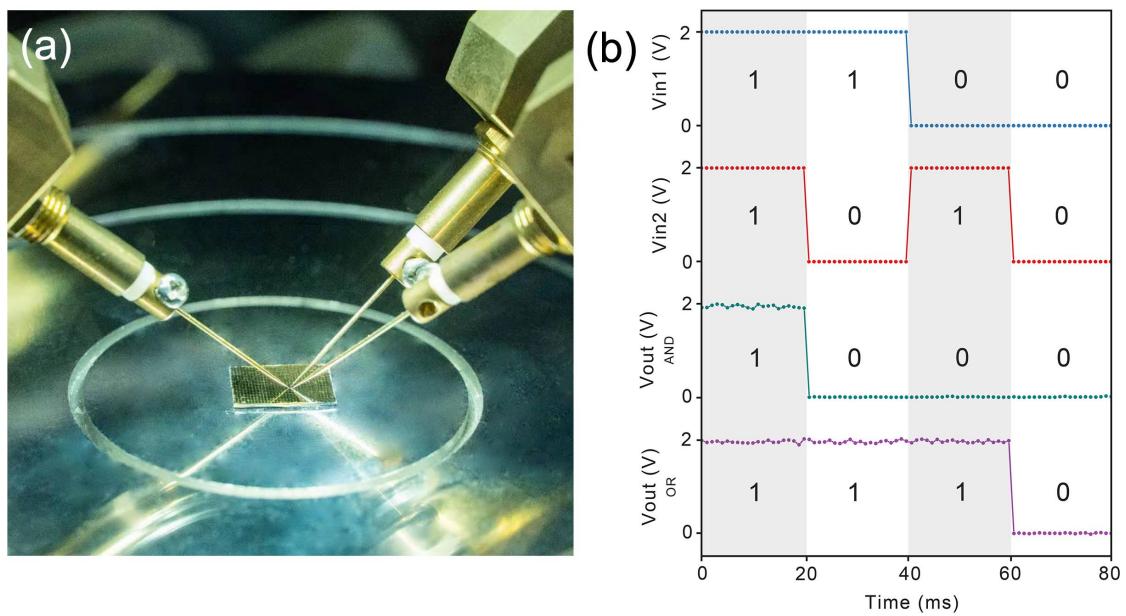


图 4.5 真实逻辑门测试照片(a)及测试结果(b)。

逻辑门电路可以作为更复杂的组合逻辑电路中的基本单元，在验证了该器件具有进行逻辑门运算的能力之后，我们希望进一步搭建组合逻辑电路以验证其复杂逻辑运算能力。不同于单一逻辑门电路，对于组合逻辑电路，正如上一小节所提到的，需要在每一个逻辑门之后都配合一个 CMOS 非门进行电压的抬升。这在实验情况下实现较为复杂，且还需进一步提升材料的生长面积和器件的产率。因此，我们选择了利用电学仿真的方式，来完成对器件在组合逻辑电路中运算能力的验证。

4.4 器件电学模型建立及半加器逻辑电路仿真

电学仿真目前是忆阻器研究领域中常用的研究手段之一，通过数学模型对忆阻器件的电学特性进行仿真，再进一步将其用于电路搭建，这能够对器件未来的应用和性能优化等方面起到一定的指导作用。近年来，已有较多的忆阻器件的电学模型被提出，这些模型能够对多种机制下的不同电学特性的忆阻器进行精准的仿真，我们可结合实验所得的真实电学测试数据，来选择适合用于我们器件的模型，并进一步用于后续的组合逻辑电路仿真验证中。

4.4.1 忆阻器模型类型及原理

惠普实验室在 2008 年就提出了线性离子漂移模型^[16]，以状态变量 w 描述氧空穴掺杂区域宽度。他们将忆阻器看作两个电阻器串联，并假设材料中离子漂移的速度是线性的，直到状态变量到达边界时，通过给状态变量加上一些窗函数，即可使之在边界附近表现出与忆阻器相类似的非线性变化。目前，通过迭代和优化，研究人员已提出了多种窗函数，比如 Joglekar 窗函数^[31]、Biolek 窗函数^[102]、Prodromakis 窗函数^[103]等，逐步优化了器件的仿真精度。然而，以上的模型虽然能够一定程度成功仿真忆阻器相应功能，但是适用范围较窄，且只能在较为简单的电路中得到理想的仿真效果。在较为复杂实际电路仿真中，这些模型会受到中间值问题的影响，而在仿真时存在缺陷。比如对于 Biolek 模型而言，其在构建逻辑“与”门和“或”门时，在高低电压状态以外，还会存在一个中间状态，这与我们的器件存在较大的偏差，不利于在组合逻辑电路的仿真应用。

对于单原子层 MoS₂ 忆阻器件这一比较新的领域，由于与传统材料体系的忆阻器件在机制和电学特征上都有一定的差距，因此需要使用更为通用的模型进行仿真。Chris 等人提出了一种通用性十分广泛的模型，目前已成功应用于多种真实器件的仿真中，比如模拟式开关的氧化物忆阻器，基于 ECM 的 Ag-S 体系忆阻器以及阈值型的 RRAM 等^[104]。根据该研究团队的研究结果，该模型同样适用于复杂的组合逻辑电路，最多成功仿真了具有 256 个忆阻器的大型电路，同时，该模型参数简单易于调整，收敛性也较佳。考虑到以上优点，我们在后续的仿真中选择了该类忆阻器模型，以下将对该模型原理进行详细介绍。

这一模型构建了三个主要的数学关系来描述在实际忆阻器件中广泛观察到的三种不同特性：(1) 忆阻器普遍结构为金属-绝缘体-金属结，根据此结构构建了 $I-V$ 数学关系；(2) 忆阻器内部存在状态变量的运动，以此构建了电压阈值函数；(3) 将氧空位或离子的漂移视为非线性过程，构建了非线性速率函数。

首先器件的 $I-V$ 特性改模型描述如下：

$$I(t) = \begin{cases} a_1 x(t) \sinh(bV(t)), & V(t) \geq 0 \\ a_2 x(t) \sinh(bV(t)), & V(t) < 0 \end{cases} \quad (4.2)$$

式中 a_1 , a_2 和 b 为拟合忆阻电学特性的常数参数， $x(t)$ 为状态变量的模型公式，为仿真的器件提供电阻变化，可由式 4.3 计算得到。

$$\frac{dx}{dt} = \eta g(V(t)) f(x(t)) \quad (4.3)$$

上式适用于多种物理结构的忆阻器，所得的状态变量是一个介于 0 和 1 之间的值，它直接影响电导率。其中， η 用于确定状态变量 $x(t)$ 的运动方向，表示了所施加的电压的正负极性。

由式 4.3 我们可以知道，状态变量的变化主要基于两个不同的函数 $g(V(t))$ 和 $f(x(t))$ 。其中，函数 $g(V(t))$ 负责实现阈值电压（式 4.4），必须超过该阈值电压才能引起状态变量数值上的变化，相当于一个带有条件判断的复杂分段函数。

$$g(V(t)) = \begin{cases} A_p(e^{V(t)} - e^{V_p}), & V(t) > V_p \\ -A_n(e^{-V(t)} - e^{V_n}), & V(t) < -V_n \\ 0, & -V_n \leq V(t) \leq V_p \end{cases} \quad (4.4)$$

式中， A_p 和 A_n 是可调节的幅值， V_p 和 V_n 是器件的正负阈值电压。

而对于函数 $f(x(t))$ ，如下两式 4.5 和 4.6 所示，是仿真中考虑的第三点忆阻器效应——非线性离子漂移，即当状态变量接近边界时，更改设备的状态将变得更困难，状态变量改变的难易程度为非线性的。当 $\eta V(t) > 0$ 时，状态变量运动由式 4.5 描述，否则运动由式 4.6 描述。函数 $f(x(t))$ 实现了器件状态变量运动的划分，当状态变量变化到边界附近时（边界由 x_p 和 x_n 定义，分别为靠近正负阈值附近的状态值），其运动将受到指数函数的限制， α_p 和 α_n 用于控制指数函数的衰减速率。该函数内有四个可变参量，这使得该模型能够匹配多种机制的忆阻器件。

$$f(x) = \begin{cases} e^{-\alpha_p(x-x_p)} w_p(x, x_p), & x \geq x_p \\ 1, & x < x_p \end{cases} \quad (4.5)$$

$$f(x) = \begin{cases} e^{\alpha_n(x+x_n-1)} w_n(x, x_n), & x \leq 1 - x_n \\ 1, & x > 1 - x_n \end{cases} \quad (4.6)$$

式 4.7 和 4.8 是引入的窗函数， $w_p(x, x_p)$ 是为了确保 $x(t)$ 为 1 的时候， $f(x)$ 为 0，而 $w_n(x, x_n)$ 则是为了使电流反向时， $x(t)$ 不为负值。

$$w_p(x, x_p) = \frac{x_p - x}{1 - x_p} + 1 \quad (4.7)$$

$$w_n(x, x_n) = \frac{x}{1 - x_n} \quad (4.8)$$

以上即 Chris 等人提出的通用忆阻器模型的基本原理，模型中有较多的可调参数，具有很大的调节自由度，因此该模型能够适配相当多不同类型的忆阻器件。该研究团队进一步基于以上原理，将这一模型代码化，使之能够应用在电路仿真软件中。在此基础上，我们只需对所涉及的参数进行调整，即可完成对于我们所制备的器件准确仿真。

4.4.2 基于 SPICE 的仿真模型建立

SPICE (Simulation Program with Integrated Circuit Emphasis) 是使用最为普遍的电路级模拟软件，最初该算法是由美国加州 Berkeley 大学的研究团队在 1972 年开发^[105]，基于该算法多个软件厂家在之后集成了更多的功能，开发了 VSPICE、HSPICE、PSIPCE、LTSPICE 等多个不同的版本。经过数十年的发展，现在的 SPICE 仿真工具拥有非常丰富的电路元件库，同时也能够用户自定义建立代码化的半导体器件模型，已在集成电路、模拟电路、数模混合电路等电子系统的设计和仿真中得到了广泛的应用。

在本章的仿真中，我们主要采用的是 LTSPICE 软件，该软件体积小、操作便捷，且其具有自定义器件的封装模块，十分有利于对于新器件的验证。于是，我们首先将上一小节中提到的通用忆阻器原理，通过 LTSPICE 的代码语法封装成了能够在软件中仿真应用的自定义电学元件。将通用忆阻器由数学模型向 SPICE 模型转化的原理如图 4.6 所示。这一布局的根据是已有报道的一些 SPICE 模型转换技术的文献^[102,106]，之后我们进行了与这些工作类似的具体开发：

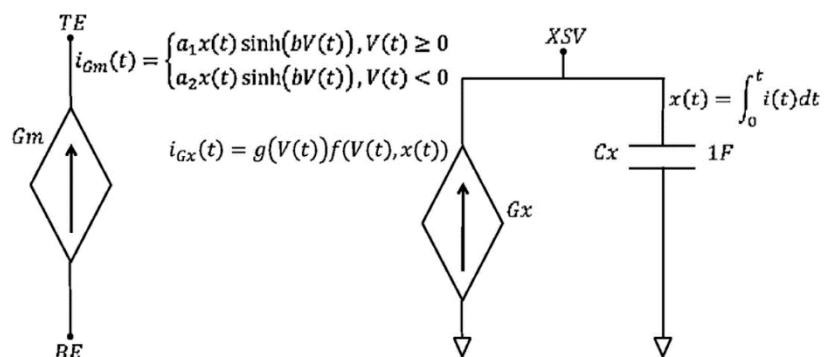


图 4.6 SPICE 模型示意图^[104]。

首先，左端示意图与我们的垂直结构器件一致，由顶电极、中间层材料、底电极构成，其中材料内部的状态参量的变化我们由一个电流源 G_m 表示，即保持

4 单原子层 MoS₂ 器件逻辑运算应用及仿真研究

该器件的 $I-V$ 关系 (式 4.2)。而右端示意图则表示了利用另一个电流源 G_x 和一个电容器 C_x 来确定状态变量的值，即 G_x 产生的电流是由函数 $g(V(t))$ 和 $f(x(t))$ 相乘确定， C_x 能够将 G_x 的电流值积分，进而确定状态变量的值。端口 XSV 的引入是为了便于绘制内部状态变量。

为了将仿真器件的 $I-V$ 特性调节至与我们的实际器件更为相似，可以从模型中的多个可调参数入手，具体参数及其影响如下表 4.1 所示。

表 4.1 SPICE 模型参数说明

参数	对模型意义/影响
a_1, a_2	该参数与忆阻器器件中介质层厚度相关，直接影响器件电导率。
b	该参数决定 $I-V$ 曲线相对于所施加电压的曲率。
A_p, A_n	该参数控制离子漂移运动的速度，与介质层材料及忆阻机制有关。
V_p, V_n	该参数代表了器件的阈值电压
$\alpha_p, \alpha_n, x_p, x_n$	这些参数决定了状态变量运动非线性的临界点，以及状态变量运动被抑制的程度。

在对以上参数进行大量针对性调试之后，我们最终选定仿真模型参数如下：
 $a_1=0.17, a_2=0.17, b=0.05, V_p=1.205, V_n=1.415, A_p=10^8, A_n=10^8, x_p=0.9, x_n=0.9, \alpha_p=20, \alpha_n=20, x_o=0.01, \eta=1$ 。该仿真器件的 $I-V$ 特性曲线如图 4.7 所示，红色曲线代表仿真模型，插图为真实实验数据。

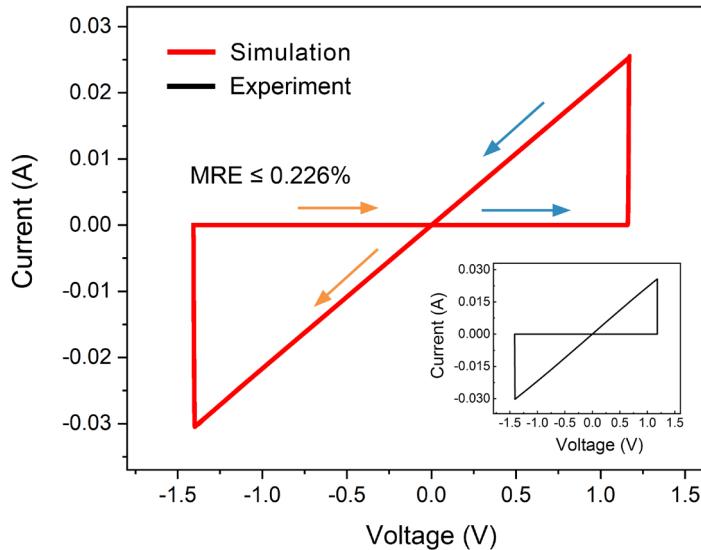


图 4.7 调试得到的单原子层 MoS₂ 器件仿真模型。

可以看到仿真模型的 $I-V$ 曲线具有明显的忆阻器滞回特性，整体趋势与真实器件数据一致。我们进一步对模型数据与真实器件数据进行了平均绝对误差（MRE）计算，结果显示二者之间误差 $\leq 0.226\%$ ，这说明仿真器件模型与真实器件高度相似，能够用于后续组合逻辑电路中的仿真。

4.4.3 半加器逻辑电路设计及验证

在完成 LTSPICE 中仿真模型的建立后，我们利用该模型，基于比例逻辑设计方法，完成了一个半加器逻辑电路的设计和仿真。首先，我们在仿真软件中根据半加器的真值表搭建了完整的半加器逻辑电路（如图 4.8），该电路有两个输入端 V_{in1} 和 V_{in2} ，两个输出端 V_{out1} 和 V_{out2} ，整体由 8 个忆阻器、7 个 CMOS 反相器（每个反相器包含两个晶体管）构成，且完全基于已在实验中实现的逻辑“与”门和逻辑“或”门搭建。

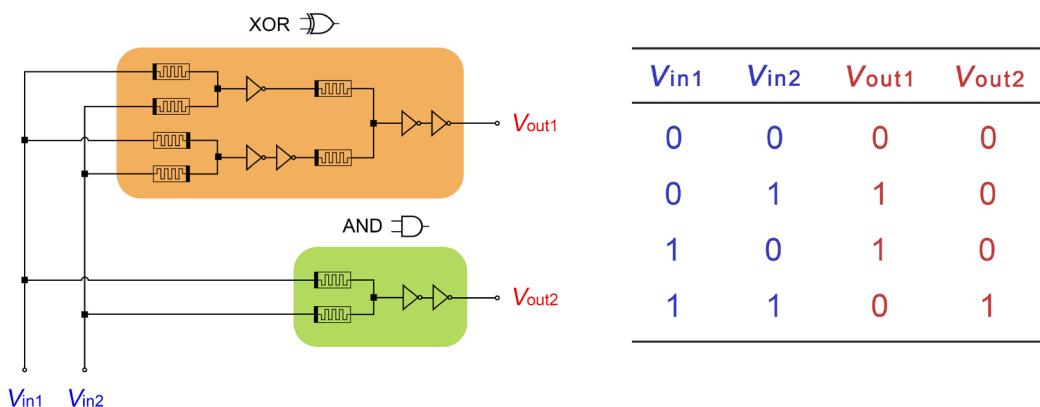


图 4.8 一位半加器仿真逻辑电路搭建及其真值表。

两段编码的电压信号 X 和 Y 分别由两个输入端进入电路中，编码方式为高电压代表逻辑“1”，低电压代表逻辑“0”。图中橙色区域为“异或”门，由两个“与”门和一个“或”门构成，最终输出运算结果到 V_{out1} ，为结果位 (S)。图中绿色区域为“与”门，输出结果到 V_{out2} ，为进位 (C)。根据真值表，该半加器逻辑电路的运算结果应遵循如下逻辑表达式：

$$\begin{cases} S = X \oplus Y \\ C = XY \end{cases} \quad (4.9)$$

$$X \oplus Y = \bar{X}Y + X\bar{Y} = \bar{X}\bar{Y} \cdot (X + Y) \quad (4.10)$$

设计并在仿真软件中搭建好整体的半加器逻辑电路后，我们设置了相应的仿真参数。输入电压信号由两个电压源产生，我们的器件正负均在 1.5 V 左右切换，为了保证阻值能够切换顺利，高电平信号我们选择设置为 2 V。两个输入信号均为方波信号，在“0”和“1”之间切换，间隔分别为 40 ms 和 20 ms。该逻辑电路最后输出的仿真测试结果如下图 4.9 所示，这一结果与半加器真值表一致，符合我们的仿真预期，进一步成功验证了我们的器件在逻辑运算中的能力。

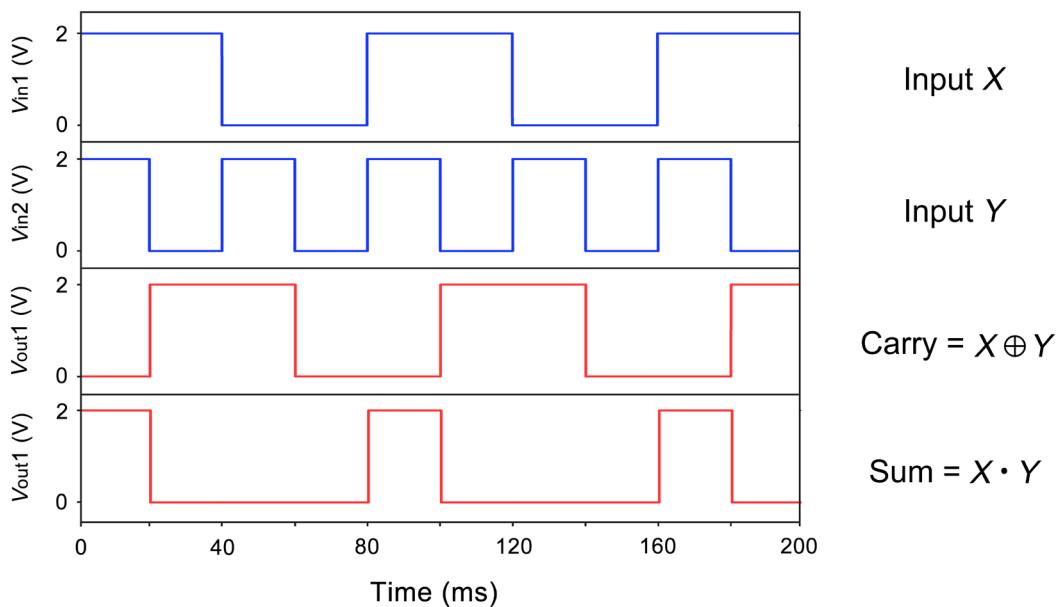


图 4.9 所搭建半加器逻辑电路仿真结果。

4.5 基于逻辑阵列的二值化神经网络计算仿真

二值化神经网络（BNN）是广泛应用于边缘计算（Edge Computing）中的一类神经网络算法。BNN 的开发能够使神经网络模型变得更小，以损失一定程度的识别准确率为代价，换取最为极端的压缩率和极低的计算量，大大方便了神经网络模型在资源受限的边缘设备上的部署。在硬件实现方面，相比于全精度（FP32）表示的神经网络复杂实现方案，BNN 能够直接基于逻辑电路中的基础逻辑门实现，与逻辑运算设备有较好的相容性^[107]。

基于忆阻器的交叉阵列已经被证明了具有用于神经网络计算加速的潜力，但目前的研究大多要求器件拥有模拟式切换的特性^[108,109]，即在切换时有多级的

电导阶数。BNN 的出现打破了这一观念，意味着突变式的忆阻器，也能够以二值化逻辑阵列的形式用于实现高性能的 BNN 计算。此外，仅有两个权值状态的突变型忆阻器在计算中具有更高的稳定性，因此在短期内也更具有可实现性。我们已经证明了所制备的单原子层 MoS₂ 忆阻器件具有良好的逻辑运算能力，同时其也具备在未来实现大规模集成逻辑阵列的潜力，应用前景良好。因此，本节将基于 MNIST 手写识别数字集，以仿真计算的方式，验证单原子层 MoS₂ 忆阻器逻辑阵列在 BNN 计算中的应用能力。

4.5.1 二值化神经网络结构设计

BNN 通常是基于多层感知机（Multilayer Perceptron, MLP）或者卷积神经网络（Convolutional Neural Networks, CNN）进行的二值化压缩处理，即将权重值压缩限制为“1”和“-1”两个态。通常来说，BNN 主要用于离线学习场景中，也就是需要在片外进行实数域的训练，得到训练好的权值后，再通过外围电路实现权重向忆阻器阵列的写入操作，使之能够实现片上推理^[110]。因此，我们首先介绍训练过程中的神经网络结构设计。

我们的神经网络仿真计算是基于的 MNIST 手写字体字库，是目前使用最为广泛的数据集之一，其收录了一系列从 0 至 9 的手写数字图片（如图 4.10），共有 60000 张训练数据和 10000 张测试数据，每一张图片的大小均为 28×28 像素，图片之间互不重复且均带有标签（对训练进行监督）。

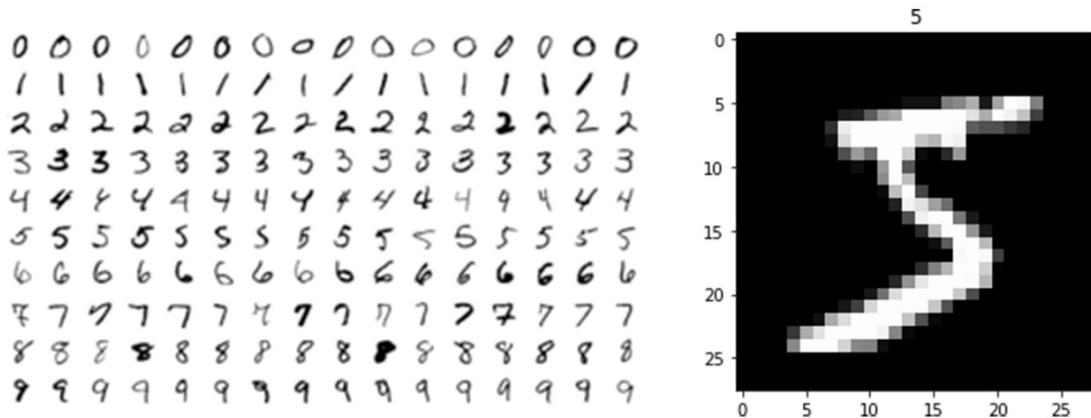


图 4.10 MNIST 手写数字识别数据集。

由于 MNIST 数据集的数据量相对较少，我们选择搭建了一个双层的 MLP

网络用于仿真计算。该网络的学习基于误差反向传播（Back Propagation, BP），其学习规则是利用梯度下降算法，通过反向进行多层前馈来实现网络权值的不断调节，使得整体网络的误差平方和最小。接下来，我们对该网络的搭建进行详细介绍。

(1) 激活函数：激活函数为非线性的函数，如 Sigmoid、ReLU、tanh 等，他们能够为网络的输入数据引入非线性。我们在网络中选择了 ReLU 作为激活函数，其优点是收敛速度较快，且计算复杂度较低。

(2) 随机梯度下降算法：神经网络模型的计算目标就是要在不断迭代更新权重的过程中，将计算结果与正确值标签之间的差距最小化。梯度下降算法就是适用于这类情况的最常用的优化算法，该算法基于数值方法，通过不断更新解的数值来找到近似解，即沿着梯度下降的方向去找到复杂函数的最小值。学习率能够控制梯度下降的步长，是该算法中十分重要的超参数，过小的学习率会使收敛速度过慢，过大则有可能跳过最优解而无法收敛，因此我们需要通过调参，设置一个相对合适的学习率。最终在我们搭建的网络中，选用了基于梯度下降算法的 Adam 优化器，其具有收敛速度快、调参容易等优点，学习率通过多次测试选择为 0.001。

(3) 损失函数：损失函数是用来衡量优化算法每一次的计算结果与真实值之间误差的函数，通常也被称为优化问题的目标函数，优化算法的核心目标也就是将损失函数最小化。目前常用的损失函数包括均方差误差函数、对数似然函数以及交叉熵函数等。对于 MNIST 这种多分类的问题，交叉熵函数使用较多。同时，在使用交叉熵函数时，输出层则无需再次引入激活函数，这能够减少运算步骤。因此，我们选择了交叉熵函数作为我们网络中的损失函数。

(4) 网络拓扑结构：神经网络的结构设计中最重要的即隐藏层的神经元数目选择，过少的神经元会降低网络拟合非线性的能力，使网络难以收敛，而过多的神经元则不仅会增大计算量，还可能出现过拟合的情况，使得网络性能劣化。根据我们前期的调试结果，以及文献报道^[111,112]，对于 MNIST 数据集而言，隐藏层神经元数目在 100~120 个的情况下识别率较高。因此我们选择的基础网络结构为全连接的 MLP 网络，输入层 784 个神经元，隐藏层 120 个神经元，输出层 10 个神经元。

基于以上参数及结构，我们搭建了适合于 MNIST 仿真计算的神经网络，如图 4.11 所示。

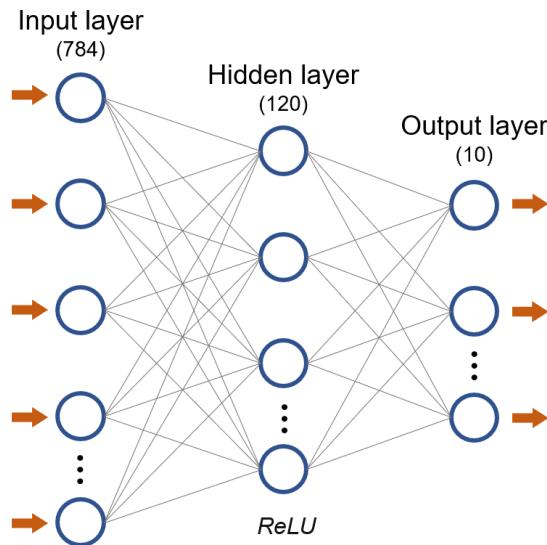


图 4.11 所建立的 MLP 网络结构。

之后，我们进一步用 Python 语言和 PyTorch 框架完成了整体程序的构建。60000 张图片一共用于训练了网络 5 次 (Epoch = 5)，每一次同时输入 100 张图片 (Batch_size=100)，调整一次权重。在 5 次训练结束后，权重共更新了 3000 次，我们将该训练过程绘制成了图 4.12，可以明显看到随着训练的推进，损失函数逐渐降低并趋于稳定。

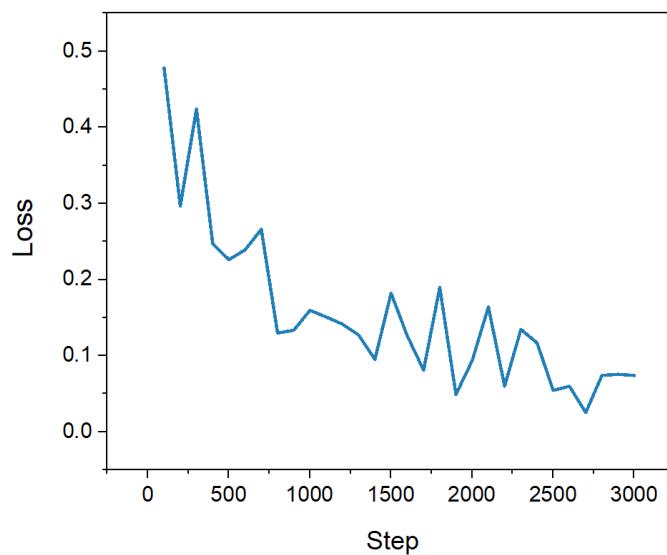


图 4.12 模型训练过程。

4.5.2 器件阵列模型及权重加载方式设计

在完成了网络结构的设计之后，我们首先建立忆阻器逻辑阵列仿真模型。忆阻器交叉阵列是一种高效的阵列集成方案，如图 4.13 所示，器件可以通过字线（Word Line）和位线（Bit Line）进行选通。多个器件可组成任意尺寸的计算单元，根据基尔霍夫定律（Kirchhoff Laws）和欧姆定律（Ohm Laws），该器件阵列能够高速完成大型矩阵运算。

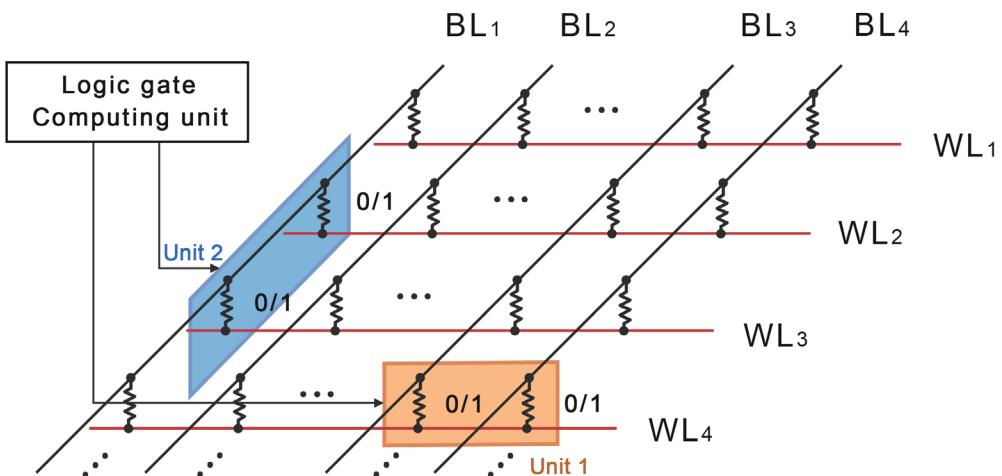


图 4.13 忆阻器逻辑阵列示意图。

然而，单独的忆阻器阵列通常会存在器件之间的串扰问题，这对于计算和存储的影响较大。因此，目前的解决方案是将忆阻器交叉阵列与 CMOS 晶体管集成，即首先预制晶体管阵列，再在该阵列上定制化加工制备忆阻器阵列，使每一个单元的忆阻器均与一个晶体管串联（1T1R）^[113]。对于这一结构的忆阻器阵列，目前集成工艺已比较成熟，也已有报道实现了硬件级的 MLP 加速计算^[36]，我们在此即选用该 1T1R 结构作为逻辑器件阵列的仿真模型。

基于该模型，我们进一步规定了权重到忆阻器件的映射方式，以及计算中的仿真操作方式。由于我们的忆阻器件是阈值型二元切换，因此只需将器件的电导值经过处理分别映射到 BNN 的二值化权重之中即可。值得注意的是，并行的 BNN 的权重值为“+1”和“-1”，而我们的真实器件电导值不能为负数，正向电压下切换的高低电导值分别为 $G_{\max} = 255 \text{ mS}$ 和 $G_{\min} = 5.23 \mu\text{S}$ ，因此我们用两个器件的电导值之差 $G_{\max} - G_{\min}$ 和 $G_{\min} - G_{\max}$ 来分别表示 BNN 的权重值“+1”和“-1”。之后我们在程序中，将事先训练好的权重值写入仿真忆阻器件阵列，并

利用该阵列进行了后续的推理计算。

在推理计算中，我们沿用了实际器件阵列中所会用到的操作方式，在程序中实现了用电压表示图片像素，用电导值表示权重，这意味着我们同样可以用欧姆定律和基尔霍夫定律来执行计算操作。我们分别在这一仿真阵列中实现了输入层到隐藏层，以及隐藏层到输出层的计算，即施加 784 行读电压（原始像素信息），得到 120 列输出电流。再将这一数据处理之后作为输入信号，施加 120 行读电压，得到 10 列输出电流（计算结果）。

整个离线学习的权重写入流程图如下图所示：

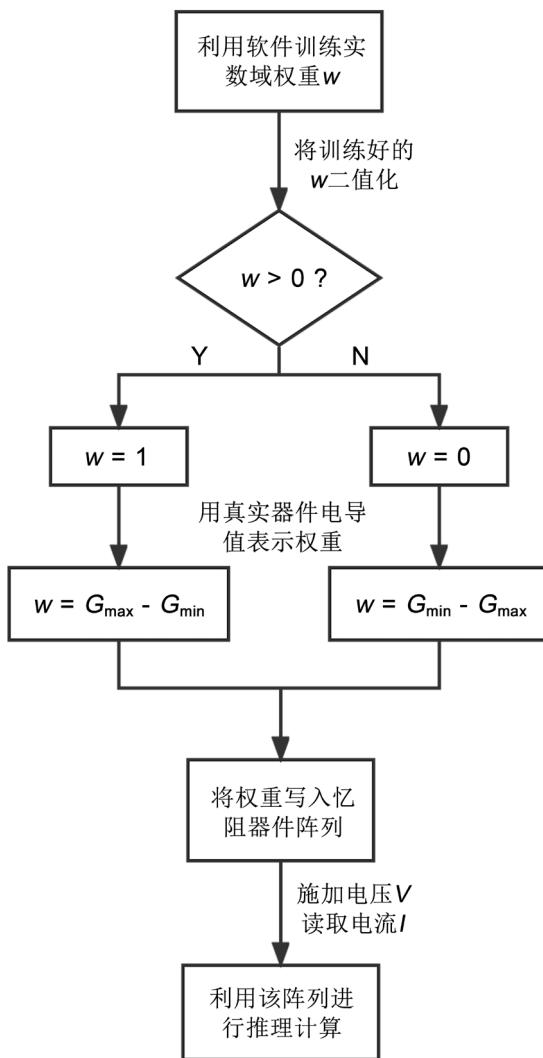


图 4.14 器件阵列离线学习仿真运算流程。

4.5.3 仿真结果分析与讨论

利用 MNIST 数据集中的 10000 张测试集图片，我们对上述模型进行了仿真 BNN 计算测试，其识别准确率为 73.1 %。而基于同样的网络结构和设置，在实数域权重下，原始 MLP 网络的识别准确率为 97.2 %。我们可以明显看到将二值化的电导值替换成为权重之后，模型的识别准确率发生了一定程度的下降，这是离散的二值化权重必然带来的影响，但该程度的准确率仍在可接受范围内。在未来进一步尝试在线学习、引入更加合理的权重加载方式以及更适合于 BNN 的传播迭代方式等，均会为该模型的计算准确度带来较大的提升。

为了进一步让仿真结果更接近于真实器件，并讨论器件故障对于准确率的影响，我们在模型中引入了器件中常见的两类故障，以测试模型的容错性。

第一种情况是器件无法正常发生复位或写入操作，也就是本该发生切换但实际上并未发生，因此其权重并不会发生变化。我们在每一个器件中都引入了这样的一个随机性，并能够对该故障发生的概率进行调节。如图 4.15 所示，我们绘制了该故障发生概率大小与 BNN 仿真识别准确率的关系图。结果显示，我们的阵列模型具有一定的容错性，当这一故障发生概率在约 10 % 以内时，忆阻器阵列的识别准确率反而会有所升高，因为这相当于在计算中引入了噪声，这种噪声能够一定增加模型的非线性度，进而提升了识别准确率。但当这一概率逐渐增大，模型的识别准确率发生了严重的下降，在约 20 % 的故障发生率时，识别准确率就降到了仅有约 10 % 的水平，之后再升高故障概率，识别准确率将会稳定在一个很低的水平。

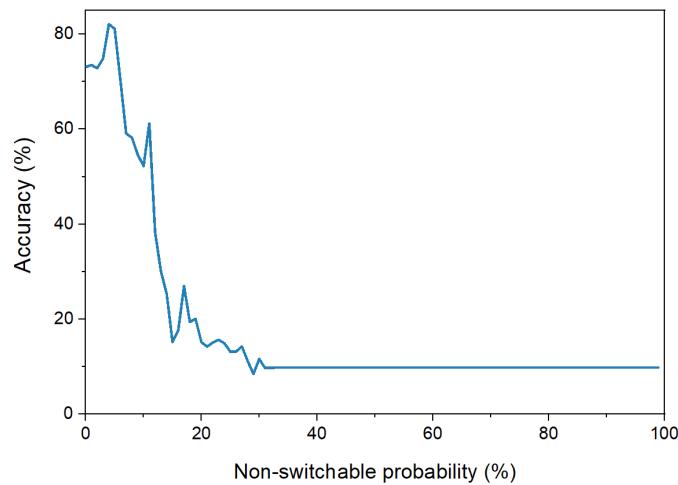


图 4.15 器件切换失败对识别准确度的影响。

另一种常见的故障是器件切换的电导值波动较大，可能并不会在每次的切换中都保持为同样的定值，而是会在一定的范围波动。对于这一类故障，我们给所有的器件在每次切换中，设置了一个遵循正态分布的随机电导值。图 4.16 为我们绘制的器件之间的不一致性（器件低阻态电导值的标准差）和模型仿真识别准确度之间的关系，可以看到随着电导值与期望值之间的偏差（标准差）的增大，忆阻器阵列模型的识别准确度逐渐下降。仿真结果说明了针对于该类故障我们的模型具有约 40 % 的容错率，当标准差达到 200 以上，准确率则会出现较快的下降趋势。而在标准差达到 300 以后，准确率最终稳定在较低的约 10 % 的水平。

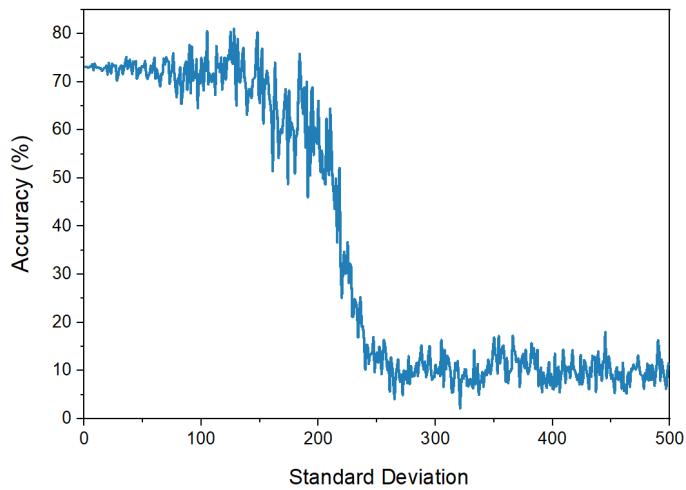


图 4.16 器件切换阻值波动对识别准确率的影响。

综上所述，基于我们的单原子层 MoS₂ 忆阻器件所搭建的 1T1R 逻辑阵列模型，能够在仿真 BNN 计算中对 MNIST 手写数字数据集实现较高准确度的识别。一系列的仿真结果直接说明了我们的器件能够以二值化逻辑阵列的形式，在神经网络计算中得到应用，该器件阵列预计将具有较小的尺寸，良好的计算性能，较高的稳定性和一定程度的容错性，因此未来很有可能在边缘化计算设备中广泛使用。

4.6 本章小结

本章主要介绍了单原子层 MoS₂ 器件在逻辑运算中的应用，首先我们基于比例逻辑在实验中制备了真实逻辑门电路，测得了良好的逻辑“与”门和逻辑“或”

4 单原子层 MoS₂ 器件逻辑运算应用及仿真研究

门的运算结果。进一步，我们利用仿真的手段对单原子层 MoS₂ 器件进行了电学建模，基于通用忆阻器模型并辅以适当的参数调节，我们最终搭建的 SPICE 器件模型与真实器件数据有极高的相似度。应用该模型，我们在仿真中验证了该器件在更复杂的组合逻辑电路中的运算能力，成功在逻辑电路仿真软件中实现了一位半加器的搭建，且仿真运算结果完全符合预期。最后，我们还搭建了基于单原子层 MoS₂ 忆阻器件的 1T1R 逻辑阵列，该阵列能够与二值化神经网络计算良好兼容，在 MNIST 数据集的识别任务中，该逻辑阵列模型得到了 73.1 % 的识别准确度，具有良好的应用前景。

5 总结与展望

5.1 工作总结

本论文围绕单原子层 MoS₂ 忆阻器件，从器件工艺优化、器件工作原理探索及器件逻辑运算应用三个方面进行了研究，工作内容及主要结论如下：

(1) 研究了单原子层 MoS₂ 材料制备及器件搭建工艺的优化，通过优选工艺参数获得了电学性能优异的单原子层 MoS₂ 忆阻器件。该器件的介质层为 CVD 生长的单原子层 MoS₂ 材料，材料生长情况良好，形貌平整均匀。器件结构为垂直堆叠的 Au/MoS₂/Au，属于阈值型切换忆阻器，具有两个明显的高低阻态，且切换迅速。器件开关比达到了 10^5 ，阻态保持时间超过了 10^4 s。此外，我们还对器件的失效原因进行了分析，总结了多种提升器件复用性的方案。

(2) 研究了缺陷对于单原子层 MoS₂ 忆阻器件性能的影响，确定了一定浓度的缺陷能够使器件的忆阻特征更为显著。利用第一性原理计算的手段对单原子层 MoS₂ 器件的机理进行了探索。从能带结构和能态密度的计算结果中，说明了 Au 原子吸附到单原子层 MoS₂ 材料的硫空位缺陷处能够引起显著增强材料的导电性。通过搭建 Au/MoS₂/Au 的异质结电学器件模型，计算了零偏压下的电子透射谱，进一步确认了 Au 原子的吸附和脱离是导致器件发生高低阻态切换的主要原因。

(3) 研究了单原子层 MoS₂ 忆阻器件的逻辑运算能力，在实验中成功搭建了由实际器件组成的逻辑门电路，实现了逻辑“与”门和逻辑“或”门的运算。进一步，我们利用真实的单原子层 MoS₂ 忆阻器件的电学性能数据构建了高相似度的 SPICE 仿真模型，基于该模型和 MRL 电路设计方法，搭建了忆阻器件和 CMOS 反相器混合的一位半加器逻辑电路，仿真结果与预期一致。为了验证单原子层 MoS₂ 忆阻器件组成逻辑阵列后用于 BNN 的运算能力，我们搭建了 1T1R 仿真逻辑阵列，用于执行 BNN 中的矩阵运算，结果显示在 MNIST 数据集的识别任务中，该逻辑阵列模型得到了 73.1% 的识别准确度，具有良好的应用前景。

5.2 研究展望

目前，基于单原子层的忆阻器件已经受到了越来越多的关注，在多种计算场

5 总结与展望

合表现出良好的应用前景，随着该领域的进一步发展，目前的工作还可在以下方面进一步完善：

(1) 单原子层材料的制备是影响器件性能的重要因素，要想实现产业级的应用，获取高质量、大面积的单原子层材料是必不可少的。CVD 是目前最有应用前景的一类制备工艺，因此应继续优化其工艺，以得到能够满足大规模集成电路应用的材料，同时也能够尽量与 CMOS 工艺兼容，这是目前的研究重点。

(2) 该器件要在未来得到成熟的应用就必须提升其复用性，在目前的研究中所报道工作中，其稳定性和复用性都还有巨大的提升空间。封装和掺杂等都是比较有效的解决方案，基于这些途径，未来我们还需对该器件的性能影响因素进行更深入的研究，以从原理上提升器件性能。

(3) 对于利用该器件搭建的更复杂的逻辑电路，其如何在实际实验中实现同样值得探索。特别是未来能够将基于二维材料的“非”门引入，尝试搭建全二维材料基忆阻器逻辑电路，这将是一个有趣的方向。

(4) 该器件阵列与 BNN 有十分良好的兼容性，因此未来在这一领域内将有大量的研究。要提升基于该类器件的 BNN 计算精度，那么首先是需要实现基于该忆阻器阵列的在线学习，不再是仅限于推理，而是要将二值化权重直接在器件阵列上训练，这就对器件阵列的良率和外围电路设计等方面提出了更高的要求，因此这将是未来忆阻器实用道路上十分值得研究的一个方向。

参考文献

- [1] OpenAI. AI and Compute. [EB/OL]. (2018-05-16) [2022-02-17]. <https://openai.com/blog/ai-and-compute/>.
- [2] Davies M, Wild A, Orchard G, et al. Advancing neuromorphic computing with loihi: A survey of results and outlook[J]. Proceedings of the IEEE, 2021, 109 (5): 911.
- [3] Roy K, Jaiswal A, Panda P Towards spike-based machine intelligence with neuromorphic computing[J]. Nature, 2019, 575 (7784): 607.
- [4] Sebastian A, Le Gallo M, Khaddam-Aljameh R, et al. Memory devices and applications for in-memory computing[J]. Nature Nanotechnology, 2020, 15 (7): 529.
- [5] Verma N, Jia H, Valavi H, et al. In-memory computing: Advances and prospects[J]. IEEE Solid-State Circuits Magazine, 2019, 11 (3): 43.
- [6] 焦李成, 杨淑媛, 刘芳, 等. 神经网络七十年: 回顾与展望[J]. 计算机学报, 2016, 39 (8): 1697.
- [7] Zheng X, Wang J, Li G, et al. Paradigm of Magnetic Domain Wall-Based In-Memory Computing[J]. ACS Applied Electronic Materials, 2020, 2 (8): 2375.
- [8] Khaddam-Aljameh R, Stanisavljevic M, Mas J F, et al. HERMES Core—A 14nm CMOS and PCM-based In-Memory Compute Core using an array of 300ps/LSB Linearized CCO-based ADCs and local digital processing[C] IEEE, 2021: 1.
- [9] Ielmini D, Wong H-S P In-memory computing with resistive switching devices[J]. Nature Electronics, 2018, 1 (6): 333.
- [10] Ielmini D, Pedretti G Device and Circuit Architectures for In - Memory Computing[J]. Advanced Intelligent Systems, 2020, 2 (7): 2000040.
- [11] Li Y, Wang Z, Midya R, et al. Review of memristor devices in neuromorphic computing: materials sciences and device challenges[J]. Journal of Physics D: Applied Physics, 2018, 51 (50): 503002.
- [12] 刘明, 朱星, 赵宇亮, 等. 新型阻变存储技术[M]. 北京: 科学出版社, 2014.
- [13] Yin L, Cheng R, Wen Y, et al. Emerging 2D Memory Devices for In - Memory Computing[J]. Advanced Materials, 2021, 33 (29): 2007081.
- [14] Zhao Q, Xie Z, Peng Y-P, et al. Current status and prospects of memristors based on novel 2D materials[J]. Materials Horizons, 2020, 7 (6): 1495.
- [15] Chua L Memristor-the missing circuit element[J]. IEEE Transactions on circuit theory, 1971, 18 (5): 507.
- [16] Strukov D B, Snider G S, Stewart D R, et al. The missing memristor found[J]. Nature, 2008, 453 (7191): 80.
- [17] Simmons J, Verderber R New conduction and reversible memory phenomena in thin insulating films[J]. Proceedings of the Royal Society of London. Series A. Mathematical and Physical

参考文献

- Sciences, 1967, 301 (1464): 77.
- [18] Liu S, Wu N, Ignatiev A Electric-pulse-induced reversible resistance change effect in magnetoresistive films[J]. Applied Physics Letters, 2000, 76 (19): 2749.
- [19] Yang J J, Pickett M D, Li X, et al. Memristive switching mechanism for metal/oxide/metal nanodevices[J]. Nature Nanotechnology, 2008, 3 (7): 429.
- [20] Baek I, Lee M, Seo S, et al. Highly scalable nonvolatile resistive memory using simple binary oxide driven by asymmetric unipolar voltage pulses[C] IEEE, 2004: 587.
- [21] Chen A, Haddad S, Wu Y-C, et al. Non-volatile resistive switching for advanced memory applications[C] IEEE, 2005: 746.
- [22] Lee M-J, Lee C B, Lee D, et al. A fast, high-endurance and scalable non-volatile memory device made from asymmetric Ta_2O_{5-x}/TaO_{2-x} bilayer structures[J]. Nature Materials, 2011, 10 (8): 625.
- [23] Xing Y, Shi C, Zhao J, et al. Mesoscopic - Functionalization of Silk Fibroin with Gold Nanoclusters Mediated by Keratin and Bioinspired Silk Synapse[J]. Small, 2017, 13 (40): 1702390.
- [24] Park Y, Lee J-S Artificial synapses with short-and long-term memory for spiking neural networks based on renewable materials[J]. Acs Nano, 2017, 11 (9): 8962.
- [25] Yan K, Peng M, Yu X, et al. High-performance perovskite memristor based on methyl ammonium lead halides[J]. Journal of Materials Chemistry C, 2016, 4 (7): 1375.
- [26] Xiao Z, Huang J Energy - efficient hybrid perovskite memristors and synaptic devices[J]. Advanced Electronic Materials, 2016, 2 (7): 1600100.
- [27] Huh W, Lee D, Lee C H Memristors based on 2D materials as an artificial synapse for neuromorphic electronics[J]. Advanced Materials, 2020, 32 (51): 2002092.
- [28] Liao K, Lei P, Tu M, et al. Memristor Based on Inorganic and Organic Two-Dimensional Materials: Mechanisms, Performance, and Synaptic Applications[J]. ACS Applied Materials & Interfaces, 2021, 13 (28): 32606.
- [29] Baek I, Kim D, Lee M, et al. Multi-layer cross-point binary oxide resistive memory (OxRRAM) for post-NAND storage application[C] IEEE, 2005: 750.
- [30] Liu T-y, Yan T H, Scheuerlein R, et al. A 130.7-mm² 2-Layer 32-Gb ReRAM Memory Device in 24-nm Technology[J]. IEEE Journal of Solid-State Circuits, 2013, 49 (1): 140.
- [31] Joglekar Y N, Wolf S J The elusive memristor: properties of basic electrical circuits[J]. European Journal of physics, 2009, 30 (4): 661.
- [32] Xia Q, Robinett W, Cumbie M W, et al. Memristor– CMOS hybrid integrated circuits for reconfigurable logic[J]. Nano Letters, 2009, 9 (10): 3640.
- [33] Jo S H, Chang T, Ebong I, et al. Nanoscale memristor device as synapse in neuromorphic systems[J]. Nano Letters, 2010, 10 (4): 1297.
- [34] Shafiee A, Nag A, Muralimanohar N, et al. ISAAC: A convolutional neural network accelerator with in-situ analog arithmetic in crossbars[J]. ACM SIGARCH Computer Architecture News, 2016, 44 (3): 14.

参考文献

- [35] Ankit A, Hajj I E, Chalamalasetti S R, et al. PUMA: A programmable ultra-efficient memristor-based accelerator for machine learning inference[C] 2019: 715.
- [36] Yao P, Wu H, Gao B, et al. Fully hardware-implemented memristor convolutional neural network[J]. Nature, 2020, 577 (7792): 641.
- [37] Li C, Ignowski J, Sheng X, et al. CMOS-integrated nanoscale memristive crossbars for CNN and optimization acceleration[C] IEEE, 2020: 1.
- [38] Liu L, Li Y, Huang X, et al. Low - Power Memristive Logic Device Enabled by Controllable Oxidation of 2D HfSe₂ for In - Memory Computing[J]. Advanced Science, 2021, 8 (15): 2005038.
- [39] Chen S, Mahmoodi M R, Shi Y, et al. Wafer-scale integration of two-dimensional materials in high-density memristive crossbar arrays for artificial neural networks[J]. Nature Electronics, 2020, 3 (10): 638.
- [40] Asanuma S, Akoh H, Yamada H, et al. Relationship between resistive switching characteristics and band diagrams of Ti/Pr_{1-x}Ca_xMnO₃ junctions[J]. Physical Review B, 2009, 80 (23): 235113.
- [41] Jo M, Seong D-j, Kim S, et al. Novel cross-point resistive switching memory with self-formed Schottky barrier[C] IEEE, 2010: 53.
- [42] Kwon D-H, Kim K M, Jang J H, et al. Atomic structure of conducting nanofilaments in TiO₂ resistive switching memory[J]. Nature Nanotechnology, 2010, 5 (2): 148.
- [43] Yang J J, Miao F, Pickett M D, et al. The mechanism of electroforming of metal oxide memristive switches[J]. Nanotechnology, 2009, 20 (21): 215201.
- [44] Hasegawa T, Terabe K, Tsuruoka T, et al. Atomic switch: Atom/ion movement controlled devices for beyond Von - Neumann computers[J]. Advanced Materials, 2012, 24 (2): 252.
- [45] Waser R, Dittmann R, Staikov G, et al. Redox - based resistive switching memories–nanoionic mechanisms, prospects, and challenges[J]. Advanced materials, 2009, 21 (25-26): 2632.
- [46] Guo X, Schindler C, Menzel S, et al. Understanding the switching-off mechanism in Ag⁺ migration based resistively switching model systems[J]. Applied Physics Letters, 2007, 91 (13): 133513.
- [47] Novoselov K S, Geim A K, Morozov S V, et al. Electric field effect in atomically thin carbon films[J]. science, 2004, 306 (5696): 666.
- [48] Geim A K Graphene: status and prospects[J]. science, 2009, 324 (5934): 1530.
- [49] Tyagi D, Wang H, Huang W, et al. Recent advances in two-dimensional-material-based sensing technology toward health and environmental monitoring applications[J]. Nanoscale, 2020, 12 (6): 3535.
- [50] Zhao W, Ribeiro R M, Eda G Electronic structure and optical signatures of semiconducting transition metal dichalcogenide nanosheets[J]. Accounts of chemical research, 2015, 48 (1): 91.
- [51] Mattheiss L Band structures of transition-metal-dichalcogenide layer compounds[J]. Physical Review B, 1973, 8 (8): 3719.

参考文献

- [52] Radisavljevic B, Radenovic A, Brivio J, et al. Single-layer MoS₂ transistors[J]. *Nature Nanotechnology*, 2011, 6 (3): 147.
- [53] Shen P-C, Su C, Lin Y, et al. Ultralow contact resistance between semimetal and monolayer semiconductors[J]. *Nature*, 2021, 593 (7858): 211.
- [54] Jacobs-Gedrim R B, Murphy M T, Yang F, et al. Reversible phase-change behavior in two-dimensional antimony telluride (Sb₂Te₃) nanosheets[J]. *Applied Physics Letters*, 2018, 112 (13): 133101.
- [55] Liu T, Wu W, Liao K-N, et al. Fabrication of carboxymethyl cellulose and graphene oxide bio-nanocomposites for flexible nonvolatile resistive switching memory devices[J]. *Carbohydrate polymers*, 2019, 214 213.
- [56] Zhuang X D, Chen Y, Liu G, et al. Conjugated - polymer - functionalized graphene oxide: synthesis and nonvolatile rewritable memory effect[J]. *Advanced Materials*, 2010, 22 (15): 1731.
- [57] Zhang P, Gao C, Xu B, et al. Structural phase transition effect on resistive switching behavior of MoS₂ - polyvinylpyrrolidone nanocomposites films for flexible memory devices[J]. *Small*, 2016, 12 (15): 2077.
- [58] Pan C, Miranda E, Villena M A, et al. Model for multi-filamentary conduction in graphene/hexagonal-boron-nitride/graphene based resistive switching devices[J]. *2D Materials*, 2017, 4 (2): 025099.
- [59] Sangwan V K, Jariwala D, Kim I S, et al. Gate-tunable memristive phenomena mediated by grain boundaries in single-layer MoS₂ [J]. *Nature Nanotechnology*, 2015, 10 (5): 403-406.
- [60] Fan F, Zhang B, Cao Y, et al. Solution-processable poly (N-vinylcarbazole)-covalently grafted MoS₂ nanosheets for nonvolatile rewritable memory devices[J]. *Nanoscale*, 2017, 9 (7): 2449.
- [61] Wang M, Cai S, Pan C, et al. Robust memristors based on layered two-dimensional materials[J]. *Nature Electronics*, 2018, 1 (2): 130.
- [62] Ge R, Wu X, Liang L, et al. A Library of Atomically Thin 2D Materials Featuring the Conductive-Point Resistive Switching Phenomenon[J]. *Adv Mater*, 2020, e2007792.
- [63] Hus S M, Ge R, Chen P-A, et al. Observation of single-defect memristor in an MoS₂ atomic sheet[J]. *Nature Nanotechnology*, 2020, 16(1): 58-62.
- [64] Wang Y, Wu F, Liu X, et al. High on/off ratio black phosphorus based memristor with ultra-thin phosphorus oxide layer[J]. *Applied Physics Letters*, 2019, 115 (19): 193503.
- [65] Vourkas I, Sirakoulis G C Emerging memristor-based logic circuit design approaches: A review[J]. *IEEE circuits and systems magazine*, 2016, 16 (3): 15.
- [66] Lehtonen E, Laiho M Stateful implication logic with memristors[C] IEEE, 2009: 33.
- [67] Borghetti J, Snider G S, Kuekes P J, et al. ‘Memristive’ switches enable ‘stateful’ logic operations via material implication[J]. *Nature*, 2010, 464 (7290): 873.
- [68] Kvatinsky S, Satat G, Wald N, et al. Memristor-based material implication (IMPLY) logic: Design principles and methodologies[J]. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 2013, 22 (10): 2054.

参考文献

- [69] Guckert L, Swartzlander E E MAD gates—Memristor logic design using driver circuitry[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2016, 64 (2): 171.
- [70] Teimoori M, Ahmadi A, Alirezaee S, et al. A novel hybrid CMOS-memristor logic circuit using Memristor Ratioed Logic[C] IEEE, 2016: 1.
- [71] Kvatinsky S, Belousov D, Liman S, et al. MAGIC—Memristor-aided logic[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2014, 61 (11): 895.
- [72] Yin L, Cheng R, Wang Z, et al. Two-Dimensional Unipolar Memristors with Logic and Memory Functions[J]. Nano Letters, 2020, 20 (6): 4144.
- [73] Liu H, Wong S L, Chi D CVD growth of MoS₂ - based two - dimensional materials[J]. Chemical Vapor Deposition, 2015, 21 (10-11-12): 241.
- [74] Chaudhary N, Khanuja M, Islam S Hydrothermal synthesis of MoS₂ nanosheets for multiple wavelength optical sensing applications[J]. Sensors and Actuators A: Physical, 2018, 277 190.
- [75] Liu Y, Li R Study on ultrasound-assisted liquid-phase exfoliation for preparing graphene-like molybdenum disulfide nanosheets[J]. Ultrasonics Sonochemistry, 2020, 63 104923.
- [76] Velicky M, Donnelly G E, Hendren W R, et al. Mechanism of Gold-Assisted Exfoliation of Centimeter-Sized Transition-Metal Dichalcogenide Monolayers[J]. ACS Nano, 2018, 12 (10): 10463.
- [77] Xu X, Pan Y, Liu S, et al. Seeded 2D epitaxy of large-area single-crystal films of the van der Waals semiconductor 2H MoTe₂[J]. Science, 2021, 372(6538), 195-200.
- [78] Fan S, Vu Q A, Tran M D, et al. Transfer assembly for two-dimensional van der Waals heterostructures[J]. 2D Materials, 2020, 7(2): 022005.
- [79] Saito Y, Shin K, Terayama K, et al. Deep-learning-based quality filtering of mechanically exfoliated 2D crystals[J]. npj Computational Materials, 2019, 5 (1): 1-6.
- [80] Chen X, Xie Y, Sheng Y, et al. Wafer-scale functional circuits based on two dimensional semiconductors with fabrication optimized by machine learning[J]. Nature Communications, 2021, 12 (1): 1.
- [81] Perea-López N, Lin Z, Pradhan N R, et al. CVD-grown monolayered MoS₂ as an effective photosensor operating at low-voltage[J]. 2D Materials, 2014, 1 (1): 011004.
- [82] Wei Z, Wang Q, Li L, et al. Monolayer MoS₂ epitaxy[J]. Nano Research, 2021, 14 (6): 1598.
- [83] Singh A, Moun M, Sharma M, et al. NaCl-assisted substrate dependent 2D planar nucleated growth of MoS₂[J]. Applied Surface Science, 2021, 538 148201.
- [84] Lee Y, Park S, Kim H, et al. Characterization of the structural defects in CVD-grown monolayered MoS₂ using near-field photoluminescence imaging[J]. Nanoscale, 2015, 7 (28): 11909.
- [85] Gao L, Liao Q, Zhang X, et al. Defect-Engineered Atomically Thin MoS₂ Homogeneous Electronics for Logic Inverters[J]. Adv Mater, 2020, 32 (2): e1906646.
- [86] Li H, Zhang Q, Yap C C R, et al. From bulk to monolayer MoS₂: evolution of Raman scattering[J]. Advanced Functional Materials, 2012, 22 (7): 1385.
- [87] Boukhicha M, Calandra M, Measson M-A, et al. Anharmonic phonons in few-layer MoS₂:

参考文献

- Raman spectroscopy of ultralow energy compression and shear modes[J]. Physical Review B, 2013, 87 (19): 195316.
- [88] Jain N K, Sawant M S, Nikam S H, et al. Metal deposition: Plasma-based processes[J]. Encyclopedia of Plasma Technology, 2016, 722-740.
- [89] Xia Y, Sun B, Wang H, et al. Metal ion formed conductive filaments by redox process induced nonvolatile resistive switching memories in MoS₂ film[J]. Applied Surface Science, 2017, 426 812.
- [90] Cadiz F, Courtade E, Robert C, et al. Excitonic linewidth approaching the homogeneous limit in MoS₂-based van der Waals heterostructures[J]. Physical Review X, 2017, 7 (2): 021026.
- [91] Hohenberg P, Kohn W Inhomogeneous electron gas[J]. Physical review, 1964, 136 (3B): B864.
- [92] Kohn W, Sham L J Self-consistent equations including exchange and correlation effects[J]. Physical review, 1965, 140 (4A): A1133.
- [93] Gunnarsson O, Lundqvist B I Exchange and correlation in atoms, molecules, and solids by the spin-density-functional formalism[J]. Physical Review B, 1976, 13 (10): 4274.
- [94] Von Barth U, Hedin L A local exchange-correlation potential for the spin polarized case. i[J]. Journal of Physics C: Solid State Physics, 1972, 5 (13): 1629.
- [95] Stokbro K, Taylor J, Brandbyge M, et al. TranSIESTA: a spice for molecular electronics[J]. Annals of the New York Academy of Sciences, 2003, 1006 (1): 212.
- [96] Zhao L, Jiang Z, Chen H-Y, et al. Ultrathin ($\sim 2\text{nm}$) HfO_x as the fundamental resistive switching element: Thickness scaling limit, stack engineering and 3D integration[C] IEEE, 2014: 6.6. 1.
- [97] Long S, Lian X, Cagli C, et al. Quantum-size effects in hafnium-oxide resistive switching[J]. Applied Physics Letters, 2013, 102 (18): 183505.
- [98] Fontana M, Deppe T, Boyd A K, et al. Electron-hole transport and photovoltaic effect in gated MoS₂ Schottky junctions[J]. Scientific reports, 2013, 3 (1): 1.
- [99] Allain A, Kang J, Banerjee K, et al. Electrical contacts to two-dimensional semiconductors[J]. Nature Materials, 2015, 14 (12): 1195.
- [100] Slater J C, Johnson K H Self-consistent-field X α cluster method for polyatomic molecules and solids[J]. Physical Review B, 1972, 5 (3): 844.
- [101] Liu Y, Gu F Wafer-Scale Synthesis of Monolayer MoS₂ and Their Field-Effect Transistors toward Practical Applications[J]. Nanoscale Advances, 2021, 3(8): 2117-2138.
- [102] Biolek Z, Biolek D, Biolkova V SPICE Model of Memristor with Nonlinear Dopant Drift[J]. Radioengineering, 2009, 18 (2).
- [103] Prodromakis T, Peh B P, Papavassiliou C, et al. A versatile memristor model with nonlinear dopant kinetics[J]. IEEE transactions on electron devices, 2011, 58 (9): 3099.
- [104] Yakopcic C, Taha T M, Subramanyam G, et al. Generalized Memristive Device SPICE Model and its Application in Circuit Design[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2013, 32 (8): 1201.
- [105] Nagel L, Pederson D O SPICE (simulation program with integrated circuit emphasis)[J]. 1973.

参考文献

- [106] Mahvash M, Parker A C A memristor SPICE model for designing memristor circuits[C] IEEE, 2010: 989.
- [107] Simons T, Lee D-J A review of binarized neural networks[J]. Electronics, 2019, 8 (6): 661.
- [108] Sun K, Chen J, Yan X The future of memristors: materials engineering and neural networks[J]. Advanced Functional Materials, 2021, 31 (8): 2006773.
- [109] Shamsi J, Amirsoleimani A, Mirzakuchaki S, et al. Modular neuron comprises of memristor-based synapse[J]. Neural Computing and Applications, 2017, 28 (1): 1.
- [110] Yuan C, Agaian S S A comprehensive review of Binary Neural Network[J]. arXiv preprint arXiv:2110.06804, 2021.
- [111] Huang H-M, Wang Z, Wang T, et al. Artificial neural networks based on memristive devices: From device to system[J]. Advanced Intelligent Systems, 2020, 2 (12): 2000149.
- [112] Kaviani S, Sohn I Application of complex systems topologies in artificial neural networks optimization: An overview[J]. Expert Systems with Applications, 2021, 180 115073.
- [113] Singh J, Raj B Comparative analysis of memristor models and memories design[J]. Journal of Semiconductors, 2018, 39 (7): 074006.

致 谢

每一次看别人的硕博论文，都习惯去看一眼致谢。总觉得这短短的不到两页的文字是一段瑰丽的人生旅程，是每个人浓缩提炼后好几年的喜怒哀乐。

终于，经过三年的摸爬滚打，我也来到了这个写致谢的时候，这个回望一段难忘岁月的时候，这个离别和向往交织的时候。

还记得当初本科毕业时，我在心里暗暗决定要戒骄戒躁，在未来的三年里潜心学术，多做有意义的事。三年后的今天，虽然遗憾依旧颇多，还仍有许多做得不够的，需要继续改进的地方，但也算是阶段性地给了自己的硕士生涯一个满意的答卷。

我一直认为做研究是一件很酷的事。

在探索未知领域的路上，每天都能学到新的知识，每天都有新的挑战。这能让我感受到一种自豪感，仿佛我正紧跟着这个瞬息万变的世界的步伐，我的生活不是单调的重复，而是充满意义的。当人们都在追求六便士的时候，我却能够有这么些纯粹的日子，能够不被世俗的成败所评价，能够不随大流过“应该”过的生活，能够不管不顾，一心去做我认为有意义的事情，去感受、去体会不普通的日常。小时候，用稚嫩的字迹写下成为科学家的梦想，而今自己竟真的一步一步在向心中的月亮靠近。

我意识到，这是何等的幸运。

然而，能走到今天也并非是一帆风顺。这一路上的风风雨雨，其实只有自己知道。我不会忘记那些想不出课题的彻夜难眠，那凌晨四五点做完实验回宿舍的冬日寒风，以及一个人坐在马路边自言自语、痛哭流涕的可笑场景。现在想来，这三年里经历的快乐确实少了很多，是无比忙碌的三年，是被疫情割裂的三年，但也是我成长最大的三年。

即使是黯淡无光的夜空，也总会有星星点点的光芒。衷心感谢这三年里，一路上帮助我的亲人、师长、朋友们，你们就是那些点亮夜空的星星。

感谢我的导师刘前教授，是您教会了我在科研的道路上要去勇敢尝试，要去探究问题的根源而不是仅仅浮于表面。刘老师博学多识，待人随和，且有着十分严谨的研究治学态度，每一次与刘老师的交谈我都能从中学到很多。三年来，刘老师对我照顾颇多，不管是科研上的指导还是生活上的帮助，时时刻刻我都能感受到刘老师是真心对学生好的老师。来到刘老师的课题组是我绝不会后悔的选择，今后我也会一直秉持刘老师所教会我的学术精神，尽力做出更好的学术成果。

感谢我的导师张心正教授，在我南开学习基础课的一年里，以及之后的课题进展中，张老师都给了我许多的指导和帮助。张老师科研视野十分广阔，性格平易近人，每一次都会为我耐心地解答科研和生活上的问题，让我倍感亲切。很幸运能够成为张老师的学生。

感谢我的父母和亲人们，是您们永远在我背后支持我，鼓励我继续往前走。

致谢

我很骄傲我有如此美好的一个家，永远都是我的后盾、我温馨的港湾。在这篇论文的写作期间，我的奶奶陡然辞世，再也不能听见您的嘘寒问暖，和您那亲切的笑声，感谢您二十多年对我的照顾，愿您在那头不再受病痛折磨。

感谢我的女朋友蒋曦，两年来我们都在努力往更好的方向前行，我们都在见证彼此一步步的成长。感谢无数个深夜在手机那一头的陪伴，感谢那些鼓励和无微不至的关心，感谢对我的包容与理解。

感谢课题组的兄弟姐妹们，王树、陈胜垚、李博、马立俊、杨海光、瞿钰松、张晨、谭翔、刘振洲、王俊琦，是你们让我在异乡有了家的感觉，我们课题组是一个团结和谐的大家庭，大家经常一起玩耍、一起吃饭，大家互相照顾也没有隔阂，能和大家一起度过的两年时光将是我一生最宝贵的回忆。同时，也十分感谢杨奉佑师兄、王聪师兄、田野师兄、王晓丰师兄在科研和工作方方面面给我的指导和帮助。

感谢南开的朋友们，川渝小分队的吴松、文晨竹、吴岱蔚、罗国翔、林昌婷，是你们让我在北方实现了火锅自由、乡音自由。感谢我可爱的室友们，徐西坦、高登、宋冠廷以及精神室友石肇基，坦在我科研不顺的时候开导了我很多很多，名副其实的心灵导师，登哥和小石不厌其烦地帮我在学校里交了好多次文件，廷在我心情不好时陪我看了好多次星星，大家一起喝酒撸串的时光还历历在目，能和你们成为室友、成为好朋友我很幸运。

感谢纳米中心的小伙伴们万红凤、白时唯、刘林。和万老板一起在北京拍了很多大片，也吃了很多大餐，感谢日理万机还常常带我一起玩，毕业了我也会是你的铁杆粉丝。感谢林大佬在论文的神经网络仿真部分给予的倾力帮助，我们因为忆阻器而相识，在我的面试和实验中林大佬都提出了很多中肯的建议，愿林大佬之后多出好成果、毕业顺利。还要感谢《环球科学》的出游小队，张思予、刘伯丹、吴非，感谢大家带我一起玩桌游、一起去看风景，给我紧张的科研生活中增添了难得的轻松时刻。感谢重庆的老友们，彭银、杜文晶、柳佑尚、廖西蒙、万泉林、袁俊翔，感谢你们给予我的各方面的鼓励和帮助。

最后感谢每一个勇敢的自己，在最难的环境里也从未放弃。我总是在不停尝试新的生活，总是在不服输地努力着，我相信自己一定会走出一条属于自己的路，一条光荣的荆棘路。未来的我还将继续向着暴风发起挑战，向着星辰大海去航行，希望能永远怀揣着一颗赤子之心，即使有一天跌入泥泞，也不忘抬起头仰望星空。

“已识乾坤大，仍怜草木青。”

个人简历、在学期间发表的学术论文及研究成果

个人简历

2015 年 9 月 — 2019 年 6 月 在重庆大学材料科学与工程学院获得学士学位
2019 年 9 月 — 2022 年 6 月 在南开大学物理科学学院攻读硕士学位
期间在国家纳米科学中心联合培养

攻读硕士期间获奖情况：

2020 — 2021 学年 国家纳米科学中心 优秀联合培养学生
2021 — 2022 学年 南开大学 研究生公能奖学金（一等奖）

已发表学术论文：

- [1] **Zhican Zhou†, Fengyou Yang†, Shu Wang†, Lei Wang, Xiaofeng Wang, Cong Wang, Yong Xie, and Qian Liu,** “Emerging of Two-dimensional Materials in Novel Memristor,” *Frontiers of Physics*, 17(2), 23204 (2022) DOI: 10.1007/s11467-021-1114-5.
- [2] **Shu Wang†, Zhican Zhou†, Bo Li, Cong Wang and Qian Liu,** “Progress on New-Ge LDW technique based on Laser-matter interaction,” *Materials Today Nano*, DOI: 10.1016/j.mtnano.2021.100142.
- [3] **Fengyou Yang†, Shengyao Chen†, Huimin Feng†, Cong Wang, Xiaofeng Wang, Shu Wang, Zhican Zhou, Bo Li, Lijun Ma, Haiguang Yang, Yong Xie and Qian Liu,** “High-performance optoelectronic memory based on bilayer MoS₂ grown by Au catalyst,” *Journal of Materials Chemistry C*, 8, no. 8 (2020): 2664-2668. DOI: 10.1039/C9TC06996H.
- [4] **Xiaofeng Wang†, Haiguang Yang†, Huimin Feng†, Lei Wang, Shengyao Chen, Zhican Zhou, Shu Wang and Qian Liu,** “Shape-dependent close-edge 2D-MoS₂ nanobelts,” *RSC Advances*, 10, no. 55 (2020): 33544-33548. DOI: 10.1039/D0RA06440H.

会议论文：

- [1] **Zhiccan Zhou†** and Qian Liu, “Constructing of two-dimensional MoS₂ memristor and its failure analysis,” 2021 the 23th China Semiconductor Physics Conference, Xi'an, China. (Poster)
- [2] Shu Wang†, **Zhiccan Zhou†**, Xiaofeng Wang, Shengyao Chen and Qian Liu, “Controllable Nano-slit fabricated by crazing in Crystal,” 2021 the 10th International Symposium on Advanced Optical Manufacturing and Testing Technologies, Chengdu, China. (Poster)