

به نام خدا



دانشکده مهندسی برق

طراحی سیستم‌های مبتنی بر ASIC/FPGA

بهار ۱۴۰۴

استاد: دکتر شعبانی

تمرین سری چهارم تکنیک‌های بهبود سرعت و مساحت مهلت ارسال: ۲۹ فروردین

- برای تحویل تمرین، تمامی فایل‌ها از جمله مازول‌ها و تست‌بنچ‌ها به همراه گزارشی از نحوه‌ی انجام کار و نتایج مربوطه را در سامانه آپلود کنید. برای تحویل کدها، فقط فایل‌های مربوط به مازول‌ها و تست‌بنچ‌ها را در فولدرهای جداگانه قرار دهید (هر فولدر مربوط به هر سؤال و هر بخش نیز در فولدر جداگانه). برای سؤالات دارای فایل‌های اضافی مثل فایل مموری یا txt نیز آنها را تحویل دهید.
- کد تحویل داده شده باید قابل سنتز و شبیه‌سازی باشد؛ در غیر این صورت نمره‌ای به آن تعلق نمی‌گیرد.
- مشورت و کمک گرفتن از یکدیگر، جستجو در اینترنت و کتاب‌ها و... کاملاً جایز می‌باشد ولی تمرین باید توسط خودتان انجام شود. در صورت مشاهده شباهت غیرعادی، نمره سؤال برای همه‌ی افراد صفر در نظر گرفته می‌شود.
- سعی کنید در تمرین برنامه‌نویسی، هم از سطح رفتاری و هم از سطح جریان داده استفاده کنید تا به هر دو سطح مسلط شوید.
- توجه کنید که برای هر سؤال باید گزارشی شامل نحوه‌ی انجام کار به همراه بلوک دیاگرام ساختار پیاده‌سازی شده، توضیحات خواسته شده و نتایج شبیه‌سازی ارائه شود.
- توجه کنید که برای هر سؤال باید گزارشی شامل نحوه‌ی انجام کار به همراه بلوک دیاگرام ساختار پیاده‌سازی شده، توضیحات خواسته شده و نتایج شبیه‌سازی ارائه شود.

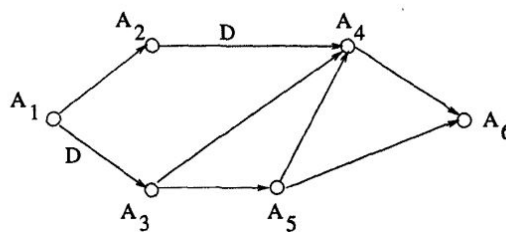
پرسش	۱	۲	۳	۴	۵	جمع نمرات
بارم	۱۰	۱۰	۱۰	۲۰	۵۰	۱۰۰
نمره						

۱. (۱۰ نمره) تکنیک‌های بهبود سرعت

عوامل مؤثر در فرکانس کاری یک مدار را به صورت دسته‌بندی شده بیان کنید و تحقیق کنید چه روش‌هایی به منظور بهینه‌سازی سرعت استفاده می‌شود.

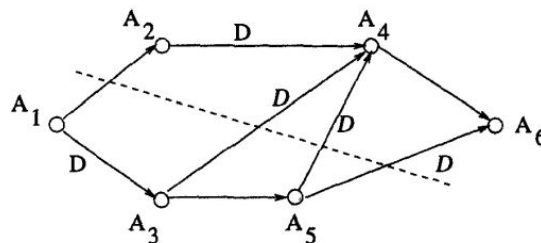
۲. (۱۰ نمره) پایپ‌لاین

معماری نشان داده شده در شکل زیر را در نظر بگیرید. فرض کنید که زمان مورد نیاز برای پردازش هر گره ۱ میکروثانیه است.



۱. بیشینه فرکانس کاری ممکن برای این ساختار را با مشخص نمودن مسیر بحرانی محاسبه نمایید.

۲. در شکل زیر با اضافه کردن ۳ رجیستر، تأخیر مسیر بحرانی به ۲ میکروثانیه کاهش یافته است. آیا این رویکرد صحیح است؟ اگر پاسخ منفی است، با پایپ-لاین مناسب تأخیر مسیر بحرانی را به دو میکروثانیه کاهش دهید.

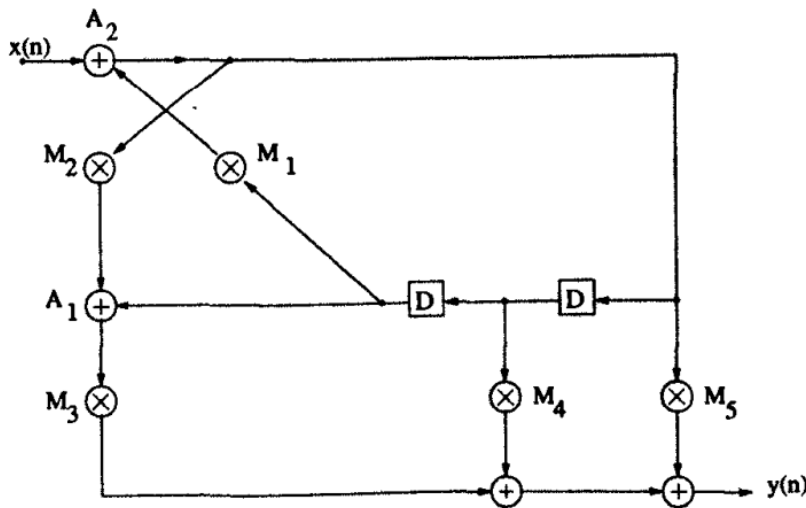


۳. (۱۰ نمره) پایپ‌لاین

معماری نشان داده شده در شکل زیر را در نظر بگیرید. فرض کنید زمان اجرای هر ضرب ۲ میکروثانیه و زمان اجرای هر جمع ۱ میکروثانیه است.

۱. بیشینه فرکانس کاری ممکن برای این ساختار را با مشخص نمودن مسیر بحرانی محاسبه نمایید.

۲. با پایپ‌لاین کردن ساختار فوق، مسیر بحرانی را به ۳ میکروثانیه کاهش دهید.



۴. (۲۰ نمره) آشنایی با مفاهیم مختلف سرعت

در این سؤال با مفاهیم مختلف سرعت آشنا می‌شوید. در این سؤال یک ماژول برای محاسبه توان ۳ ورودی را پیاده‌سازی می‌کنید. برای هر بخش لازم است تا پس از پیاده‌سازی و شبیه‌سازی، بیشترین فرکانس کاری، *Latency* و *Throughput* را محاسبه نمایید. در محاسبات خود تأخیر هر اپراتور را پارامتری در نظر بگیرید. در هر بخش نتایج سنتز را تحلیل و مقایسه نمایید.

۱. منظور از *Latency*، *Throughput* و *MaximumFrequency* و ارتباط آن‌ها با سرعت کاری یک مدار را بیان نمایید.

۲. ماژولی طراحی کنید تا توان سوم یک عدد ۸ بیتی را محاسبه و روی خروجی قرار دهد. در این بخش لازم است تا ساختار شما *HighThroughput* باشد. به بیان دیگر، در تمامی کلاک‌ها باید بتوان ورودی را دریافت و خروجی متناظر آن را تولید نمود. برای پیاده‌سازی از حلقه *for* استفاده کنید.

۳. با باز کردن حلقه و پایپ‌لاین، ساختار خود را به گونه‌ای تغییر دهید تا بیشترین فرکانس کاری محقق شود.

۴. ساختار بخش دوم را به گونه‌ای تغییر دهید تا کمترین مساحت ممکن محقق شود. برای این کار باید از *resource sharing* استفاده کنید.

۵. با مقایسه‌ی پارامترهای زمانی در هر بخش، چه نتیجه‌ای می‌گیرید؟

۵. (۵۰ نمره) بهینه‌سازی فیلتر FIR برای حالت‌های مختلف

در این سؤال یک فیلتر FIR را پیاده‌سازی و برای شرایط مختلف ساختار پیاده‌سازی شده را بهینه می‌کنید.

۱. ساختار یک FIR با ۷ ضریب را رسم و تا حد امکان پایپ‌لاین کنید.

۲. یک فیلتر FIR با ۷ ضریب را با رسم معماری پیاده‌سازی نمایید. فرض کنید مقادیر ضرایب ۸ بیتی است و برای معین نمودن ضرایب، سه ورودی داریم: مقدار ضریب، $Tlast$ نمایش دهنده آخرین ضریب لود شده، یک بیت جهت تغییر مقدار ضریب موردنظر با نام $write_n$ به ترتیب ضرایب موردنظر کاربر به صورت $Packet$ در فیلتر لود می‌شود و در لحظه لود شدن ضریب آخر، $tlast$ یک می‌شود؛ در صورتی که این اتفاق نیفتد کل بسته دور ریخته می‌شود. این فیلتر یک ورودی ۸ بیتی به صورت $stream$ دریافت می‌کند و خروجی نیز $stream$ است؛ محاسبه کنید که با این ویژگی‌ها، خروجی حداکثر چند بیتی است و همین مقدار بیت را برای آن در نظر بگیرید. جهت نمایش صحت عملکرد ساختار پیاده‌سازی شده، $testbench$ بنویسید و ورودی را فقط در یک لبه کلاک ۱ کنید و در بقیه‌ی لحظات صفر؛ خروجی باید مقادیر ضرایب باشد. برای این بخش لازم است تا فرض کنید که جمع و ضرب‌های مورد نیاز برای محاسبه‌ی خروجی در یک کلاک صورت می‌پذیرد.

۳. در مورد $symmetric$ بودن ضرایب و ساختار تغییر یافته برای فیلتر وقتی ضرایب $symmetric$ هستند تحقیق کنید و ضمن ارائه ساختار خود برای یک فیلتر با ۷ ضریب، کد آن را نوشته و با تست ذکر شده در قسمت ب، شبیه‌سازی کنید. معماری ساختار نهایی را قبل از پیاده‌سازی رسم نمایید.

۴. مزیت عمده‌ی ساختار پیشنهادی در قسمت ۳ با قسمت ۲ (با فرض $symmetric$ بودن ضرایب) را بیان کنید.

۵. فرض کنید که ضرایب فقط مقادیر ۱، ۰ و ۱- را به خود می‌گیرند. ساختار فیلتر طراحی شده در قسمت ب را بهینه کنید.

۶. بیشترین فرکانس ممکن برای ساختار پیاده‌سازی شده در بخش (ج) را بدست آورید.

۷. حال با پایپ‌لاین کردن ساختار بخش (ج)، بیشترین فرکانس ممکن مدار پیاده‌سازی شده را بدست آورده و تفاوت را توجیه نمایید. در این مرحله نیز نیاز است تا با اجرای تست‌بنچ از صحت عملکرد مدار خود اطمینان حاصل نمایید. در این قسمت نیز لازم است تا معماری ساختار موردنظر را قبل از پیاده‌سازی رسم نمایید.

۸. فرض کنید ورودی به گونه‌ای است که در ورودی‌ها با فاصله‌های ۲۰ کلاک به ماژول اعمال می‌شوند. با اعمال $Resource Sharing$ تعداد ضرب و جمع‌ها را بهینه کنید. در این مرحله نیز نیاز است تا با اجرای تست‌بنچ از صحت عملکرد مدار خود اطمینان حاصل نمایید. کد قسمت ب و این قسمت را سنتز نموده و تفاوت در منابع استفاده شده را توجیه نمایید.

۹. فرض کنید که برای افزایش نرخ پردازش، در هر لبه‌ی کلاک دو ورودی به صورت همزمان به ماژول شما اعمال می‌شود. ساختار را به گونه‌ای تغییر دهید که در هر لبه کلاک دو ورودی به مدار اعمال و دو خروجی متناظر نیز پس از گذشت چند کلاک در خروجی ظاهر شوند. در این مرحله نیز نیاز است تا با اجرای تست‌بنچ از صحت عملکرد مدار خود اطمینان حاصل نمایید.

موفق باشید